

平成19年8月30日判決言渡 同日原本領収 裁判所書記官

平成17年(ワ)第17182号 特許権侵害差止等請求事件

(口頭弁論終結の日 平成19年6月7日)

判 決

神奈川県川崎市<以下略>

原 告	富 士 通 株 式 会 社
訴 訟 代 理 人 弁 護 士	青 木 一 男
同	田 中 成 志
同	平 出 貴 和
同	長 尾 二 郎
同	板 井 典 子
同	山 田 徹

東京都港区<以下略>

被 告	日 本 ナ ン ヤ ・ テ ク ノ ロ ジ ー 株 式 会 社
訴 訟 代 理 人 弁 護 士	森 崎 博 之
同	根 本 浩
同	松 山 智 恵
補 佐 人 弁 理 士	稲 葉 良 幸
同	佐 藤 睦
同	澤 井 光 一

主 文

- 1 被告は、別紙被告製品目録記載の各製品を、譲渡し、貸渡し、譲渡若しくは貸渡しのために展示し、又は輸入してはならない。
- 2 被告は、その占有する別紙被告製品目録記載の各製品を廃棄せよ。
- 3 被告は、原告に対し、1億円及びこれに対する平成17年8月26日から支払済みまで年5分の割合による金員を支払え。

- 4 原告のその余の請求を棄却する。
- 5 訴訟費用は被告の負担とする。
- 6 本判決は、第1及び第3項に限り、仮に執行することができる。

事 実 及 び 理 由

第1 請求

- 1 被告は、別紙被告製品目録記載の各製品を、製造し、譲渡し、貸渡し、譲渡若しくは貸渡しのために展示、又は輸入してはならない。
- 2 主文2、3項と同旨

第2 事案の概要等

本件は、半導体装置に関する後記の特許権（以下「本件特許権」といい、その特許を「本件特許」、後記請求項33の特許発明を「本件特許発明」という。）を有する原告が、被告が別紙被告製品目録記載の各製品（以下総称する場合は「被告製品」という。）を輸入・販売する行為は、本件特許権を侵害すると主張して、被告に対し、被告製品の製造、譲渡、貸渡し、譲渡若しくは貸渡しのための展示又は輸入の差止め、被告製品の廃棄、及び、損害賠償を求めている事案である。

- 1 前提となる事実等（当事者間に争いのない事実、該当箇所末尾掲記の各証拠及び弁論の全趣旨により認められる事実）

(1) 当事者

原告は、コンピュータ及び多岐にわたる半導体製品の製造・販売等を業とする著名な電機メーカーである。

被告は、SDRAM等の半導体メモリの製造・販売等を業とする台湾の訴外ナンヤ・テクノロジー・コーポレーション（以下「ナンヤ」という。）の日本子会社であり、SDRAM等の半導体メモリの輸入販売等を業とする株式会社であって、ナンヤの日本における独占的販売代理店である。

(2) 原告の有する特許権

原告は、次の特許権を有している（甲 1，2）。

ア 特許番号	特許第 3 2 7 0 8 3 1 号
イ 発明の名称	半導体装置
ウ 出願番号	特願平 1 1 - 2 0 4 5 8 号
エ 出願日	平成 1 1 年 1 月 2 8 日
オ 公開番号	特開平 1 1 - 2 8 8 5 9 0 号
カ 優先権主張番号	特願平 1 0 - 2 2 2 5 7 号
キ 優先日	平成 1 0 年 2 月 3 日
ク 公開日	平成 1 1 年 1 0 月 1 9 日
ケ 登録日	平成 1 4 年 1 月 1 8 日
コ 請求項の記載	

本件特許発明の願書に添付した明細書（以下「本件特許明細書」という。本判決末尾添付の特許公報参照。）の特許請求の範囲の請求項 3 3 の記載は次のとおりである。

「クロック信号に応答してアドレス信号を取込み，クロック信号に応答して前記アドレス信号を出力するアドレス入力回路と，ストローク信号に応答してデータ信号を取込み，前記クロック信号に応答して前記データ信号を出力するデータ入力回路と，前記アドレス入力回路からのアドレス信号で指定されたメモリセルに，前記データ入力回路からのデータ信号を書き込む内部回路を有し，前記アドレス入力回路は，前記クロック信号に応答してシフト動作するシフトレジスタを含み，さらに，前記シフトレジスタと並列にバイパス回路を設け，データ読出しモードにおいて，前記アドレス信号は前記バイパス回路を通過することを特徴とする記憶回路。」

(3) 構成要件

本件特許発明を構成要件に分説すると，次のとおりである（以下，分説した各構成要件をその符号に従い「構成要件 A」のように表記する。）。

- A クロック信号に応答してアドレス信号を取込み，クロック信号に応答して前記アドレス信号を出力するアドレス入力回路と，
- B ストローブ信号に応答してデータ信号を取込み，前記クロック信号に応答して前記データ信号を出力するデータ入力回路と，
- C 前記アドレス入力回路からのアドレス信号で指定されたメモリセルに，前記データ入力回路からのデータ信号を書き込む内部回路を有し，
- D 前記アドレス入力回路は，前記クロック信号に応答してシフト動作するシフトレジスタを含み，
- E さらに，前記シフトレジスタと並列にバイパス回路を設け，
- F データ読出しモードにおいて，前記アドレス信号は前記バイパス回路を通過する
- G ことを特徴とする記憶回路。

(4) 被告製品

被告は，本件特許権の登録日以降，現在に至るまで，別紙被告製品目録記載の被告製品を，業として，ナンヤより日本に輸入し，販売している（なお，被告は，被告製品の一部について輸入・販売を否認するが，それらについても輸入・販売の事実が認められることは，後記第4の3(1)に認定するとおりである。）。

被告製品のうち，別紙被告製品目録の「1 イ号製品」に記載されたもの（以下，総称して「イ号製品」という。）は，半導体装置であり，記憶回路であるダイナミック・ランダム・アクセスメモリであって，その構成は，別紙1のイ号製品説明書1記載のとおりである（イ号製品の構成が別紙2のイ号製品説明書2の記載のとおりであることは当事者間に争いが無いが，当事者双方の主張を勘案すれば，イ号製品説明書は，別紙1のとおり記載するのがより正確であるので，別紙1のイ号製品説明書1は，別紙2のイ号製品説明書2に基づき当事者双方の主張を勘案して，当裁判所が作成したものであ

る。また、イ号製品説明書の図面については、実質的な争いがないため、当事者双方の主張を理解しやすくするために、当裁判所の判断で、原告の訴状添付の第1図を「第1図」とし、被告の第4準備書面添付の「図1」を第2図とし、被告の第5準備書面添付の「図2」を第3図として、別紙1のイ号製品説明書1に添付した。別紙2のイ号製品説明書2に添付した第1図は、上記第1図と同様のものである。)

別紙被告製品目録の「2 ロ号製品」に記載されたもの(以下総称して「ロ号製品」という。)は、イ号製品のいずれかをモジュールとして搭載したメモリ装置である。

2 争点

- (1) イ号製品は、本件特許発明の技術的範囲に属するか(イ号製品は、本件特許発明の各構成要件を充足するか)(争点1)。
- (2) 本件特許は無効にされるべきものか(争点2)。
 - ア 進歩性(特許法29条2項)
 - イ 明細書の記載不備(特許法36条6項1号)
- (3) 差止めの必要性(争点3)
- (4) 損害の発生及びその額(争点4)

第3 争点に関する当事者の主張

- 1 争点1(イ号製品は、本件特許発明の技術的範囲に属するか(イ号製品は、本件特許発明の各構成要件を充足するか))について

- (1) 構成要件Aについて

〔原告の主張〕

ア イ号製品における「クロック信号CLK」(別紙1のイ号製品説明書1の第3の3.1。以下同様に、イ号製品の構成の末尾括弧内の数字は、特に説明を付さない限り、同別紙の第3の項目の数字に対応する。)は、構成要件Aのクロック信号に、「列アドレス信号」(3.1)は、構成要件Aの「アドレス

信号」に、「アドレス入力部51」及び「アドレス出力部56」を含む「アドレス信号処理回路部5」(2.1)は、構成要件Aの「アドレス入力回路」に、それぞれ該当する。そして、イ号製品の「アドレス信号処理回路部5」内の「アドレス入力部51」は、「クロック信号CLKにตอบสนองして」「列アドレス信号」を取り込み(3.1)、「アドレス信号処理回路部5」内の「アドレス出力部56」は、「クロック信号CLKの立ち上がり(又は立ち下がり)にตอบสนองして」「列アドレス信号」を出力する(3.7)。

したがって、イ号製品は、構成要件Aを充足する。

イ 被告の主張に対する反論

a) 信号1ないし4は、いずれも外部クロック信号を元とする信号である(被告も認めている)。信号1は、列アドレス信号をアドレス入力部51に取り込むためのクロック信号であり、その際必要なクロック信号のパルスはライト(リード)コマンドに対応する外部クロック信号のパルス1個あればよいことから、外部クロック信号CLKのパルスの中から必要なクロックパルスを選択し、順送りしたものである。信号2は、アドレス信号処理回路部5のうちカラムアドレス出力部56-1に入力される信号で、クロック信号の立ち上がり(又は立ち下がり)にตอบสนองして、列アドレス信号をアドレス・デコーダ71に出力する信号であって、これは、列アドレス信号をアドレスデコーダ71に出力するタイミングにおいて出力されればよく、外部クロック信号から必要なパルスを選択したものである。信号3は、データ信号をデータ出力部62からデータライン・ドライバ72へ出力させる信号で、外部クロック信号を順送りしたものである。本件特許明細書(図10,【0089】)で説明されるとおり、外部クロック信号のエッジを順送りしたクロック信号のタイミングによるデータ出力部からのデータ出力動作も「クロック信号にตอบสนอง」するものであると当業者に理解されている。信号4は、第1D型フ

リップフロップ52及び第2D型リップフロップ53をシフト動作させるクロック信号であって、外部クロック信号CLKをインバータ回路及びNAND回路等で順送りしたものである。本件特許明細書(図18, 【0097】【0098】)でも説明されているとおり、インバータ回路、NAND回路等を通過して外部クロック信号のエッジを順送りしたクロック信号のタイミングによるシフトレジスタの動作も「クロック信号に応答」するものと当業者に理解されている。

- b) 多くのメモリ製品では、行と列にアドレスデータを分け、行アドレス信号と列アドレス信号を二つのタイミングに分けて時分割で同じアドレス端子から入力し、アドレス端子数を減らすことが行われている。イ号製品においても、アドレス入力部51に、まず第1のタイミングで行アドレス信号が入力され、次いで第2のタイミングで列アドレス信号が入力されるもので、列アドレス信号は書き込み動作時、すべてシフトレジスタを通過する。

このように、イ号製品においては、行アドレス信号はあらかじめ第一のタイミングでアドレス入力部51に入力され、ロウアドレス出力部56-2及びロウアドレス・レコーダ700を経て、メモリセル・アレイ73の行の選択を行っている。続いて、本件特許発明に係る列アドレス信号が、第2のタイミングでアドレス入力部51に入力される。そして、ストロブ信号に응答してメモリに入力されるデータ信号と、それに対応して入力される列アドレス信号とのタイミング制御がなされる。したがって、本件特許発明の構成要件Aのアドレス入力回路から出力する「アドレス信号」、構成要件Cのメモリセルを指定する「アドレス信号」、及び、構成要件Fのバイパス回路を通過する「アドレス信号」は、いずれもイ号製品の列アドレス信号に関わるものである。

また、本件特許明細書図1及び10に「コラムデコーダ40, 41」

と表記されていること、本件特許明細書【0038】に「コラムアドレスは・・・コラムデコーダ40, 41に送られデコードされる」と記載されていることからすれば、構成要件A, C, Fの「アドレス信号」は「列(コラム)アドレス信号」に関わるものである。そして、イ号製品の列アドレス信号 A0 - A9, A11 が構成要件Aのアドレス信号に該当するとすれば、アドレス信号処理回路部5に取り込まれるのも、コラムアドレス出力部56-1から出力されるのも上記列アドレス信号である。被告は、構成要件Aの、アドレス入力回路に取り込まれる「アドレス信号」と、アドレス入力回路から出力される「前記アドレス信号」とが同一であるのに対し、イ号製品においては、アドレス入力回路に取り込まれるのはアドレス信号であるが、出力されるのは列アドレス信号及び行アドレス信号であるから、両者は異なるという。しかし、上記のとおり、本件特許発明の構成要件A, C及びFにいう「アドレス信号」とは列アドレス信号であり、イ号製品においても、「列アドレス信号」を取り込み、「列アドレス信号」を出力しているのである。よって、イ号製品は、構成要件A, C, Fの「アドレス信号」を充足する。

〔被告の主張〕

ア 構成要件Aに規定される「アドレス入力回路」は、クロック信号に応答してアドレス信号を取り込み、出力する必要がある。しかし、イ号製品における「アドレス信号処理回路部」は、クロック信号を元とするが、クロック信号を複数の論理回路を通す等により全く別の信号である信号1に基づいてアドレス信号を取り込み、信号2に基づいて列アドレスを出力し、信号5に基づいて行アドレスを出力するものであり、クロック信号に応答していない。別紙1のイ号製品説明書1添付第3図(波形図)のうち読み出し時に、信号1がクロック信号の立ち上がりから遅延した後に立ち上がり、それに遅れて信号2及び信号4もそれぞれ立ち上がる。

イ イ号製品においては、アドレス入力回路に取り込まれる「アドレス信号 A」(別紙 2 のイ号製品説明書 2 参照。)は 13 ビットから構成される「アドレス信号」であるが、アドレス入力回路から出力されるのは「列アドレス信号」及び「行アドレス信号」であり、両者は異なる。

(2) 構成要件 B について

〔原告の主張〕

ア イ号製品の「データストローブ信号 DQS」(3.5)は、構成要件 B におけるストローブ信号に、「データ信号 DQ」(3.5)は、構成要件 B におけるデータ信号に、「クロック信号 CLK」(3.7)は、構成要件 B におけるクロック信号に、「データ入力部 6 1」及び「データ出力部 6 2」からなる「データ信号処理回路部 6」(2.2)は、構成要件 B におけるデータ入力回路にそれぞれ該当し、「データ信号処理回路部 6」内の「データ入力部 6 1」は「データストローブ信号 DQS の立ち上がり及び立ち下がりに応答して」「データ信号 DQ」を取り込み(3.5)、「データ信号処理回路部 6」内の「データ出力部 6 2」は、「クロック信号 CLK の立ち上がり(又は立ち下がり)に応答して」「データ信号 DQ」を出力する(3.7)。

したがって、イ号製品は構成要件 B を充足する。

イ 被告の主張に対する反論

イ号製品における「データ信号処理回路部」は、外部クロック信号を順送りした信号 3 に基づいてデータ信号を出力するものであり、「クロック信号に応答」するものであることは構成要件 A について述べたとおりである。

〔被告の主張〕

構成要件 B に規定される「データ入力回路」は、クロック信号に応答してデータ信号を出力する必要がある。しかし、イ号製品における「データ信号処理回路部」はクロック信号でなく信号 3 に基づいてデータ信号を出力する。

仮に、構成要件Bにおける「クロック信号」が外部クロック信号CLKそのものでなくてもよいと解されるとしても、外部クロック信号にตอบสนองして立ち上がる信号であることを限度とするものであり、イ号製品における信号3のように、遅延を目的として設けられた回路により、立ち上がりクロック信号の立ち上がりから大きく遅延するものは、クロック信号に含ませることができない。

(3) 構成要件Cについて

〔原告の主張〕

ア イ号製品の「メモリセル74」(2.3)は、構成要件Cにおけるメモリセルに、イ号製品の「アドレス・デコーダ71，ロウアドレス・デコーダ700，データライン・ドライバ72，メモリセル・アレイ73」からなる「メモリ・コア部7」(2.3)は、構成要件Cにおける内部回路に、イ号製品のアドレス出力部56からアドレス・デコーダ71へ出力される「列アドレス信号」(3.7)は、構成要件Cにおける「アドレス信号」に、それぞれ該当し、イ号製品は、「アドレス・デコーダ71がデコードした列アドレス信号及びロウアドレスレコーダ700がデコードした行アドレス信号が指定するメモリセル・アレイ73中のメモリセル74に、データライン・ドライバ72が出力するデータ信号DQが書き込まれる」(3.8)ものであるから、構成要件Cを充足する。

イ 被告の主張に対する反論

イ号製品においては、あらかじめ行アドレス信号が内部回路に入力され、メモリセル・アレイ73の行が選択され、続いて、本件特許発明の「アドレス信号」に相当する列アドレス信号が入力されデータを書き込むべきメモリセルが指定されるのであり、アドレス信号処理回路部5から出力された列アドレス信号によりメモリセルを指定してデータを書き込んでおり、構成要件Cを充足する。

〔被告の主張〕

構成要件Cにおける「アドレス信号」は、構成要件Aに記載されている二つの「アドレス信号」と同一の信号である。しかし、構成要件Aにおけるアドレス入力回路に取り込まれたアドレス信号Aはイ号製品のアドレス信号Aに該当するが、構成要件Cにおけるアドレス入力回路から出力されたアドレス信号は、イ号製品においては、列アドレス信号及び行アドレス信号であり、アドレス信号Aではない。よって、「前記アドレス入力回路からのアドレス信号」で指定されたメモリセルにデータを書き込むとはいえない。

(4) 構成要件Dについて

〔原告の主張〕

ア イ号製品の「第1D型フリップフロップ52」及び「第2D型フリップフロップ53」(2.1)は、構成要件Dにおける「シフトレジスタ」に、「クロック信号CLK」(3.2)は、構成要件Dにおける「クロック信号」に、それぞれ該当し、「第1D型フリップフロップ52」は、「列アドレス信号」を「クロック信号CLKの立ち上がりに対応して」取り込み(3.2)、「第1D型フリップフロップ52」に取り込まれた「列アドレス信号」は、クロック信号CLKの立ち上がりに対応して、「第2D型フリップフロップ53」に取り込まれる(3.3)。

このように、イ号製品の「第1D型フリップフロップ」及び「第2D型フリップフロップ」は、「クロック信号CLK」に対応してシフト動作する「シフトレジスタ」である。

したがって、イ号製品は構成要件Dを充足する。

イ 被告の主張に対する反論

イ号製品における「第1D型フリップフロップ」及び「第2D型フリップフロップ」は、外部クロック信号CLKをインバータ回路及びNAND

回路等を経由して順送りした信号4に基づいてシフト動作するもので、「クロック信号に応答」するものであることは、構成要件Aについて述べたとおりである。

〔被告の主張〕

構成要件Dに規定される「シフトレジスタ」は、クロック信号に応答してシフト動作する必要がある。しかし、イ号製品における第1及び第2D型フリップフロップはクロック信号でなく信号4に基づいてシフト動作するものである。イ号製品における信号4のように、遅延を目的とした回路により、立ち上がりクロック信号の立ち上がりから大きく遅延するものは、クロック信号に含ませることができない。

(5) 構成要件Eについて

〔原告の主張〕

ア イ号製品の「配線54」(2.1)は、構成要件Eにおける「バイパス回路」に該当し、「第1D型フリップフロップ52及び第2D型フリップフロップ53」からなるシフトレジスタと「配線54」は並列に設けられている(2.1)。

したがって、イ号製品は構成要件Eを充足する。

イ 被告の主張に対する反論

〕 I S 工業用語大辞典(甲8)によれば、回路とは「それを通して電流が流れることができる器具又は導電体の配列」とされているように、回路の通常の語義からして、バイパス回路は信号処理機能を持つものに限定されず、単なる配線もバイパス回路に含まれる。

〔被告の主張〕

回路とは、「素子の機能を結合して所要の信号又は(及び)エネルギー処理機能を持たせたもの」(乙2)である。本件特許発明における「バイパス回路」は、インバータ324、トランスファークロップ345及び導線

から成り、複数の素子の機能を結合することにより信号処理機能を有している回路である（本件特許明細書【0102】、図19参照）。しかし、イ号製品の「配線54」は、電気機器などに電流を供給するための導線（乙1）のみで構成されており、上記回路とは異なる。甲8の説明でも単なる1本の配線が「器具又は導電体の配列」に該当しないことは当然であり、「単なる配線」は（電気）回路に含まれない。

(6) 構成要件Fについて

〔原告の主張〕

ア イ号製品の「データの読み出し動作時」(4.2)は、構成要件Fにおける「データ読出しモード」に該当し、「データの読み出し動作時」には、「スイッチ回路55により配線54を通過する信号が選択されるため」、「アドレス入力部51が取り込んだ列アドレス信号は、配線54を介しアドレス出力部56に出力される」(4.2)。そして、「配線54」がバイパス回路に該当することは、構成要件Eについて述べたとおりである。

したがって、イ号製品は構成要件Fを充足する。

イ 被告の主張に対する反論

イ号製品の列アドレス信号が本件特許発明の「アドレス信号」を充足することは構成要件Aについて述べたとおりである。列アドレス信号がバイパス回路を通過してメモリセル部に転送されれば読み出しの高速化が実現されるのだから、列アドレス信号がバイパス回路である配線54を通過しているイ号製品の構成は構成要件Fを充足する。

〔被告の主張〕

本件特許発明では、「シフトレジスタと並列にバイパス回路」(構成要件E)があることを前提に、「・・・アドレス信号は前記バイパス回路を通過する」としており、また、本件特許明細書【0102】の記載からも明らかのように、データ読み出し時にアドレス信号はバイパス回路のみを通過する

こととなっている。しかし、イ号製品においては、アドレス信号は、データ読み出し時に、配線54（バイパス）及び「第1D型フリップフロップ」及び「第2D型フリップフロップ」（シフトレジスタ）をも通過する構成となっている。

また、構成要件Fにいう「前記アドレス信号」とは、構成要件Cにおけるアドレス信号、すなわちデータが書き込まれる特定のメモリセルを指定するためのアドレス信号である。イ号製品において、メモリセルを指定するためのアドレス信号は、別紙1のイ号製品説明書1添付第2図でいうと列アドレスと行アドレスの情報をもつアドレス信号Aであるが、配線54を通過するのは、列アドレス信号であり、アドレス信号Aではない。

2 争点2（本件特許は無効にされるべきものか。）について

(1) 進歩性（特許法29条2項）について

〔被告の主張〕

ア 乙4発明及び乙5発明に基づく主張

a) 本件特許権の優先日より前に公開された特開平10-28041号公報（以下「乙4公報」といい、これに開示されている発明を「乙4発明」という。）には、構成要件A、B、C及びGが開示され、昭和61年7月23日に公開された特開昭61-162886号公報（以下「乙5公報」といい、これに開示されている発明を「乙5発明」という。）には、構成要件DないしFが開示されている（さらにいうなら乙5公報は構成要件Gをも開示するものである。）。本件特許発明は、乙4発明及び乙5発明に基づいて当業者が容易に想到し得たものである。

b) 乙4発明は、記憶回路に関する発明であり、そのアドレス入力回路は、システムクロック信号に応答してアドレス信号を取り込み、出力するものであるから（乙4【0110】、【0111】、【図13】）、乙4公報には、構成要件A及びGが開示されている。

また、乙4発明においては、エコークロック信号に 응답してデータ信号を取り込み、システムクロック信号に 응답して、データ信号を出力するものとされており(乙4【0112】、【0133】)、エコークロック信号は、本件特許発明にいうストロブ信号に、システムクロック信号は、クロック信号に相当するから、乙4公報には、構成要件Bも開示されている。

さらに、乙4発明においては、アドレス/コマンド入力回路で受信されたアドレス/コマンド信号はメモリのコア回路に供給され、データ書き込みの際、データ信号はメモリのコア回路に供給されるものであり(乙4【0111】、【0112】)、アドレス信号がデータ信号が書き込まれるメモリセルのアドレスを示していることは明らかであるから、乙4公報には、構成要件Cも開示されている。

乙5発明は、メモリアクセス方式に関する発明であり、本件特許発明にいう「アドレス入力回路」に相当するDRAM制御回路において、メモリ書き込み時に、メモリライト用 \overline{CAS} 信号である $\overline{CAS} \cdot W$ が、 \overline{CAS} 信号を遅延回路で一定時間遅らせた信号を \overline{CAS} 信号選択回路で選択して形成され出力されるものである(乙5の3丁目左下段から右下段)。遅延回路としてクロック信号に 응답してシフト動作するシフトレジスタを用いることは、本件特許の出願時における技術常識にすぎない。したがって、乙5公報には、構成要件Dが開示されている。

また、乙5公報においては、DRAM制御回路において遅延回路と併設して \overline{CAS} 信号が伝播する配線及び \overline{CAS} 選択回路17の上段のAND回路からなる回路が開示されているところ、メモリリード時には、 \overline{CAS} 選択回路17によって、メモリリード用 \overline{CAS} 信号である $\overline{CAS} \cdot R$ が選択され、アクティブな低レベルがDRAMのコラム指定端子に与えられるとされているから(乙5の第1図(a)、3丁目右

下段)、当該回路は、本件特許発明において、シフトレジスタと並列に設けられた「バイパス回路」に相当する。したがって、乙5公報には、構成要件Eが開示されている。

そして、上記のとおり、メモリ読み出し時に \overline{CAS} 信号がバイパス回路を通過するとされているから、構成要件Fも開示されている。アドレス信号がバイパス回路を直接通過することによって、当該タイミングでデータ信号をメモリセルから読み出す構成とするか、アドレス信号を取り込むタイミングを示す \overline{CAS} 信号がバイパス回路を通過することによって当該タイミングでデータ信号をメモリセルに読み出す構成とするかは、単なる設計事項にすぎない。

本件特許発明の「記憶回路」と同一の技術分野に属する乙4発明の「メモリ」に、当該技術分野に属する乙5発明のDRAM制御回路を適用することは、当業者であれば容易であるから、本件特許発明は、乙4発明及び乙5発明に基づいて当業者が容易に想到し得たものである。

c) 原告の反論に対する再反論

本件特許発明の構成要件Aは、「受け取ったアドレス信号とデータ信号を、タイミングを合わせて処理するためのアドレス回路」を規定していない。

構成要件Bは、ストローク信号のエッジに同期してデータ信号を取り込むことを規定していない。乙4公報のような同期式のメモリに関する発明を記載した公報を読めば、アドレス/コマンド入力回路113がアドレス信号をクロック信号に同期させて出力することは当然に理解できる。

構成要件Dは、アドレス入力回路がシフトレジスタを含むことのみを規定したもので、シフトレジスタがアドレス信号そのものを伝送す

るかを規定したものではないし、アドレス入力回路にシフトレジスタを含めることが単なる従来技術にすぎないことは原告も認めている。遅延回路については、メモリの分野において使用周波数が異なれば遅延時間も変えなければならないことは常識であり、シフトレジスタは使用周波数が一定であればその遅延時間も一定となるところ、メモリにおいて使用周波数は通常一定であるから遅延回路の遅延時間が一定であってもシフトレジスタを除くことにはなり得ない。

構成要件Eには、バイパス回路がシフトレジスタと並列に設けられていることのみが規定されており、どちらが「本線」で、「付加的構成」であるかなど一切規定されていない。なお、構成要件Fにおいて「データ読み出しモード」において「アドレス信号」が「バイパス回路」を通過することが規定されているが、乙5発明の特許発明の範囲に、「メモリリード時にカラムアドレス指定信号を・・・発生する」と記載されているとおり、乙5発明において「遅延回路」と「バイパス回路」は本件特許発明と同様の関係を有する。

さらに、乙5発明も本件特許発明も、「アドレス信号のタイミング調整（遅延）に関する問題」を解決するという点において、何ら異なるところはなく、乙5発明には、データ読み出しモードにおいて、アドレス信号を取り込むタイミングを示す \overline{CAS} 信号がバイパス回路を通過することとされており、バイパス回路を通過するのがアドレス信号そのものか、又はアドレス信号を取り込むタイミングを示す \overline{CAS} 信号であるかは、データ信号がメモリセルから読み出されるタイミングに異なるところはないのであるから、乙5発明の技術的思想は本件特許発明と同一であり、乙5公報には、構成要件Fも開示されている。

加えて、被告は、乙5公報において、構成要件GではなくDないしFが開示されている旨主張したのであるから、構成要件Gが開示され

ていないとする原告の反論は失当である上，D R A M 1 3を加えた構成が「記憶回路」に相当することは明らかであって，乙5公報にも，構成要件Gが開示されている。

「遅延回路」として「クロック信号に応答してシフト動作するシフトレジスタ」を用いることは技術常識で，バイパス回路を通過するのが，アドレス信号そのものであるか，又はアドレス信号を取り込むタイミングを示す $\overline{C A S}$ 信号であるかは，技術思想が同一であるから，乙5公報に，「前記クロック信号に応答してシフト動作するシフトレジスタ」(構成要件D)，「前記シフトレジスタ」(構成要件E)，バイパス回路を通過する「前記アドレス信号」(構成要件F)が明記されていないとしても，乙5公報には，構成要件DないしFが開示されているに等しい。したがって，いずれにせよ本件特許発明は，当業者であれば乙4発明及び乙5発明に基づいて容易に想到できたものである。乙4発明の課題である「エコークロック信号のシステムクロック信号に対するタイミングのずれ」とは，「アドレス信号とデータ信号のタイミングのずれ」を意味するのであるから，これは本件特許発明の課題そのものにほかならず，乙4発明の「メモリ」に当該技術分野に属する乙5発明のD R A M制御回路を適用することが当業者であれば容易であることは前述のとおりである。

イ 乙4発明及び乙8発明に基づく主張

- a) 前述のとおり，乙4公報には，構成要件AないしC及びGが開示されている。また，特開平5 - 1 8 2 4 5 3号公報(以下「乙8公報」といい，これに開示されている発明を「乙8発明」という。)には，構成要件DないしFが開示されており，乙4発明と乙8発明を組み合わせることは当業者にとって容易であるから，本件特許発明には進歩性がない。
- b) 乙8発明の半導体記憶回路の一実施例である図1の回路は，外部

からの入力アドレス信号 5 を 1 周期遅延して書き込みアドレス信号 7 として出力する書き込みアドレスレジスタ回路 6 . . . とから構成されている (乙 8 【 0 0 1 4 】 , 【 0 0 1 5 】) 。 半導体記憶回路 (メモリ) の技術分野においては , 同期式の回路であれば「クロック信号」に同期させてアドレス信号の入出力のタイミングを制御することは周知技術であるから (乙 4 発明参照) , 上記乙 8 公報の図 1 に示される回路において , 入力アドレス信号 5 が通過する信号線と書き込みアドレスレジスタ回路 6 及び書き込みアドレスレジスタ回路 6 から出力される書き込みアドレス信号 7 が通過する信号線とを含む回路は , 「クロック信号にตอบสนองしてアドレス信号を取り込み , . . . 前記アドレス信号を出力するアドレス入力回路」 (構成要件 A) に相当し , 構成要件 D の「アドレス入力回路」に相当することは明らかである。さらに , 乙 8 発明には , 「書き込みアドレスレジスタ回路 6 」は , 「外部からの入力アドレス信号 5 を 1 周期遅延して書き込みアドレス信号 7 として出力する」ことが開示されているところ , クロック信号を用いた回路であれば , 「シフトレジスタ」によりシフト動作させて遅延させることは通常であり , 周知の技術である (本件特許公報【 0 0 1 0 】参照) 。 したがって , 乙 8 公報には , 「書き込みアドレスレジスタ回路 6 」がシフトレジスタで構成されていることが開示されているに等しい。したがって , 乙 8 公報には , 構成要件 D が開示されている。

また , 乙 8 公報には , 入力アドレス信号 5 が通過する信号線及び書き込みアドレスレジスタ回路 6 と並列に , 読み出しアドレス信号 1 0 が通過する信号線のみが設けられている構成が開示されており (乙 8 の図 1) , さらにデータの書き込み動作時には , 入力アドレス信号 5 を書き込みアドレスレジスタ回路 6 によって遅延させて出力する一方 , データの読み出し動作時に , 読み出しアドレス信号 1 0 を遅延さ

せることなくそのまま出力することが開示されている（乙 8 【 0 0 1 6 】, 【 0 0 1 9 】）。乙 8 公報の図 1 には、データの読み出し動作時に読み出しアドレス信号 1 0 が通過する信号線が、データの書き込み動作時に入力アドレス信号 5 が通過する信号線とは別個の信号線として描かれているが、メモリの技術分野においては、メモリセルアレイの中のメモリセルを指定するアドレス信号が、書き込み又は読み出しのいずれの動作であるかにかかわらず、共通の端子及び信号線を通じてアドレス入力回路に取り込まれることは技術常識であるから（乙 4 【 0 1 1 1 】, 図 1 3 参照）、上記図 1 は、バイパスとして分離後の状態が描かれていることは明白であり、図 1 には、読み出しアドレス信号 1 0 が通過する信号線が、入力アドレス信号 5 が通過する信号線の基となる部分から分岐したものであることは開示されているに等しい。そして、上記のとおり、書き込みアドレスレジスタ回路 6 が「シフトレジスタ」に相当するから、これと並列に設けられた読み出しアドレス信号 1 0 が通過する信号線が「バイパス回路」に相当し、乙 8 発明には、データの読み出し動作においてアドレス信号が「バイパス回路」を通過することが開示されている。したがって、乙 8 公報には、構成要件 E 及び F が開示されている。

そして、乙 4 発明と乙 8 発明はいずれもメモリの内部回路の構成を開示している点で本件特許発明と同一であり、前述の乙 4 発明の課題を解決するために、同じメモリの技術分野に属する乙 8 発明に開示する構成要件 D ないし F に相当する部分を乙 4 発明のメモリに置換又は付加することは、当業者の通常の創作能力の発揮にすぎない。

c) 原告の主張に対する反論

原告が、乙 8 発明は論理 L S I のレジスタに関するものであるとして挙げた段落【 0 0 0 2 】は、乙 8 公報における【従来の技術】の説明に

すぎず、乙8発明は、論理LSIのレジスタに関する構成に限定されるものではない。乙8の【発明の名称】欄、【産業上の利用分野】欄、【特許請求の範囲】欄のいずれにもそのような記載はない。したがって、原告の主張のように外部からの入力データ信号、入力アドレス信号の「外部」をレジスタの外部と限定して解釈することも誤っていることは明らかであり、一般的に、外部端子数の制約等から、チップ外部と信号をやりとりするにあたり、チップの外部端子やそこにつながる信号線を共通化する例はあるのであるから（原告もその点は認めている。）、乙8公報の図1において、読み出しアドレス信号10が通過する信号線が、入力アドレス信号5が通過する信号線の基となる部分から分岐したものであることは開示されているに等しく、乙8公報には「バイパス回路」が開示されている。また、乙8発明における高速同時書き込み読み出しは、両信号のアドレスが同一である場合の動作であるから（乙8【0020】ないし【0022】）、バイパスとして分岐する前に両者が共通の信号線を通過することによる問題は何ら生じない。

ウ 乙4発明及び乙21発明に基づく主張

- a) 乙4公報には、構成要件AないしC及びGが開示されている。また、特許第2554816号公報（以下「乙21公報」といい、これに開示されている発明を「乙21発明」という。）に構成要件DないしFが開示されており、乙4発明と乙21発明を組み合わせることは当業者にとって容易であるから、本件特許発明には進歩性がない。
- b) 乙21発明は、半導体記憶装置にかかるものである（乙21【0001】）。その第1実施例のシフトレジスタ21は、カラムアドレスを指定するためのアドレス指定信号を出力し、カラム選択回路13を選択制御するためのものであり、カラム選択回路13はメモリセルアレイ10のカラムを指定するための回路である（乙21【0020】、

【0021】，図1）。また，乙21発明のシフトレジスタの1段分21aは，コラムアドレスを指定するアドレス指定信号をデータ転送用クロック1に応答して取り込み，その反転信号/1に応答して出力するから，構成要件Dの「前記アドレス入力回路」に相当し，また，データ転送用クロック1及び2に応答して，第1のデータ転送ゲート27及び第2のデータ転送ゲート29が交互にオン状態になってアドレス信号をシフト動作するから，構成要件Dの「前記クロック信号に応答してシフト動作するシフトレジスタ」に相当する（乙21【0026】，【0027】，【0030】）。したがって，乙21発明には構成要件Dが開示されている。

また，乙21公報には，シフトレジスタの1段分21aと並列にバイパス回路22aを設ける構成が開示されているから，構成要件Eが開示されている（乙21【0024】，【0028】）。

さらに，乙21発明のシフトレジスタ72bは，メモリセルに記憶されたデータを読み出す動作時に用いられるものであり，「・・・シフトレジスタ72a，72bに対応して，シフトレジスタ72a，72bの所望の段をバイパスさせることが可能な2個のバイパス回路」のうちの1個のバイパス回路が，シフトレジスタ72bに対応して読み出し動作時に用いられる（乙21【0084】，【0085】，図17）。したがって，乙21公報には，構成要件Fも開示されている。

そして，乙4発明及び乙21発明は，いずれもメモリの内部回路の構成である点で本件特許発明と同一であり，前述の乙4発明の課題を解決するために，同じ「メモリ」の技術分野に属する乙21公報が開示されている構成要件DないしFに相当する部分を乙4発明の「メモリ」に置換又は付加することは当業者の通常の創作能力の発揮にすぎない。

〔原告の主張〕

ア 乙4発明及び乙5発明に基づく主張について

a) 乙4発明の解決主題も構成も本件特許発明とは異なるものであり、構成要件A及びBは開示されていない。また、乙5発明の構成も本件特許発明とは異なるものであり、これらを組み合わせる動機はない。

b) 乙4公報には、アドレス信号とデータ信号のタイミングを調整するために必要となる「クロック信号に応答して前記アドレス信号を出力するアドレス入力回路」について記載も示唆もされておらず、クロック信号に応答して取り込むアドレス信号の出力と、ストローク信号に「応答して取り込むデータ信号の出力をともに、クロック信号に「応答するようタイミングを制御することも記載も示唆もされていないから、構成要件Aを開示していない。

また、本件特許発明における「ストローク信号」は、その「エッジ」を対応するデータ信号に同期させた信号である（本件特許明細書【0003】、【0072】）のに対し、乙4発明のエコークロック信号は、そのハイの「期間」を対応するデータ信号に同期させた信号である（乙4の図15）から、本件特許発明の「ストローク信号」には該当しない。したがって、乙4公報には構成要件Bも開示されていない。構成要件Aが構成要件Bとともに、クロック信号に「応答して取り込むアドレス信号の出力のタイミングと、クロック信号とは異なるストローク信号に「応答して取り込むデータ信号の出力のタイミングをともに、クロック信号に「応答するよう規定し、アドレス信号とデータ信号の対応関係を正確に保つことを規定していることは、本件特許明細書にも明確に記載されている（本件特許明細書【0013】、【0014】）。

構成要件Dの「前記アドレス入力回路」は、「クロック信号に「応答してアドレス信号を取込み、・・・アドレス信号を出力する」（構成

要件 A) ものであるから , アドレス信号の回路であることは当然であり , また , 「シフトレジスタ」は , 構成要件 A ないし C という具体的な回路の構成において , 「異なるタイミングで取り込んだ 2 種類の信号を , 内部回路が対応付けながら正確かつ高速に処理 , 転送する」(本件特許明細書【 0 0 1 3 】) ために設けられ , 「シフトレジスタと並列にバイパス回路を設け」(構成要件 E) , 「アドレス信号は前記バイパス回路を通過する」(構成要件 F) ものであるから , 当然にアドレス信号を通過させる回路であって , 構成要件 D は , アドレス信号をクロック信号に応答してシフト動作するシフトレジスタにより伝送する「アドレス入力回路」を規定している。しかし , 乙 5 発明は , C P U の動作サイクルからみてメモリアクセスをもっとも効率的に行うタイミングを定めるものであり , メモリの内部回路へのアドレス信号とデータ信号の到達時刻のずれを , タイミング合わせにより解決する本件特許発明とは異なる。乙 5 発明の遅延回路 1 8 は , 本件特許発明のアドレス入力回路におけるアドレス信号の入力や伝送に直接関わるものではなく , データ書き込み時に D R A M がアドレス信号をいつ読み込むかを示すアドレスストロブ信号 ($\overline{R A S} / \overline{C A S}$) の発生タイミングを制御する回路に係るものである。乙 5 発明は「全体的に , タイミングが C P U クロックとは非同期であり , 遅延素子を用いてタイミングを作っているところにも特徴」があり (乙 5 の 4 丁目右上段から左下段) , 遅延は「一定時間」であって (乙 5 の 3 丁目左下段) , 遅延させるためにクロック信号は一切用いていないから , この発明の技術的課題からは , クロックに同期して動作するシフトレジスタ (構成要件 D のシフトレジスタは , クロックと同期し , クロック信号の使用周波数により遅延時間を自動調整するもので「一定時間」の遅延をするものでない。) は想到されない。加えて , シフトレジスタは , 入力端

子にデータ信号が入力されるが、タイミング信号である \overline{CAS} 信号のようなものがシフトレジスタの入力端子に入力されることは技術的にあり得ない。したがって、乙5公報は構成要件Dを開示していない。

また、被告がバイパス回路に相当すると主張する乙5発明の遅延回路18と並列の配線は、「アドレス入力回路」におけるアドレス信号を伝送する回路ではなく、タイミング信号である \overline{CAS} 信号を伝送する回路である上、「本線」というべきものであり、遅延回路18は本線に並列に設けた付加構成である。この本線を通過する \overline{CAS} 信号は、遅延回路を通ることなく単に短絡するというものではない。このような遅延回路18と並列の配線は、シフトレジスタにより構成される回路を通ることなく短絡する構成要件Eにおける「バイパス回路」には相当せず、乙5公報には構成要件Eが開示されていない。さらに、上記のように、乙5発明の遅延回路18などの回路はアドレス入力回路ではなく、また遅延回路18と並行な配線はバイパス回路でもない。乙5発明におけるアドレス信号(AD)は、リード時もライト時も同じアドレス線120を通るものが用いられており、構成要件Fと異なる上、乙5発明における \overline{CAS} 信号自体、本件特許発明の構成に存在しないタイミング信号であり、本件特許発明の構成において、乙5発明の技術を用いる余地はない。したがって、乙5公報には構成要件Fも開示されていない。なお、被告は、本件特許発明のようにアドレス信号がバイパス回路を直接通過することにより、当該タイミングでデータ信号をメモリセルに書き込む構成にするか、乙5発明のようにアドレス信号を取り込むタイミングを示す \overline{CAS} 信号がバイパス回路を通過することによって、当該タイミングでデータ信号をメモリセルに書き込む構成とするかは、設計事項にすぎない旨主張する。しかし、カラムアドレスの取り込みタイミングを示す \overline{CAS} 信号と、アドレス

入力回路から出力されるアドレス信号のタイミングは全く別のものであるし、CPU内部での動作としてCPUが何もしないウエイトサイクルをなくすという乙5発明の課題は、本件特許発明の課題であるアドレス信号とデータ信号を異なるタイミングで受け取る場合のアドレス信号のタイミング調整（遅延）とは別の課題であるから、設計事項とはいえない。

加えて、乙5発明における記憶回路は、乙5公報の第1図(a)のDRAM13等、乙5発明の制御回路とは関係のない部分であり、メモリのアドレス信号やデータ信号の入力回路にかかわるものではなく、アドレス信号を読み込む動作タイミングをデータ読み込み時と書き込み時とで切り替える、メモリの外部回路にすぎず、構成要件Gにおける「記憶回路」に相当しないから、乙5公報は構成要件Gを開示していない。

以上のとおり、乙4公報には構成要件A、B及びDないしFが開示されておらず、乙5公報にはすべての構成要件が開示されていないから、これらを組み合わせたところで本件特許発明には想到し得ない。

また、乙4発明は、エコークロックとシステムクロックのタイミングのズレを、連続する四つのデータ信号を記憶し、データ保持期間を長くすることによって解決したものである。既に解決した課題に対して、さらにアドレス入力回路においてアドレス信号とデータ信号の入力のタイミングのズレを解決するためのシフトレジスタなどによるタイミング調整を行う必要はなく、そのための回路について何ら開示も示唆もない。したがって、乙4発明には、乙5発明との組合せの動機付けもない。

乙5発明は、DRAM13等の記憶回路にどのようにアクセスするかにかかるもので、CPUのメモリアクセスを能率よく行うため、メ

モリアクセスのためのタイミング信号である \overline{CAS} 信号を、メモリ読み出し時にはそのまま用い、メモリ書き込み時に一定時間だけ遅らせるというものであって、メモリのアドレス信号とデータ信号の受け取りタイミングのずれに対応するためにアドレス信号のタイミングを調整するものではなく、乙5公報には、本件特許発明の構成は何ら開示されていない。

したがって、構成要件A、B及びDないしFについて、その構成を設ける課題自体についても手がかりがない乙4発明の構成に乙5発明の構成が有しない様々な本件特許発明の特徴的構成を付加・置換しつつ組み合わせることは、当業者にとって容易なものとはいえない。

その上、乙5発明は、全体的にタイミングがCPUクロックとは非同期であり、遅延素子を用いてタイミングを作っているというところにも特徴があるもので(乙5の4丁目右上段)、クロック信号に応答して緻密に記憶回路を制御する本件特許発明の構成とは根本から相容れないものであるから、組み合わせ自体不可能である。

イ 乙4発明及び乙8発明に基づく主張について

- a) 乙8公報には構成要件A、B及びDないしFが開示されていない。

すなわち、乙8公報には、図1の書き込みアドレスレジスタ回路6が、クロック信号に応答してシフト動作するシフトレジスタを備えることの記載がなく、クロック信号によりアドレス信号の取り込みと出力のタイミングをそれぞれ制御するアドレス入力回路の記載もない。被告は、乙4公報に構成要件Aが開示されていることを例に挙げ、クロック信号に同期させてアドレス信号の入出力のタイミングを制御することは周知技術であると主張するが、乙4公報に構成要件Aが開示されていないことは前述のとおりである。したがって、乙8公報には、構成要件Dが開示も示唆もされていない。

また、乙 8 公報には、アドレス入力回路においてシフト動作するシフトレジスタと並列のバイパス回路も記載されていない。これは、乙 8 発明は、本件特許発明のようなメモリチップ外部からの入力信号に関わるものではなく、論理 L S I のレジスタに関するもので（乙 8 【 0 0 0 2 】）、種々の演算を実行する論理回路部と同時書き込み読み出しが可能なレジスタが同一半導体チップに形成されており、その間の信号のやりとりにおいては、共通の端子や信号線を用いる必然性がないことによる。したがって、乙 8 公報には、構成要件 E も F も開示されていない。

b) そして、乙 4 公報には、システムクロックに同期してアドレス信号を受け取り、エコークロック信号に同期してデータ信号を受け取るメモリが記載されているが、乙 8 公報には、アドレス信号とデータ信号を 2 系統のクロック信号で受け取ることの記載はなく、アドレス信号とデータ信号を受け取る構成について乙 4 発明と乙 8 発明の構成は全く異なる上、乙 4 発明は、データ入力をシリアル・パラレル変換するという構成により 2 系統のクロック信号間のスキューという問題を解決しており、その解決済みの課題に対して、さらに乙 8 発明のような、書き込みアドレスレジスタ回路で入力アドレス信号 5 を 1 周期遅延させる（乙 8 【 0 0 1 8 】,【 0 0 1 9 】）必要性の認識もその示唆も全くない。したがって、乙 4 発明の課題を解決するために乙 8 発明の技術手段を適用することが、当業者にとって容易であるとはいえない。

ウ 乙 4 発明及び乙 2 1 発明に基づく主張について

乙 2 1 発明は、シリアルアクセスメモリの冗長技術に関するもので、図 2 の「カラム選択回路へ」の矢印の先に不良があった場合に、その選択をしないようにするためのものにすぎない（乙 2 1 【 0 0 0 8 】,【 0 0 8 7 】）。乙 2 1 公報には、ストローク信号の開示がそもそもなく、図 2 の回路にアドレス信号とデータ信号のタイミングを調整する機能はない。乙

2 1 発明の構成は，本件特許発明と，目的も解決すべき課題も作用も効果も異なるものであり，乙 4 発明と組み合わせても本件特許発明の構成とはならないし，課題，作用，機能もかかわりがないものが組み合わせられるものではない。

(2) 明細書の記載不備（特許法 3 6 条 6 項 1 号）について

〔被告の主張〕

本件特許明細書の特許請求の範囲（請求項 3 3）には，発明の詳細な説明に記載された発明の課題を解決するための手段が含まれておらず，発明の詳細な説明に記載された発明の範囲を超えて特許されたものであるから，本件特許明細書は特許法 3 6 条 6 項 1 号に反するものであり，本件特許は無効とされるべきものである。

すなわち，本件特許発明の「発明が解決しようとする課題」は，図 2 4 に示される最短 t D S S のタイミング，及び図 2 5 に示される最長 t D S S のタイミングのいずれにおいても，アドレスと対応するデータとをクロックに同期したタイミングで同時に内部回路に供給することである（本件特許明細書【0 0 1 1】，【0 0 1 2】）。

そして，最短，最長 t D S S のタイミングのいずれにおいてもアドレスと対応するデータとをクロックに同期したタイミングで同時に内部回路に供給するためには，2 組のデータラッチが必要である（本件特許明細書【0 1 0 7】）。

以上のとおり，本件特許発明においては，複数組のデータラッチ回路に順番にデータを書き込み，また順番にデータを読み出す手段が，発明の課題を解決するためには必須の手段といえる。

本件特許の請求項 3 3 には，発明の詳細に説明された課題を解決するために必須の上記手段が含まれていないから，請求項 3 3 に係る本件特許発明は発明の詳細な説明に記載した発明の範囲を超えており，本件特許明細

書には特許法 36 条 6 項 1 号違反の不備がある。

〔原告の主張〕

本件特許発明においては、データストロープ信号に同期してデータ入力を行うにあたり、データストロープ信号の許容範囲に対応できるように、その許容範囲において取り込み、保持すべきデータの量に応じた数のデータ信号をストロープ信号に応答して取り込む手段を用いており（本件特許明細書【0014】、【0069】、【0081】、【0007】、図11、図12等）、データを取り込む動作自体が、ラッチに取り込まれるとか、ラッチすると呼ばれている。本件特許発明の「データ入力回路」は、データをラッチする回路を有する回路であり、それは、本件特許明細書の図10に示される第2実施例において、データラッチ51、53、54、56及びシフトレジスタ52、55を「ストロープ信号に応答してデータ信号を取り込み、前記クロック信号に応答して前記データ信号を出力するデータ入力回路」として記載されている。そして、この部分の詳細な回路が図17で示されている。

以上のとおり、本件特許明細書の発明の詳細な説明においては、被告のいう「データラッチ回路」に関わる構成が構成要件Bに記載されたとおり示されているから、特許請求の範囲の請求項33の記載は、発明の詳細な説明に記載された発明の課題を解決するための手段が記載されているといえる。

3 争点3（差止めの必要性）について

〔原告の主張〕

被告は、本件特許発明の技術的範囲に属する被告製品をいずれも輸入・販売しており、これは本件特許権を侵害する行為であるから、その侵害行為の差し止めと侵害行為を組成した被告製品の廃棄が認められるべきである（特許法100条1項、2項）。

〔被告の主張〕

(1) 被告は、以下のとおり、被告製品の一部について、輸入・販売していない。

ア イ号製品

a) Nanyaブランド ダイナミック・ランダム・アクセス・メモリ

「128Mb DDR SDRAM」のうち、NT5DS16M8AT、NT5DS8M16FS及びNT5DS4M32EGは輸入・販売しているが、その余は輸入・販売していない。

「256Mb DDR SDRAM」のうち、NT5DS32M8AT、NT5DS32M8AW、NT5DS64M4BT、NT5DS32M8BT、NT5DS16M16BT、NT5DS32M8BF、NT5DS16M16BF、NT5DS32M8CT、NT5DS16M16CT、NT5DS32M8CS、NT5DS16M16CS、NT5DS32M8BS、NT5DS16M16BS、NT5DS16M16CG及びNT5DS16M16BGは輸入・販売しているが、その余は輸入・販売していない。

「512Mb DDR SDRAM」のうち、NT5DS32M16BT、NT5DS64M8BF、NT5DS64M8BG、NT5DS32M16BG、NT5DS64M8BS、NT5DS32M16BS、NT5DS64M8AF及びNT5DS32M16AFは輸入・販売しているが、その余は輸入・販売していない。

「256Mb DDR2 SDRAM」については、輸入・販売していない。

「512Mb DDR2 SDRAM」のうち、NT5TU64M8AB、NT5TU128M4AE、NT5TU64M8AE、NT5TU32M16AG、NT5TU64M8BE及びNT5TU32M16BGは

輸入・販売しているが、その余は輸入・販売していない。

「1Gb DDR2 SDRAM」のうち、NT5TU128M8BJ
及びNT5TU64M16BMは輸入・販売しているが、その余は輸入・
販売していない。

「2Gb DDR2 SDRAM」、及び、「512Mb DDR3 SD
RAM」については、いずれも輸入・販売していない。

b) Elixirブランド ダイナミック・ランダム・アクセス・メモリ
Elixirブランド ダイナミック・ランダム・アクセス・メモリにつ
いては、いずれも輸入・販売していない。

c) Super Elixirブランド ダイナミック・ランダム・アクセ
ス・メモリ

Super Elixirブランド ダイナミック・ランダム・アクセ
ス・メモリについては、いずれも輸入・販売していない。

イ 口号製品

a) Nanyaブランド

「DDR UDIMM」のうち、NT256D64S88C0G, NT
256D64S88C0GY, NT512D64S8HC0G, NT51
2D64S8HC0GY, NT1GD64S8HB0GY, NT512D
64S88B0GY及びNT256D64SH4B0GYを含む口号製品
は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR SODIMM」を含む口号製品は、いずれも輸入・販売して
いる。

「DDR RDIMM」を含む口号製品は、いずれも輸入・販売してい
ない。

「DDR2 UDIMM」のうち、NT512T64U88A0BY,
NT1GT64U8HA0BY, NT256T64UH4A0F, NT5

1 2 T 6 4 U 8 8 A 0 F , N T 5 1 2 T 7 2 U 8 9 A 0 F , N T 2 5 6 T 6 4 U H 4 A 0 F Y , N T 2 5 6 T 6 4 U H 4 A 1 F Y , N T 5 1 2 T 6 4 U 8 8 A 1 B Y , N T 1 G T 6 4 U 8 H A 1 B Y , N T 1 G T 6 4 U 8 H B 0 B Y , N T 5 1 2 T 6 4 U 8 8 B 0 B Y 及び N T 2 5 6 T 6 4 U H 4 B 0 F Y を含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR2 SODIMM」のうち、NT1GT64U8HA0BN, NT256T64UH4A0FN, NT512T64UH8A0FN, NT512T64UH8A1FN, NT1GT64U8HB0BN, NT256T64UH4A1FN, NT256T64UH4B0FN 及び NT512T64UH8B0FN を含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR2 RDIMM」のうち、NT1GT72U4PA0BV を含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR2 FB DIMM」については、NT512T72U89A5BD を含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR3 UDIMM」を含む口号製品は、輸入・販売していない。

b) Elixir ブランド

「DDR SDRAM SO DIMM」のうち、M2S51264DSH8B1G, M2S51264DSH8A0F 及び M2N51264DSH8B1G を含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR SDRAM Unbuffered DIMM」のうち、M2U25664DS88B3G, M2U25664DS88B3F, M2

U 2 5 6 6 4 D S H 8 B 3 G , M 2 U 2 5 6 6 4 D S 8 8 C 1 G , M 2 U
2 5 6 6 4 D S 8 8 C 3 G , M 2 U 2 5 6 6 4 D S 8 8 B 5 G , M 2 U 2
5 6 6 4 D S H 4 B 1 G , M 2 Y 2 5 6 6 4 D S H 4 B 1 G , M 2 Y 2 5
6 6 4 D S 8 8 C 3 G , M 2 Y 2 5 6 6 4 D S 8 8 B 1 G , M 2 U 5 1 2
6 4 D S 8 H B 3 G , M 2 U 5 1 2 6 4 D S 8 8 A 0 F , M 2 U 5 1 2 6
4 D S 8 H C 1 G , M 2 U 5 1 2 6 4 D S 8 H C 3 G , M 2 U 5 1 2 6 4
D S 8 8 A 1 F , M 2 U 5 1 2 6 4 D S 8 H A 0 G , M 2 U 5 1 2 6 4 D
S 8 8 B 1 G , M 2 Y 5 1 2 6 4 D S 8 8 B 1 G , M 2 Y 5 1 2 6 4 D S
8 H C 3 G , M 2 U 1 G 6 4 D S 8 H A 1 F , M 2 U 1 G 6 4 D S 8 H A
0 F , M 2 U 1 G 6 4 D S 8 H B 1 G , M 2 U 1 G 6 4 D S 8 H C 1 G ,
M 2 Y 1 G 6 4 D S 8 H B 1 G 及び M 2 Y 1 G 6 4 D S 8 H C 1 G を含む
口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売し
ていない。

「DDR2 SDRAM SO DIMM」のうち、M2N25664
TUH4B0F、M2N51264TUH8A2F及びM2N1G64T
U8HA2Bを含む口号製品は輸入・販売しているが、その余を含む口号
製品は輸入・販売していない。

「DDR2 SDRAM Unbuffered DIMM」のうち、
M2U25664TUH4A0F、M2U51264TU88A0F、M
2U1G64TU8HA0F、M2U1G64TU8HA0B、M2U1
G64TU8HA2B、M2U1G64TU8HA2F、M2U5126
4TU88A0B、M2U51264TU88A2B、M2U51264
TU88A2F、M2Y51264TU88B0B、M2Y51264T
U88A0B、M2Y51264TU88A2B、M2Y1G64TU8
HA2B及びM2Y1G64TU8HB0Bを含む口号製品は輸入・販売
しているが、その余を含む口号製品は輸入・販売していない。

「DDR2 SDRAM FB DIMM」のうち、M2D51272TU89A8B及びM2D1G72TU8PA6Bを含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

c) Super Elixirブランド

「DDR SDRAM SO DIMM」のうち、M1S25664D SH8C1Gを含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR SDRAM Unbuffered DIMM」のうち、M1U25664DS88B3G、M1U25664DS88C3G、M1U51264DS8HC1G、M1U51264DS8HC3G、M1U51264DS8HB3G及びM1Y51264DS88B1Gを含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR2 SDRAM SO DIMM」のうち、M1S51264TUH8A0F及びM1N51264TUH8A2Fを含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

「DDR2 SDRAM Unbuffered DIMM」のうち、M1U25664TUH4A0F、M1U51264TU88A0F及びM1Y1G64TU8HA0Bを含む口号製品は輸入・販売しているが、その余を含む口号製品は輸入・販売していない。

(2) また、被告が輸入・販売していた被告製品のうちの以下のものは、既にナンヤにおいて製造を終了している。

ア イ号製品

Nanyaブランド ダイナミック・ランダム・アクセス・メモリ

「128Mb DDR SDRAM」のうち、NT5DS16M8AT及びNT5SV8M16DS

「256Mb DDR SDRAM」のうち、NT5DS32M8AT、
NT5DS32M8AW、NT5DS64M4BT、NT5DS32M8
BT、NT5DS16M16BT、NT5DS32M8BF、NT5DS
16M16BF、NT5DS32M8BS、NT5DS16M16BS及
びNT5DS16M16BG

「512Mb DDR SDRAM」のうち、NT5DS64M8AF
及びNT5DS32M16AF

イ 口号製品

a) Nanyaブランド

「DDR UDIMM」のうち、NT256D64S88C0G及びN
T512D64S8HC0G

「DDR SODIMM」のうち、NT256D64SH8C0GM、
NT512D64SH8B0GM、NT1GD64S8HB0FM、NT
1GD64S8HB0FN、NT256D64S88AMGM及びNT5
12D64S8HAKWM

「DDR2 UDIMM」のうちNT256T64UH4A0F、NT
512T64U88A0F及びNT512T72U89A0F

b) Elixirブランド

「DDR SDRAM SO DIMM」のうち、M2S51264D
SH8B1G及びM2S51264DSH8A0F

「DDR SDRAM Unbuffered DIMM」のうち、M
2U25664DS88B3G、M2U25664DS88B3F、M2
U25664DSH8B3G、M2U25664DS88C1G、M2U
25664DS88C3G、M2U25664DS88B5G、M2U2
5664DSH4B1G、M2U51264DS8HB3G、M2U51
264DS88A0F、M2U51264DS8HC1G、M2U512

64DS8HC3G, M2U51264DS88A1F, M2U51264DS8HA0G, M2U51264DS88B1G, M2U1G64DS8HA1F, M2U1G64DS8HA0F, M2U1G64DS8HB1G及びM2U1G64DS8HC1G

「DDR2 SDRAM Unbuffered DIMM」のうち, M2U25664TUH4A0F, M2U51264TU88A0F, M2U1G64TU8HA0F, M2U1G64TU8HA0B, M2U1G64TU8HA2B, M2U1G64TU8HA2F, M2U51264TU88A0B, M2U51264TU88A2B及びM2U51264TU88A2F

c) Super Elixirブランド

「DDR SDRAM SO DIMM」のうち, M1S25664DSH8C1G

「DDR SDRAM Unbuffered DIMM」のうち, M1U25664DS88B3G, M1U25664DS88C3G, M1U51264DS8HC1G, M1U51264DS8HC3G, M1U51264DS8HB3G及びM1Y51264DS88B1G

「DDR2 SDRAM SO DIMM」のうち, M1S51264TUH8A0F及びM1N51264TUH8A2F

「DDR2 SDRAM Unbuffered DIMM」のうち, M1U25664TUH4A0F, M1U51264TU88A0F及びM1Y1G64TU8HA0B

- (3) したがって, 上記の被告が輸入・販売していない被告製品については, その差止め等が認められるべきではなく, また, 被告が輸入・販売していたが既にナンヤにおいて製造を終了したものについては, その差止めの利益がなく, やはり差止め等が認められるべきでない。

(4) なお，原告は，D R A Mの製造はしておらず，他社から購入したD R A Mをモジュールに登載して販売しているにすぎないもので，また，原告が販売しているというモジュールは，他社の販売する同等のモジュールに比して著しく高値であって実際に購入者がいるとは考えにくく，被告のモジュール販売によっても原告の損害はない。したがって，仮に，差止め等が認められる場合でも，仮執行の必要はない。

4 争点4（損害の発生及びその額）について

〔原告の主張〕

(1) 被告が，平成15年（2003年）1月1日から平成18年（2005年）12月31日までの間において，ナンヤから輸入販売した被告製品の売上高は，親会社のナンヤの発表するアニュアルレポート等に基づいて計算すると，以下の計算式のとおり算出される。

（被告製品の売上高）

=（営業収益（台湾ドル））×（被告製品の占有率）÷（円換算値）

（2003年度分ないし2005年度分）

+（2006年度被告売上高（円））×（被告製品の占有率）

（2006年度分）

= 11億2106万4000 × 0.9994 ÷ 0.3182（2003年度分（甲11））

+ 18億3094万9000 × 0.98 ÷ 0.3099（2004年度分（甲12））

+ 15億8345万3000 × 0.9986 ÷ 0.2934（2005年度分（甲13））

+ 120億 × 0.98（2006年度分（甲14））

= 35億2102万8791円 + 57億9002万9106円 + 53億8935万2985円

+ 117億6000万円

= 264億6041万882円

なお，2003年度ないし2005年度については，被告の営業収益（Operating Profit）（台湾ドル建て）を，当該年度の相場に基づき円換算した上，

各年度の総売上高に占める被告製品の売上高の占有率を乗じて算出した。2006年度の被告製品売上高は、同年度の被告売上高に、被告製品の売上高の割合を乗じたものを合計して算出した。総売上高に占める被告製品の割合については、被告が被告製品の独占的販売代理店であることから、親会社のナンヤの総売上高におけるメモリ製品の売上の占有率を用いて計算した。また、2006年度については、2003年度ないし2005年度の売上の割合の最低値である98パーセントを用いた。

- (2) 本件特許発明は、DDR SDRAMの動作の高速化・実用化にかかわる重要な発明であること、「電子・通信用部品」にかかる実施料率の平均値等（甲18）にかんがみれば、本件特許発明の実施料率は、5パーセントを下らない。

したがって、原告は、平成15年1月1日から平成18年12月31日までの間の被告の本件特許権侵害行為により、少なくとも、2003年度ないし2006年度の被告製品の売上高264億6041万882円に相当な実施料率5パーセントを乗じた13億2302万544円の損害を受けた（特許法102条3項）。

よって、原告は、被告に対し、上記損害額の一部である金1億円の賠償を求める。

〔被告の主張〕

- (1) 被告は、争点3に関する被告の主張で述べたとおり、被告製品の一部を輸入・販売していない。

（省略）

- (2) 本件特許発明は、DDR SDRAMにおいて重要な特許とは考え難い。また、本件特許発明の属する半導体の分野においては、無数の特許が存在しており、数万件の特許を包括的に実施許諾することが多い上、複数の企業から実施許諾を受けざるを得ないことが多く、包括的な実施許諾であっても実施料率が1%を超えることなどないということは業界の常識であること、近

時の米国連邦取引委員会（F T C）のランバス社に対する命令における，D R S D R A Mに関する技術の最大実施料率等にかんがみれば，本件における妥当な実施料率は，0 . 1 2 5 %を超えることはない。

第 4 争点に対する判断

1 争点 1（イ号製品は，本件特許発明の技術的範囲に属するか（イ号製品は，本件特許発明の各構成要件を充足するか。））について

(1) 構成要件 A，C 及び F における「アドレス信号」について

本件特許発明の構成要件 A，C 及び F における「アドレス信号」について，列アドレス信号と行アドレス信号とを組み合わせた字義どおりの意味のものであるか，「列アドレス信号」であるかについて争いがあるので，本件特許明細書の発明の詳細な説明を参酌して，これを判断する。

ア 「アドレス信号」は通常「行アドレス信号と列アドレス信号」を指すものと解されること，及び，メモリ装置においては，原則として，行と列にアドレスデータを分けて，第 1 のタイミングで行アドレス信号を入力し，次いで第 2 のタイミングで列アドレス信号を入力して，アドレスデータを時分割で同じアドレス端子から入力し，その後に対応するデータ信号を入力することは，いずれも技術常識である（弁論の全趣旨）。

イ しかし，本件特許発明においては，異なるタイミングで取り込んだアドレス及びデータを正確かつ高速に処理することを目的としており（【0 0 1 4】），この目的の下でデータとの高速かつ正確な処理のタイミングが問題となるアドレス信号とは，上記技術常識を背景とすれば，後から入力される列アドレス信号である（行アドレス信号は，列アドレス信号以前に既に入力されているから行アドレス信号とデータ処理とのタイミングが問題になることはない。）。

ウ 現に，本件特許明細書においては，本件特許発明の実施例に当たる第 2 実施例の説明において，「アドレス信号」との用語を「列アドレス信号」

を意味する用語として使用していること、並びに、第1実施例の説明、第3実施例の説明及び従来技術の説明においても、「アドレス信号」との用語を「列アドレス信号」を意味する用語として使用していることは、次に述べるとおりである。本件特許明細書の発明の詳細な説明においては、「アドレス信号」を「列アドレス信号」と明確に定義する記載はないものの、「アドレス信号」をいずれも「列アドレス信号」の意味に使用しているものと解すべきである（本件特許明細書においては、次に述べるとおり、多数箇所において「アドレス信号」との用語を使用しており、特定の記載のみを取り上げれば、その中には、「アドレス信号」が、列アドレス信号と行アドレス信号とを組み合わせたものを意味するのか、列アドレス信号を意味するのか判然としない箇所もあるものの、明細書中の同一の用語は同じ意味で使用されるべきであること、並びに、第1実施例、第2実施例、第3実施例及び従来技術それぞれにおける本件特許明細書の記載全体をみると、「アドレス信号」を列アドレス信号の意味で使用していることが明らかである。）。

a) 第1の実施例に関する記載について

第1の実施例に関する発明の詳細な説明においては、「アドレス信号」との用語は、まず、【0029】、【0032】、【0043】、【0044】、【0045】、【0048】において記載されている。このうち、【0045】においては、「アドレス信号はアドレスバッファ28からプリデコーダ34及び35に送られる。・・・プリデコーダ34、35はプリデコード動作を行ない、その結果のデコードされたアドレス信号がコラムデコーダ40及び41に供給される。コラムデコーダ40及び41は、プリデコード結果を更にデコードして、データ書き込みアドレスをデコード指定する。」と記載されており、第1実施例における「アドレス信号」との用語が列（コラム）アドレス信号を意味するものとして記載さ

れていることは、この記載から明らかである。また、実施例1の図1もコラムデコーダ40、41のみを記載しており、当然存在すべきロウデコーダの記載を省略していることも、本件特許明細書における「アドレス信号」との用語が列(コラム)アドレス信号を念頭に置いていることと符合する。第1実施例のその余の記載も、例えば【0032】には「ラッチ27、27からアドレスがアドレスバッファ28に出力されるタイミングはデータストロブ信号に同期している。・・・従って内部回路(=アドレスバッファ28・・・コラムデコーダ40、41等の回路)は、データストロブ信号に同期して動作することによって、アドレス信号と対応するデータ信号とを正確かつ高速に処理することができる。」と記載されており、この記載からも、「アドレス信号」が列アドレス信号を意味するものであることが明らかである。また、例えば、「コラムアドレスは、コラムデコーダ34及び35からコラムデコーダ40及び41に送られデコードされる。」(【0038】、図1)と記載され、一方で、同所(【0038】)には「アクセスランジスタを選択するためにロー方向に複数配列された複数のワード線」の記載はあるものの、ロー方向(行方向)の複数のワード線を選択すべき行アドレスに関する記載はないことから、「アドレス信号」との用語が列アドレス信号を意味するものと解される。

さらに、第1実施例における【0050】、【0056】ないし【0060】における「アドレス信号」との用語も、第1実施例のアドレス信号のラッチ入力/出力タイミングに関わる各要素の構成の説明におけるものであり、前述のように、これのアドレス信号はコラムデコーダに供給されることを前提とするものであるから、これらのアドレス信号は列アドレス信号を指すものと解すべきである。

b) 第2の実施例に関する記載について

本件特許発明に対応する第2の実施例を示す、本件特許明細書の図10においても、アドレス信号は、アドレスバッファからアドレスラッチ等を介して、コラムデコーダ40及び41に送られるものとされており、また、第1の実施例と第2の実施例の違いは、アドレスとデータのタイミングの合わせ方にあること（本件特許明細書【0069】）、及び、本件特許明細書の次の各記載からすれば、第2の実施例においても第1の実施例と同様、「アドレス信号」とは、列（コラム）アドレス信号のことであり、これがコラムデコーダ40及び41に送られ、デコードされるものと解される。

「アドレス信号」との用語は、第2の実施例に関する発明の詳細な説明の【0069】、【0070】、【0081】、【0100】及び【0102】において記載されており、このうち【0070】においては、「アドレスバッファ13に供給されたアドレス信号A d dは、クロック信号C L Kの立ち上がりエッジでアドレスラッチ61にラッチされる。その後シフトレジスタ62によって、1.5サイクルだけアドレス信号A d dを遅らせて、アドレス信号A d d入力から1.5サイクル後に、ラッチしたアドレスをアドレスバッファ28に供給する。最短t D S Sから最長t D S Sの間どのタイミングでデータストロブ信号D Sが与えられる場合であっても、アドレスは1.5サイクル遅らされる。従って、データ書き込み動作は常に、コマンド入力のタイミング（アドレス入力のタイミング）から、1.5サイクル後に開始される。」と記載されている。前記技術常識によれば、メモリ装置においては、行と列にアドレスデータを分けて、第1のタイミングで行アドレス信号を入力し、次いで第2のタイミングで列アドレス信号を入力して、アドレスデータを時分割で同じアドレス端子から入力するものであるから、上記の「シフトレジスタ62によって、1.5サイクルだけアドレス信号A d dを遅ら

せて、アドレス信号A d d入力から1.5サイクル後に、ラッチしたアドレスをアドレスバッファ28に供給する。・・・従って、データ書き込み動作は常に、コマンド入力のタイミング（アドレス入力のタイミング）から、1.5サイクル後に開始される。」との記載における1.5サイクル遅らされる「アドレス信号」とは、コマンド入力のタイミングで行アドレス信号と列アドレス信号の双方がそろっていなくてはならないこと、及び、データ書き込み時にデータとのタイミングを合わせるにはデータ入力時点に近接した後の信号を遅らせるのが合理的であることからすれば、前に入力される「行アドレス信号」ではなく、後から入力される「列アドレス信号」を意味することは明らかである。

また、本件特許明細書には、「リード時にはライトイネーブル信号w r t zがLOWとなり、アドレスラッチ61に取込まれたアドレスは、トランスファーゲート345を通過して、シフトレジスタ62においてアドレス信号を遅延させることなく、アドレスバッファ28に供給する。そしてリードコマンドから最短時間で、出力を得ることが出来る。尚、この時、c l k 3 x及びc l k 3 z信号はすべてLOWレベルであるので、アドレス信号はシフトレジスタ62を通過しない。」(【0102】)と記載されており、図10及び図19によれば、第2の実施例においては、リード時のアドレス信号についても、シフトレジスタ62を通過せずアドレスバッファ28に供給された後にコラムデコーダ40, 41に入力されることからすれば、本件特許明細書における上記「アドレス」あるいは「アドレス信号」との記載は、列アドレス信号であると解すべきである。

c) 第3の実施例に関する記載について

本件特許明細書には、第3の実施例について、「但し、図10の例ではシフトレジスタ62は、アドレス信号を1.5クロック周期分遅延さ

せているが、第3の実施例では1クロック周期分シフトさせればよい。」
（【0108】）と記載されており、「図10の例」は第2実施例である
から、第3の実施例においても、アドレス信号を列アドレス信号という
意味で使用していると解すべきである。

d) 従来の技術に関する記載について

本件特許明細書には、【従来の技術】として、「半導体記憶装置・
・として・・・クロック信号に同期してアドレス信号を取り込み、クロ
ック信号とは別のデータストロープ信号に同期してデータ入出力を行う
ものがある。図24・・・」（【0002】）との記載があるが、この「ア
ドレス信号」とは、【0002】ないし【0006】欄の従来技術とし
てのDDR方式によるデータ取り込みを説明する文脈において用いられ
ており、書き込みコマンドと同時に入力されるから（【0004】）、書
き込みコマンドと同時に入力されるのは列アドレス信号であるとの当業
者の技術常識からすれば、これは列アドレス信号を意味するものである。

エ 以上によれば、本件特許明細書においては、「アドレス信号」との用語
を一貫して「列アドレス信号」の意味で使用しており、行アドレス信号に
ついては本件特許発明の目的とは直接関係がないものとしてその記載が省
略されていることは当業者には明らかであり、また、本件特許発明の目的、
構成からみても、本件特許明細書の「アドレス信号」を「列アドレス信号」
の意味で解釈しなければ、その意味内容を理解することができないもので
あるから、本件特許発明の構成要件A、C及びFにおける「アドレス信号」
は、「列アドレス信号」を意味するものと解すべきである。

(2) 構成要件Aについて

ア イ号製品における「クロック信号CLK」（別紙1のイ号製品説明書1の第
3の3.1）は構成要件Aの「クロック信号」に、「列アドレス信号」（3.
1）は構成要件Aの「アドレス信号」に、「アドレス入力部51」及び「アド

レス出力部 5 6」を含む「アドレス信号処理回路部 5」(2 . 1) は構成要件 A の「アドレス入力回路」に、それぞれ該当する。そして、イ号製品の「アドレス信号処理回路部 5」内の「アドレス入力部 5 1」は、「クロック信号 C L K に応答して」「列アドレス信号」を取り込み (3 . 1) , 「アドレス信号処理回路部 5」内の「アドレス出力部 5 6」は、「クロック信号 C L K の立ち上がり (又は立ち下がり) に応答して」「列アドレス信号」を出力する (3 . 7) 。

したがって、イ号製品は、構成要件 A を充足する。

イ 被告がイ号製品は構成要件 A を充足しないとする理由は、イ号製品の「アドレス信号処理回路部」はクロック信号を元とするが別の信号である信号 1 ないし 4 に基づいて動作するものであり、クロック信号に応答していない、アドレス入力回路から出力されるのは「列アドレス信号」と「行アドレス信号」であって、アドレス信号 A ではないという 2 点にある。

a) しかし、本件特許発明においては、「クロック信号に応答してアドレス信号を取り込み」とか「クロック信号に応答してアドレス信号を出力し」としか記載されておらず、これを「クロック信号そのものに応答して」とか、「クロック信号そのもののタイミングで」などと限定して記載しておらず、また、本件特許明細書上、そのように限定して解すべき理由も何ら見当たらない。むしろ、本件特許発明に対応する実施例 2 に関する本件特許明細書の記載をみると、内部クロック信号 i C L K は、インバータ 3 0 3 ないし 3 0 5 と複数の容量 C からなる遅延素子列で遅延され、N A N D 回路 3 0 1 及びインバータ 3 0 6 は、内部クロック信号 i C L K と遅延された反転内部クロック信号との A N D を取ることで、内部クロック信号 i C L K の立ち上がりエッジで H I G H になるパルス信号としてタイミング信号 c l k 3 z を生成し、また、インバータ 3 0 7 に入力された内部クロック信号 i C L K は、インバータ 3 0 8 ないし 3 1 0 と複数の容量 C からなる遅延素子列で遅延され、N A N D 回

路302及びインバータ311は、反転された内部クロック信号iCLKと遅延された内部クロック信号iCLKとのANDを取ることで、内部クロック信号iCLKの立ち下がりエッジでHIGHになるパルス信号としてタイミング信号clk3xを生成し、そして、上記タイミング信号clk3z及びclk3xは、シフトレジスタ62へ供給され、クロック信号CLKの立ち下がりエッジに対応して、タイミング信号clk3xがHIGHになることによってインバータ326及び327からなるラッチにアドレス信号が格納され、次のクロック信号CLKの立ち上がりエッジに対応して、インバータ329及び330からなるラッチにアドレス信号を格納し、さらに次のクロック信号CLKの立ち下がりエッジに対応して、ラッチに格納されたアドレスデータがアドレスバッファ28に供給される(本件特許明細書【0096】ないし【0100】、図18、図19)。以上からすれば、本件特許発明においても、クロック信号を元にパルスを選択し、各部動作の時間差を考慮した遅延したパルスによりタイミングを制御することとされ、そのように選択されたパルス信号がシフトレジスタに供給され、アドレス信号の取り込み及び出力を制御することが予定されているものと解される。

そうすると、構成要件Aにいう「クロック信号に応答して」とは、「クロック信号を元にした信号に応答」してアドレス信号を取り込み、又は出力する場合をも含むものと解するのが相当である。

したがって、イ号製品においても、クロック信号を元に作成した信号1ないし4により、アドレス信号の入出力のタイミングを制御しているのであるから、「クロック信号に応答して」いるといえる。

- b) 構成要件Aにいう「アドレス信号」については、「列アドレス信号」と解すべきことは前記説示のとおりである。そして、イ号製品においては、クロック信号に応答して、第2のタイミングで列アドレス信号が取

り込まれること(3.1),及び,クロック信号に応答して列アドレス信号がアドレス・デコーダ71に出力されること(3.7)は,別紙1のイ号製品説明書1のとおりであり,イ号製品が構成要件Aを充足していることは明らかである。被告の上記主張は理由がない。

(3) 構成要件Bについて

ア イ号製品の「データストロープ信号DQS」(3.5)は構成要件Bにおける「ストロープ信号」に,「データ信号DQ」(3.5)は構成要件Bにおける「データ信号」に,「クロック信号CLK」(3.7)は構成要件Bにおける「クロック信号」に,「データ入力部61」及び「データ出力部62」からなる「データ信号処理回路部6」(2.2)は構成要件Bにおける「データ入力回路」にそれぞれ該当し,「データ信号処理回路部6」内の「データ入力部61」は「データストロープ信号DQSの立ち上がり及び立ち下がり」に「データ信号DQ」を取り込み(3.5),「データ信号処理回路部6」内の「データ出力部62」は,「クロック信号CLKの立ち上がり(又は立ち下がり)」に「データ信号DQ」を出力する(3.7)。

したがって,イ号製品は構成要件Bを充足する。

イ 被告がイ号製品は構成要件Bを充足しないとする理由は,「データ信号処理回路部」は,クロック信号を元とするが別の信号である信号3に基づいて動作するものであるという点にある。

しかし,本件特許発明に対応する実施例2に関する本件特許明細書の記載をみると,ラッチ出力クロック生成器59において,内部クロック信号ICLKは,インバータ256ないし259と容量C1及びC2からなる遅延素子列で遅延され,NAND回路251及びインバータ260は,反転された内部クロック信号ICLKと遅延された内部クロック信号ICLKとのANDを取ることで,内部クロック信号ICLKの立ち下がりエッジでHIGHになるパルス信号を生成し,このパルス信号は,分周クロッ

ク信号 c 1 k 2 z が H I G H の時に，N A N D 回路 2 5 3 及び 2 5 5 を介して，ラッチ出力クロック c 1 k 1 z とし て 出力 され ，また ，分周クロック信号 c 1 k 2 z が L O W の時に ，N A N D 回路 2 5 2 及び 2 5 4 を介して ，ラッチ出力クロック c 1 k 1 x とし て 出力 されるが ，この例では ，分周クロック信号 c 1 k 2 z は ，まず H i g h レベルになった後 L o w レベルに変化するので ，ラッチ出力クロック生成器は ，まず ，c 1 k 1 z を出力し ，次いで c 1 k 1 x を出力するから ，まずシフトレジスタ 5 2 ，データラッチ 5 3 が書き込みデータ D 0 ，D 1 をパラレルに出力し ，次いで ，シフトレジスタ 5 5 ，データラッチ 5 6 が次の書き込みデータ D 2 ，D 3 をパラレルに出力するものとなっている（本件特許明細書【0089】ないし【0091】，図15）。このような本件特許明細書の記載にかんがみれば ，構成要件 B にいう「クロック信号に応答して」も ，構成要件 A にいう「クロック信号に応答して」と同様に ，クロック信号を元にした信号に「応答」する場合をも含むと解すべきである。

したがって ，イ号製品においても ，クロック信号を元に作成した信号 3 により動作している以上 ，「クロック信号に「応答して」いるものといえ ，被告の上記主張は理由がない。

(4) 構成要件 C について

ア イ号製品の「メモリセル 7 4」(2.3)は構成要件 C における「メモリセル」に ，イ号製品の「アドレス・デコーダ 7 1 ，ロウアドレス・デコーダ 7 0 0 ，データライン・ドライバ 7 2 ，メモリセル・アレイ 7 3」からなる「メモリ・コア部 7」(2.3)は構成要件 C における「内部回路」に ，イ号製品のアドレス出力部 5 6 からアドレス・デコーダ 7 1 へ出力される「列アドレス信号」(3.7)は構成要件 C における「アドレス信号」に ，それぞれ該当し ，イ号製品は ，「アドレス・デコーダ 7 1 がデコードした列アドレス信号が指定するメモリセル・アレイ 7 3 中のメモリセル 7 4 に ，データライ

ン・ドライバ72が出力するデータ信号DQが書き込まれる」(3.8)ものであるから、構成要件Cを充足する。なお、メモリアドレスの指定には、行アドレス信号も必要であることは自明であり、構成要件Cにいう「アドレス信号で」「メモリセル」を指定するということは、行アドレス信号による指定を当然にその前提としており、これに列アドレス信号が加わることにより、メモリセルが指定されることになる。

イ 被告がイ号製品は構成要件Cを充足しないとする理由は、イ号製品におけるアドレス入力回路から出力されたアドレス信号は、列アドレス信号及び行アドレス信号であり、アドレス信号ではないという点にある。

しかし、構成要件Cにいう「アドレス信号」が、列アドレス信号であることは、前記説示のとおりであるから、被告の上記主張は理由がない。

(5) 構成要件Dについて

ア イ号製品の「第1D型フリップフロップ52」及び「第2D型フリップフロップ53」(2.1)は構成要件Dにおける「シフトレジスタ」に、「クロック信号CLK」(3.2)は構成要件Dにおける「クロック信号」に、それぞれ該当し、「第1D型フリップフロップ52」は、「列アドレス信号」を「クロック信号CLKの立ち上がりに応答して」取り込み(3.2)、「第1D型フリップフロップ52」に取り込まれた「列アドレス信号」は、クロック信号CLKの立ち上がりに応答して、「第2D型フリップフロップ53」に取り込まれる(3.3)。

このように、イ号製品の「第1D型フリップフロップ」及び「第2D型フリップフロップ」は、「クロック信号CLK」に応答してシフト動作する「シフトレジスタ」である。

したがって、イ号製品は構成要件Dを充足する。

イ 被告がイ号製品は構成要件Dを充足しないとする理由は、第1及び第2D型フリップフロップは、クロック信号を元とするが別の信号である信号

4に基づいて動作するものであるという点にある。

しかし、構成要件Dにいう「クロック信号に応答して」とは、「クロック信号を元にした信号に「応答」する場合をも含むと解すべきことは、構成要件Aについて述べたところと同様である。

したがって、イ号製品においても、クロック信号を元に作成した信号4によりシフト動作している以上、「クロック信号に「応答して」いるものといえ、被告の上記主張は理由がない。

(6) 構成要件Eについて

ア イ号製品の「配線54」(2.1)は構成要件Eにおける「バイパス回路」に該当し、「第1D型フリップフロップ52及び第2D型フリップフロップ53」からなるシフトレジスタと「配線54」は並列に設けられている(2.1)。

イ 被告がイ号製品は構成要件Eを充足しないとする理由は、イ号製品の「配線54」は、導線のみで構成されているからバイパス「回路」には該当しないという点にある。

しかし、「回路」とは、通常、それを通して電流が流れることができる器具又は導電体の配列をいうから(甲8)、被告のいうように信号処理機能を持つものに限定されるものではなく、単なる1本の配線であっても「回路」に該当し得るものと解される。

また、本件特許発明に即してみても、構成要件Eにいう「バイパス回路」は、シフトレジスタと並列に設けられ、データ読み出しモードにおいてアドレス信号が通過するものである(構成要件E及びF参照)。本件特許明細書の実施例2に関する図及び記載においても、シフトレジスタ62と並列してトランスファーゲート345が設けられ、「リード時には、・・・アドレスは、トランスファーゲート345を通過して、シフトレジスタ62においてアドレス信号を遅延させることなく、アドレスバッファ28に供

給する。・・・この時・・・アドレス信号はシフトレジスタ62を通過しない。」(【0102】、図19)と記載されていることからすれば、構成要件Eにいうバイパス回路は、シフトレジスタと並列して設けられ、リード時(すなわちデータ読み込み時)に、時間的な遅延を生じることなく、アドレス信号を伝達する機能を果たすものと解され、この機能は単なる1本の配線であっても果たすことができるものである。したがって、単なる1本の配線であっても、シフトレジスタと並列して設けられ、上記のような機能を果たすものであれば、構成要件Eにいう「バイパス回路」に該当するものと解される。

そうすると、イ号製品における「配線54」は、本件特許発明の構成要件にいうシフトレジスタに該当する第1及び第2D型フリップフロップと並列して設けられ(別紙1のイ号製品説明書1添付第1図参照)、データの読み出し動作時に、アドレス信号が通過するところであるから(別紙1のイ号製品説明書1の第3の4.2参照)、構成要件Eにいう「バイパス回路」に該当する。

ウ よって、イ号製品は、構成要件Eを充足する。

(7) 構成要件Fについて

ア イ号製品の「データの読み出し動作時」(4.2)は構成要件Fにおける「データ読出しモード」に該当し、「データの読み出し動作時」には、「スイッチ回路55により配線54を通過する信号が選択されるため」、「アドレス入力部51が取り込んだ列アドレス信号は、配線54を介しアドレス出力部56に出力される」(4.2)。そして、「配線54」がバイパス回路に該当することは、構成要件Eについて述べたとおりである。

イ 被告がイ号製品は構成要件Fを充足しないとする理由は、本件特許発明では、「シフトレジスタと並列にバイパス回路」(構成要件E)があり、データ読み出し時にアドレス信号はバイパス回路のみを通過することとな

っているのに対し，イ号製品においては，アドレス信号は，データ読み出し時に，バイパス及びシフトレジスタ52・53をも通過する構成となっている，イ号製品において配線54を通過するのは，列アドレス信号であり，アドレス信号Aではないという2点にある。

a) しかし，イ号製品において，データ読み出し時に，シフトレジスタ52，53を通過したアドレス信号は，スイッチ回路55で選択されず，そこで止まってしまう一方で，配線54を通過したアドレス信号がスイッチ回路55で選択され，時間的な遅延を生じることなく，コラムアドレス出力部を介してメモリ・コア部へ伝達されるから，配線54は，迂回路（バイパス）の機能を果たしているといえる。

そうすると，イ号製品においても，前記のとおり，データ読み出し時には，本件特許発明にいうバイパス回路に該当する「配線54」を通過した信号が選択され，それがアドレス出力部56に出力され，メモリセル部に転送される構成となっており（別紙1のイ号製品説明書1の第3の4．2ないし4．4参照），そのような構成によっても読み出し時の高速処理は実現され得るものである。

b) イ号製品において配線54を通過するのは，列アドレス信号であり，行アドレス信号を含めたアドレス信号はないものの，列アドレス信号が，本件特許発明の構成要件Fにいう「アドレス信号」に該当することは，前記説示のとおりである。

ウ したがって，イ号製品は，構成要件Fを充足する。

(8) 構成要件Gについて

イ号製品が半導体装置であり記憶回路であることは，前記第2の1(4)記載のとおりであるから，イ号製品は，構成要件Gをも充足する。

(9) 小 括

以上によれば，イ号製品は，構成要件AないしGを充足するものであり，

本件特許発明の技術的範囲に属するものである。

そして、口号製品は、前記第2の1(4)記載のとおり、イ号製品のいずれかをモジュールとして搭載したメモリ装置である。

したがって、被告製品を輸入・販売する行為は、本件特許権を侵害するものである。

2 争点2（本件特許は無効にされるべきものか。）について

(1) 進歩性（特許法29条2項）について

ア 乙4発明及び乙5発明に基づく主張について

a) 乙4発明と本件特許発明との一致点及び相違点

乙4発明は、高周波数のクロック入力に対応できる入力バッファ回路を提供することを目的とした、高速クロック信号に対応した入力バッファ回路、集積回路装置、半導体記憶装置、及び集積回路システムに関する発明であり、従来、メモリに対するデータの書き込みにおいては、コントローラからクロック信号をメモリに供給して、さらにそのクロック信号に同期させてアドレス信号をメモリに供給し、さらに、コントローラは、そのクロック信号に同期させて書き込みのためのデータ信号をメモリに供給するところ、一般にコントローラには数多くのメモリチップが接続されるため、クロック信号及びアドレス信号の供給にはバッファが介され、このバッファによる遅延のためにメモリが受け取るクロック信号と書き込みのためのデータ信号とが同期がとれなくなる可能性があることから、バッファによる遅延が問題とならない程度に低い周波数のクロック信号を用いていた（すなわち、バッファ遅延によって、使用可能なクロック信号の周波数が制限されていた。）のに対し、アドレス/コマンド信号ADD/CMDの入力に使用されるクロック信号（システムクロック信号SCLK）と、データ信号DATAの入出力専用に使われるクロック信号（エコークロック信号ECK）とを別々に供給し、

データ信号DATAとシステムクロック信号SCLKとの間で同期をとる必要をなくすことによって、上記バッファ遅延によるクロック周波数の問題を解決したものである（乙4の【発明の名称】、【0109】ないし【0114】）。

そして、その構成についてみると、乙4発明のアドレス/コマンド入力回路113においては、システムクロック信号SCLKに同期させて、アドレス/コマンド信号を受け取ることとされている（乙4【0111】）。データ信号の取り込みは、エコークロック信号ECKに同期して行われ、データ信号の出力は、システムクロック信号SCLKに同期したクロック5又は6によって行われているから（乙4【0133】ないし【0138】、図17）、メモリへの書き込み動作を行う以上、アドレス信号の出力もシステムクロック信号SCLKに同期していると解するのが自然である。そうすると、乙4発明は、クロック信号に同期してアドレス信号を取り込み、出力するアドレス入力回路を有するといえるから、乙4公報には構成要件Aが開示されているといえる。

また、乙4発明は、上記のようにエコークロック信号ECKに同期してデータ信号を取り込み、クロック信号に同期してアドレス信号を出力するものであるから、乙4公報には構成要件Bも開示されている。

さらに、乙4公報に明確な記載はないものの、乙4発明が書き込み動作を行うメモリであるから、当然に、アドレス入力回路からのアドレス信号で指定されたメモリセルに、データ入力回路からのデータ信号を書き込む内部回路を有していると考えられ、乙4公報には構成要件C及びGも開示されている。

したがって、乙4発明と本件特許発明との相違点は、構成要件D、E及びFである（以下「本件相違点」という。）。

b) 本件相違点についての容易想到性

乙5発明は、メモリアクセス方式に関する発明であり、従来、大規模集積化されたメモリ、特にダイナミックRAMにおいては、ピン数を減少させるため、外部より行アドレス選択信号(RAS)と列アドレス選択信号(CAS)の2本のタイミング信号を入力し、行選択デコード用アドレス信号をRASタイミングでラッチし、列選択用デコード用アドレス信号はCASタイミングでラッチをかけ、アレイセル上の任意の1ビットを読み出したり書き込んだりする、アドレス多重化技術が使われているところ、この種のRAMにおいては、高速クロックでCPUがメモリをアクセスする場合、例えば、 \overline{CAS} 信号が出てからある時間たってデータが実際にメモリから出力されるので、 \overline{CAS} ・ウェイトではCPUはデータを読むことができず、そのため、ウェイトサイクルを挿入して、1ウェイト以上、CPUはデータを待たなければならず、非常に効率が悪かったことから、コントロール側においてRAS信号をメモリリクエストとは無関係に予め送出しておき、書き込み時には \overline{CAS} 信号を遅延させてメモリへ送出し、読み出し時には遅延させることなくメモリ側へ出力させることとしてCPUのウェイトサイクルを取り除き、メモリの読み書き動作が高速にできるようにしたものである(乙5)。

このように、乙5発明における記憶回路は、メモリのアドレス信号やデータ信号の入力回路に関わるものではなく、アドレス信号を読み込む動作タイミングをデータ読み込み時と書き込み時とで切り替えるメモリの外部回路にすぎないから(乙5の3丁目下段、第1図(a))、そもそも、乙5発明は本件特許発明とは構成上異なる部分の発明に関するものであって、その構成を対比し、乙5発明が本件特許発明の構成要件を開示するものか否かを論じること自体が困難である。

また、乙5発明が本件特許発明の構成要件を開示するか否かはさて

おき，乙4発明と乙5発明を組み合わせたとしても，それによって得られる構成は，上記の乙5発明の内容にかんがみ，乙4発明においてコントロール側で \overline{CAS} 信号の送出タイミングを書き込みと読み出しで変更する構成にすぎないものと考えられる。このような構成からさらに本件特許発明の構成に至るためには，タイミングの制御をコントロール側ではなくメモリ内で行う構成に変更し，さらに， \overline{CAS} 信号の遅延を制御するのではなく，アドレス信号そのものの遅延を制御する構成に変更することが必要である。しかし，列アドレス信号の取り込みタイミングを示す \overline{CAS} 信号と，「アドレス入力回路」から出力される列アドレス信号のタイミングとは別であり，CPU内部での動作としてウェイトサイクルをなくすという乙5発明の課題と，アドレス信号とデータ信号のタイミングを調整するという本件特許発明の課題とは，別の課題であって，上記のような変更のいずれについても，乙4公報にも乙5公報にも記載も示唆もない。そうすると，乙4発明と乙5発明から本件特許発明の構成には容易に想到し得ないといわざるを得ない。

さらに，効果を比較してみると，本件特許発明では，異なるタイミングで取り込んだアドレス及びデータを正確かつ高速に処理する半導体装置を前提とし，列アドレス信号そのものの遅延を制御することで，リード動作時に最短時間で出力を得るという効果を生じるのに対し，乙5発明は，上記のとおり，列アドレス信号を取り込む \overline{CAS} 信号のタイミングを遅延の有無で変えるだけであって，アドレスを確定させておく期間（アドレス確定期間，乙5の第1図(b)のAD線上の斜線期間）内の遅延時間を短縮するという技術思想しかない。したがって，乙4発明及び乙5発明を組み合わせたとしても，その効果は，アドレス確定期間以下の遅延時間を短縮するものでしかなく，アドレス確定

期間と関係なく遅延時間を短縮できるという本件特許発明の効果と比肩し得るものではない。

- c) したがって、本件特許発明は、乙4発明及び乙5発明から容易に想到し得たものではなく、これらを根拠とした進歩性を欠如する旨の被告の主張は採用できない。

イ 乙4発明及び乙8発明に基づく主張について

- a) 本件相違点についての容易想到性

高速高機能論理LSIにおいては、同時書き込み読み出しが可能で、読み出しアドレスが与えられると、その周期内で対応するデータが読み出され、また、同時に同一の書き込みアドレスが与えられた場合は、書き込まれる前のデータが読み出され、その後で、新たなデータが書き込まれ、あたかもレジスタのように動作することが要求される。乙8発明は、従来の、マスタスレーブ型フリップフロップを用いた半導体記憶回路では、回路規模が大きくなるという問題があったことから、面積効率の高いメモリセル方式を用いることとし、また、メモリセルを用いた半導体記憶回路では、書き込み動作と読み出し動作をその順番で時分割していたことから、回路設計が複雑になり高速化が困難となるという問題があったため、高速同時書き込み読み出し動作が可能で、しかもその設計が容易なメモリセルを用いた半導体記憶回路を提供することを目的としたものである。乙8発明は、上記のように、同時書き込み読み出しが可能で書き込み（入力）アドレス信号と読み出しアドレス信号が別々に与えられることを前提としており、外部からの入力データ信号と書き込み（入力）アドレス信号を1周期遅延して出力し、読み出し信号については遅延させずに出力すること、及び、書き込み選択信号に従って書き込みデータ信号を書き込むと同時に、読み出し選択信号に従って、前記書き込みデータ信号を書き込むと同

時に、前記読み出し選択信号に従って前記読み出しデータ信号を出力するものであり、1周期遅延された前記書き込みアドレス信号と前記読み出しアドレス信号とが一致したことを示す場合、1周期遅延された前記書き込みデータ信号を選択して出力データ信号として外部へ出力するようにすることによって、上記目的を実現したものである(乙8の【請求項1】、【0002】ないし【0013】、【0015】、【0023】、図1)。乙8発明の上記前提は、乙8発明の実施例を示す図1において、書き込みアドレスデコード回路8と読み出しアドレスデコード回路11が別々に設けられていることから、明らかである。

以上のとおり、乙8発明には、一つのアドレス信号を遅延させ又はバイパスさせるという発想がないから、乙8公報には、構成要件E、ひいては構成要件Fについて、記載も示唆もなく、これらの構成要件を開示するものではない。

また、乙4発明は、同時書き込み読み出しを前提としていないから、これに上記のような前提を有する乙8発明を置換又は付加することを当業者が容易に想到し得たとは考え難い。

よって、本件特許発明は、乙4発明及び乙8発明から容易に想到し得たものではなく、これらを根拠とした進歩性を欠如する旨の被告の主張は採用できない。

ウ 乙4発明及び乙21発明に基づく主張について

a) 本件相違点についての容易想到性

乙21発明は、半導体記憶装置、特にシーケンシャルアクセス方式あるいはシリアルアクセス方式のメモリ、VRAM(ビデオRAM)、フィールドメモリなどのようなシリアルアドレスポインタを使用する半導体記憶装置に関するものであり、従来のシリアルアドレスポインタを使用するシーケンシャルアクセスメモリに通常のRAMと同様の

冗長技術を導入した場合には、歩留まり等の点で問題があることから、シーケンシャルアクセスあるいはシリアルアクセスの対象となるメモリセルアレイに多くの不良行及び/又は不良列が多く存在することが判明した場合でも、不良チップを救済することが可能となり、歩留まりの向上を図ることができ、メモリセルアレイに冗長性を導入するための回路構成が簡単に済むようにすることを目的とし、カスケード型のメモリセルアレイと、メモリセルアレイの行数又は列数の k （整数）分の1に対応する段数を有し、メモリセルアレイの使用される行及び/又は列のアドレスをシリアルに指定するためのシリアルアドレスポイント用のシフトレジスタと、上記シフトレジスタの各段に対応して設けられた、上記シフトレジスタの所望の段をバイパスさせることが可能なバイパス回路、及び、バイパスの対象となるシフトレジスタ段に対するバイパスの可否を制御するバイパス制御回路とを具備することによって、上記目的を実現したものである（乙21の【0001】ないし【0016】、【0087】）。

したがって、乙21発明には、アドレス信号をバイパスさせるという発想がないから、乙21公報には、構成要件E、ひいては構成要件Fについて、その記載も示唆もなく、これらの構成要件を開示するものではない。

そうすると、本件特許発明は、乙4発明及び乙21発明から容易に想到し得たものとは考え難く、これらを根拠とした進歩性を欠如する旨の被告の主張は採用できない。

なお、乙4発明及び乙21発明に基づく被告の上記主張は、本件のその余の争点に関する当事者の主張・立証が尽くされ、損害についての審理も終了した後の審理の終結段階において突然なされたものであって、訴訟の完結の遅延を招く程のものでなかったとはいえ、本件の

審理経過にかんがみれば、明らかに適時提出主義（民事訴訟法 156 条）に反し不相当なものであったことを付言する。

(2) 明細書の記載不備（特許法 36 条 6 項 1 号）について

被告は、本件特許発明の「発明が解決しようとする課題」は、図 24 に示される最短 t D S S のタイミング、及び図 25 に示される最長 t D S S のタイミングのいずれにおいても、アドレスと対応するデータとをクロックに同期したタイミングで同時に内部回路に供給することであり、そのためには、2 組のデータラッチが必要であるとして、本件特許明細書には記載不備の違法がある旨主張する。

しかし、本件特許発明は、請求項 33 に係るものであり、異なるタイミングで取り込んだアドレス及びデータを正確かつ高速に処理する半導体装置を提供することを目的とし、また、リード動作時に最短時間で出力を得ようとするものであると認められる（甲 2 の【0014】、【0102】、【0119】）。そうすると、最短及び最長 t D S S のタイミングのいずれにおいてもアドレスに対応するデータを同時に内部回路に供給することは、本件特許発明の課題とは無関係であるから、複数組のデータラッチ回路に順番にデータを書き込み、また順番にデータを読み出す手段は、本件特許発明において必須の手段とはいえない。

よって、被告の主張は、その前提において誤っているものであるから、採用することはできず、本件特許明細書に特許法 36 条 6 項 1 号の記載不備の違法はない。

(3) 小 括

以上のとおり、本件特許発明は、無効とされるべきものではなく、被告製品の輸入・販売は、本件特許権を侵害するものである。

3 争点 3（差止めの必要性）について

(1) 被告は、前記第 3 の 3〔被告の主張〕(1)記載のとおり、被告製品の一部

について、輸入・販売の事実を否認する。

しかし、証拠(甲3の1ないし24, 10の1, 10の2の1ないし21, 15の1ないし16)によれば、被告が被告製品を輸入・販売していると認められる。

また、被告は、前記第3の3〔被告の主張〕(2)記載のとおり、被告製品の一部について、既にナンヤが製造を終了しているから、差止めの利益がない旨主張する。

しかし、被告がナンヤにおいて製造を終了したと主張するものが現在もナンヤのウェブサイトに掲載されていた上(甲20の1ないし4)、製造を終了していたとしても在庫が存在する限り、輸入・販売することは可能である。被告が主張する事情のみでは、差止めの必要性を否定することはできない。

したがって、被告による被告製品の輸入、譲渡、貸渡し、譲渡若しくは貸渡しのための展示の差止めを求める原告の請求は理由がある(ただし、被告が被告製品を製造しているとか、製造するおそれがあることを認めるに足りる証拠はないので、被告製品の製造についての差止め請求は理由がない。)

(2) 被告は、原告は、DRAMを製造・販売していないなどとして、差止め等に仮執行宣言を付す必要性はない旨主張する。

しかし、証拠(甲16の1ないし4)によれば、原告は平成14年8月以降DRAMを販売していたことが認められるのであって、仮執行宣言を付す必要性(民事訴訟法259条1項)がないとはいえない。

4 争点4(損害の発生及びその数額)について

(1) 基礎とすべき被告製品の売上げ

(省略)

(2) 基礎とすべき実施料率

本件特許発明は、請求項33記載の構成のものであり、異なるタイミングで取り込んだアドレス及びデータを正確かつ高速に処理する半導体装置を提

供することを目的とし、また、リード動作時に最短時間で出力を得ようとするものであることは前記認定のとおりであり、DDR SDRAMの動作の高速化、実用化にかかる技術に関する発明であって、DDR SDRAMの規格に関わる(規格を決める上で欠かすことができない)ものと認められる。したがって、DDR SDRAMを製造・販売するには多数の特許が必要であり、被告の主張するとおり、半導体の分野では膨大な数の特許を包括的に実施許諾することが多いとしても、本件特許発明は、その中でも基礎的で重要性の高い発明であるというべきである。

また、DDR SDRAMは、多種多様な電子製品に利用されるものであり、被告による被告製品の売上高は、上記認定のとおり、膨大な額にのぼる上、年々増加している。

さらに、「電子・通信用部品」に関する実施料の平均は、平成4年度ないし10年度で、イニシャルありの場合は3.5%、イニシャルなしの場合は3.3%で、最頻値が1%であり、実施料率が8%以上の高率の契約の大半を、半導体に関する契約が占めていた(甲18)。

以上の諸事情にかんがみれば、上記甲18は外国技術導入契約の実施料を基にしたものであること、半導体分野の場合、複数の特許を包括的に実施許諾するケースが多いこと、その他、原・被告が挙げる実施料率の例等を考慮したとしても、本件特許権侵害において、実施料相当額の損害を算定するに当たり基礎とすべき実施料率は、1%と認めるのが相当である。

(3) 損害額

(省略)

第5 結論

以上によれば、原告の請求は、被告製品の製造の差止めを求める部分を除いて、いずれも理由があるから認容することとし、訴訟費用については、民訴法61条、64条ただし書を適用し、仮執行の宣言については、主文1項及び3

項に限り認めるのが相当であり，その余は相当でないからこれを付さないこととして，主文のとおり判決する。

東京地方裁判所民事第46部

裁判長裁判官 設 樂 隆 一

裁判官 間 史 恵

裁判官 古 庄 研

被 告 製 品 目 録

1 イ号製品

下記の製品型格の製品を含むDDR SDRAM(シンクロナス・ダイナミックランダム・アクセス・メモリ), DDR2 SDRAM(シンクロナス・ダイナミック・ランダム・アクセス・メモリ)及びDDR3 SDRAM(シンクロナス・ダイナミック・ランダム・アクセス・メモリ)

記

Nanya ブランド ダイナミック・ランダム・アクセス・メモリ

128Mb DDR SDRAM

NT5DS32M4AT , NT5DS16M8AT , NT5DS8M16FS , NT5DS4M32EG ,

NT5DS8M16FT ,

NT5DS8M16DT , NT5DS16M8DT , NT5DS8M16DS ,

NT5DS16M8DS

256Mb DDR SDRAM

NT5DS64M4AT , NT5DS32M8AT , NT5DS64M4AW , NT5DS32M8AW ,

NT5DS64M4BT , NT5DS32M8BT , NT5DS16M16BT , NT5DS64M4BF ,

NT5DS32M8BF , NT5DS16M16BF , NT5DS64M4CT , NT5DS32M8CT ,

NT5DS16M16CT , NT5DS64M4CS , NT5DS32M8CS , NT5DS16M16CS ,

NT5DS32M8BS , NT5DS16M16BS , NT5DS16M16CG , NT5DS16M16CF ,

NT5DS16M16BG ,

NT5DS64M4BS , NT5DS64M4BG

512Mb DDR SDRAM

NT5DS128M4BT , NT5DS64M8BT , NT5DS32M16BT , NT5DS128M4BF ,

NT5DS64M8BF , NT5DS32M16BF , NT5DS128M4BG , NT5DS64M8BG ,

NT5DS32M16BG , NT5DS128M4BS , NT5DS64M8BS , NT5DS32M16BS ,
NT5DS32M16BG , NT5DS128M4AF , NT5DS64M8AF , NT5DS32M16AF ,
NT5DS128M4CG

256Mb DDR2 SDRAM

NT5TU16M16AG

512Mb DDR2 SDRAM

NT5TU128M4AB , NT5TU64M8AB , NT5TU32M16AF , NT5TU128M4AE ,
NT5TU64M8AE , NT5TU32M16AG , NT5TU64M8AF , NT5TU32M16AE ,
NT5TU128M4BE , NT5TU64M8BE , NT5TU32M16BG

1Gb DDR2 SDRAM

NT5TU256M4AJ , NT5TU128M8AJ , NT5TU64M16AM ,
NT5TU256M4BJ , NT5TU128M8BJ , NT5TU64M16BM

2Gb DDR2 SDRAM

NT5TU512T4BU, NT5TU256T8BU

512Mb DDR3 SDRAM

NT5CB128M4AN , NT5CB64M8AN , NT5CB32M16AP

Elixir ブランド ダイナミック・ランダム・アクセス・メモリ

64Mb DDR SDRAM Graphic

N2DS6H16FS

128Mb DDR SDRAM Graphic

N2DS12832EF , N2DS12832EG , N2DS12Q16BT , N2DS12Q16BS ,
N2DS12H16CT , N2DS12H16BT , N2DS12H16CT ,
N2DS12H16CS , N2DS12816FS

256Mb DDR SDRAM Graphic

N2DS25616BT , N2DS25616CT , N2DS25H16BT , N2DS25616CS ,
N2DS25680CS , N2DS25680CT , N2DS25H16BS

512Mb DDR SDRAM Graphic

N2DS51216AF , N2DS51216BT , N2DS51216BS , N2DS51280BG ,
N2DS51240BG , N2DS51216BG , N2DS51240BT , N2DS51280BT ,
N2DS51240BS , N2DS51280CS , N2DS51280BS

256Mb DDR2 SDRAM Graphic

N2TU25H16AF ,
N2TU25H16AS , N2TU25H16AG , N2TA25616AG , N2TU25H80AB

512Mb DDR2 SDRAM Graphic

N2TU51280AE , N2TU51240AE , N2TU51240AB , N2TU51216AG ,
N2TU51280AB , N2TU51280AF ,
N2TU51216AF ,
N2TU51240AB , N2TU51216AF , N2TU51280AB , N2TU51240BE ,
N2TU51240AS , N2TU51216AS , N2TU51216BG , N2TU51280AS ,
N2TU51280BE

Super Elixir ブランド ダイナミック・ランダム・アクセス・メモリ

64Mb DDR SDRAM Graphic

N2DS6H16FS

128Mb DDR SDRAM Graphic

N2DS12H16BT , N2DS12H16CT , N2DS12Q16BT ,

N2DS12H16CS , N2DS12816FS , N2DS12Q16BS

256Mb DDR SDRAM Graphic

N2DS25H16BT , N2DS25616CT , N2DS25616BT , N2DS25680CT ,

N2DS25H16BS , N2DS25616CS , N2DS25680CS

512Mb DDR SDRAM Graphic

N2DS51240BT , N2DS51216AF , N2DS51216BT , N2DS51280BT ,

N2DS51240BS , N2DS51240BG , N2DS51216BG , N2DS51216BS ,

N2DS51280BG , N2DS51280CS , N2DS51280BS

256Mb DDR2 SDRAM Graphic

N2TU25H16AF

512Mb DDR2 SDRAM Graphic

N2TU51240AB , N2TU51216AF , N2TU51280AF , N2TU51280AB

別紙 1

イ号製品説明書 1

イ号製品のメモリにおいては、集積度が異なるなどの相違があるが、本件特許発明と関わりのある以下の説明に関する部分については、すべて同じ構成である。

第 1 図面の簡単な説明

第 1 図及び第 2 図は、アドレス信号処理回路部 5、データ信号処理回路部 6、メモリ・コア部 7、データ読出し部 8 からなるイ号製品のメモリの概念的回路図である。

第 2 図面の説明

- 1 アドレス端子
- 2 クロック端子
- 3 データストロープ端子
- 4 データ端子
- 5 アドレス信号処理回路部
 - 5 1 アドレス入力部
 - 5 2 第 1 D 型フリップフロップ
 - 5 3 第 2 D 型フリップフロップ
 - 5 4 配線
 - 5 5 スイッチ回路
 - 5 6 アドレス出力部
- 6 データ信号処理回路部
 - 6 1 データ入力部
 - 6 2 データ出力部

- 7 メモリ・コア部
- 7 1 アドレス・デコーダ
- 7 2 データライン・ドライバ
- 7 3 メモリセル・アレイ
- 7 4 メモリセル
- 7 0 0 ロウアドレス・デコーダ
- 8 データ読出し部

第3 イ号製品の構成

1. 全体構成

イ号製品の回路は、第1図及び第2図に示すとおり、主として

- ・アドレス信号処理回路部5，
- ・データ信号処理回路部6，
- ・メモリ・コア部7，
- ・データ読出し部8

からなる。

2. 各部の説明

2. 1 アドレス信号処理回路部5

アドレス信号処理回路部5は、アドレス入力部5 1，第1 D型フリップフロップ5 2，第2 D型フリップフロップ5 3，配線5 4，スイッチ回路5 5及びアドレス出力部5 6からなる。第1 D型フリップフロップ5 2及び第2 D型フリップフロップ5 3と配線5 4は並列に設けられている。

2. 2 データ信号処理回路部6

データ信号処理回路部6は、データ入力部6 1及びデータ出力部6 2からなる。

2.3 メモリ・コア部7

メモリ・コア部7はアドレス・デコーダ7 1 , データライン・ドライバ7 2 及びメモリセル・アレイ7 3 からなる。メモリセル・アレイ7 3 は, 多数のメモリセル7 4 を備えている。

3 イ号製品のデータ書き込み動作

3.1 アドレス入力部5 1 は, クロック信号C L Kの立ち上がりに応答して, 外部から, 第1のタイミングで行アドレス信号が, 第2のタイミングで列アドレス信号が取り込まれる。

3.2 アドレス入力部5 1 が取り込んだ列アドレス信号は, クロック信号C L Kの立ち上がりに応答して, 第1 D型フリップフロップ5 2 に取り込まれる。

3.3 第1 D型フリップフロップ5 2 が取り込んだ列アドレス信号は, クロック信号C L Kの次の立ち上がりに応答して, 第2 D型フリップフロップ5 3 に取り込まれる。

3.4 第2 D型フリップフロップ5 3 に取り込まれた列アドレス信号は, さらに, アドレス出力部5 6 に出力される。これは, データの書き込み動作時には, スイッチ回路5 5 により第1 D型フリップフロップ5 2 と第2 D型フリップフロップ5 3 を通過する信号が選択されるためである。

3.5 3.1 から約1クロック周期以上の時間をおいて, データ信号D Qは, データストローブ信号D Q Sの立ち上がり及び立ち下がりに応答して, データ入力部6 1 に取り込まれる。

3.6 データ信号DQは、データ入力部61からデータ出力部62に出力される。

3.7 アドレス出力部56に入力された列アドレス信号は、クロック信号CLKの立ち上がり(又は立ち下がり)にตอบสนองして、アドレス・デコーダ71に出力される。また、データ信号DQは、クロック信号CLKの立ち上がり(又は立ち下がり)にตอบสนองして、データ出力部62からデータライン・ドライバ72に出力される。

3.8 ロウアドレス・デコーダ700は、入力された行アドレス信号をデコードする。

アドレス・デコーダ71は、入力された列アドレス信号をデコードする。

そして、ロウアドレス・デコーダ700がデコードした行アドレス信号及びアドレス・デコーダ71がデコードした列アドレス信号が指定するメモリセル・アレイ73中のメモリセル74に、データライン・ドライバ72が出力するデータ信号DQが書き込まれる。

4 イ号製品のデータ読み出し動作

4.1 アドレス入力部51は、クロック信号CLKの立ち上がりにตอบสนองして、行アドレス信号及び列アドレス信号を取り込む。

4.2 アドレス入力部51が取り込んだ列アドレス信号は、配線54を介しアドレス出力部56に出力される。

これは、データの読み出し動作時には、スイッチ回路55により配線54を通過する信号が選択されるためである。

4.3 アドレス出力部56に入力された列アドレス信号は、クロック信号CLK

の立ち上がり（又は立ち下がり）に応答して，アドレス・デコーダ71に出力される。

4.4 そして，ロウアドレス・デコーダ700がデコードした行アドレス信号及びアドレス・デコーダ71がデコードした列アドレス信号が指定したメモリセル・アレイ73内のメモリセル74のデータ信号DQをデータ読出し部8に出力する。

4.5 データ読出し部8が取り込んだデータ信号DQは，内部ストローク信号DQSの立ち上がり及び立ち下がりに応答して，データ端子4を通じて外部に出力される。また，内部ストローク信号DQSもデータストローク端子を通じて外部に出力される。

別紙 2

イ号製品説明書 2

イ号製品のメモリにおいては、集積度が異なるなどの相違があるが、本件特許発明と関わりのある以下の説明に関する部分については、すべて同じ構成である。

第 1 図面の簡単な説明

第 1 図は、アドレス信号処理回路部 5，データ信号処理回路部 6，メモリ・コア部 7，データ読出し部 8 からなるイ号製品のメモリの概念的回路図である。

第 2 図面の説明

- 1 アドレス端子
- 2 クロック端子
- 3 データストロープ端子
- 4 データ端子
- 5 アドレス信号処理回路部
 - 5 1 アドレス入力部
 - 5 2 第 1 D 型フリップフロップ
 - 5 3 第 2 D 型フリップフロップ
 - 5 4 配線
 - 5 5 スイッチ回路
 - 5 6 アドレス出力部
- 6 データ信号処理回路部
 - 6 1 データ入力部
 - 6 2 データ出力部
- 7 メモリ・コア部

- 7 1 アドレス・デコーダ
- 7 2 データライン・ドライバ
- 7 3 メモリセル・アレイ
- 7 4 メモリセル
- 8 データ読出し部

第3 イ号製品の構成

1 . 全体構成

イ号製品の回路は、第1図に示すとおり、主として

- ・アドレス信号処理回路部5，
- ・データ信号処理回路部6，
- ・メモリ・コア部7，
- ・データ読出し部8

からなる。

2 . 各部の説明

2 . 1 アドレス信号処理回路部5

アドレス信号処理回路部5は、アドレス入力部5 1，第1 D型フリップフロップ5 2，第2 D型フリップフロップ5 3，配線5 4，スイッチ回路5 5及びアドレス出力部5 6からなる。第1 D型フリップフロップ5 2及び第2 D型フリップフロップ5 3と配線5 4は並列に設けられている。

2 . 2 データ信号処理回路部6

データ信号処理回路部6は、データ入力部6 1及びデータ出力部6 2からなる。

2 . 3 メモリ・コア部7

メモリ・コア部7はアドレス・デコーダ7 1 , データライン・ドライバ7 2 及びメモリセル・アレイ7 3 からなる。メモリセル・アレイ7 3 は, 多数のメモリセル7 4 を備えている。

3 イ号製品のデータ書き込み動作

3 . 1 アドレス入力部5 1 は, クロック信号C L Kの立ち上がりに応答して, 外部からのアドレス信号Aを取り込む。

3 . 2 アドレス入力部5 1 が取り込んだアドレス信号Aは, クロック信号C L Kの立ち上がりに応答して, 第1 D型フリップフロップ5 2 に取り込まれる。

3 . 3 第1 D型フリップフロップ5 2 が取り込んだアドレス信号Aは, クロック信号C L Kの次の立ち上がりに応答して, 第2 D型フリップフロップ5 3 に取り込まれる。

3 . 4 第2 D型フリップフロップ5 3 に取り込まれたアドレス信号Aは, さらに, アドレス出力部5 6 に出力される。これは, データの書き込み動作時には, スイッチ回路5 5 により第1 D型フリップフロップ5 2 と第2 D型フリップフロップ5 3 を通過する信号が選択されるためである。

3 . 5 3 . 1 から約1クロック周期以上の時間をおいて, データ信号D Qは, データストロブ信号D Q Sの立ち上がり及び立ち下がりに応答して, データ入力部6 1 に取り込まれる。

3 . 6 データ信号D Qは, データ入力部6 1 からデータ出力部6 2 に出力される。

3.7 アドレス出力部56に入力されたアドレス信号Aは、クロック信号CLKの立ち上がり(又は立ち下がり)に应答して、アドレス・デコーダ71に出力される。また、データ信号DQは、クロック信号CLKの立ち上がり(又は立ち下がり)に应答して、データ出力部62からデータライン・ドライバ72に出力される。

3.8 ここに記載されていないロウアドレス・デコーダ700は、入力されたアドレス信号Aのうちの行アドレスをデコードする。

アドレス・デコーダ71は、入力されたアドレス信号Aのうちの列アドレスをデコードする。

そして、ロウアドレス・デコーダ700がデコードした行アドレス及びアドレス・デコーダ71がデコードした列アドレスが指定するメモリセル・アレイ73中のメモリセル74に、データライン・ドライバ72が出力するデータ信号DQが書き込まれる。

4 イ号製品のデータ読み出し動作

4.1 アドレス入力部51は、クロック信号CLKの立ち上がりに应答して、アドレス信号Aを取り込む。

4.2 アドレス入力部51が取り込んだアドレス信号Aは、配線54を介しアドレス出力部56に出力される。

これは、データの読み出し動作時には、スイッチ回路55により配線54を通過する信号が選択されるためである。

4.3 アドレス出力部56に入力されたアドレス信号Aは、クロック信号CLKの立ち上がり(又は立ち下がり)に应答して、アドレス・デコーダ71に出力される。

4.4 そして、ロウアドレス・デコーダ700がデコードした行アドレス及びアドレス・デコーダ71がデコードした列アドレスが指定したメモリセル・アレイ73内のメモリセル74のデータ信号DQをデータ読出し部8に出力する。

4.5 データ読出し部8が取り込んだデータ信号DQは、内部ストローク信号DQSの立ち上がり及び立ち下がりに応答して、データ端子4を通じて外部に出力される。また、内部ストローク信号DQSもデータストローク端子を通じて外部に出力される。

2 口号製品

下記の製品型格の製品を含むDDR DIMM , DDR2 DIMM及びDDR

3 DIMMダイナミック・ランダム・アクセス・メモリ・モジュール

記

Nanya ブランド

DDR UDIMM

NT256D64S88C0G , NT256D64S88C0GY , NT512D64S88B0G ,
NT512D64S8HC0G , NT512D64S8HC0GY , NT1GD64S8HB0G ,
NT1GD64S8HB0GY , NT512D64S88B0GY , NT256D64SH4B0GY

DDR SODIMM

NT256D64SH8C0GM , NT512D64SH8B0GM , NT512D64SH8B0GN ,
NT256D64SH8C0GN , NT1GD64S8HB0FM , NT1GD64S8HB0FN ,
NT256D64S88AMGM , NT512D64S8HAKWM , NT256D64SH4B0GN

DDR RDIMM

NT512D72S89B0FU , NT1GD72S4PB0FU , NT1GD72S4PC0FV ,
NT2GD72S4NC0FV , NT512D72S89B0FV

DDR2 UDIMM

NT512T64U88A0BY , NT512T72U89A0BY , NT1GT72U8PA0BY ,
NT1GT64U8HA0BY , NT256T64UH4A0F , NT512T64U88A0F ,
NT512T72U89A0F , NT256T64UH4A0FY , NT256T64UH4A1FY ,

NT512T64U88A1BY , NT512T72U89A1BY , NT1GT64U8HA1BY ,
NT1GT72U8PA1BY , NT1GT64U8HB0BY , NT1GT72U8PB0BY ,
NT2GT64U8HB0JY , NT2GT72U8PB0JY , NT512T64U88B0BY ,
NT512T72U89B0BY , NT256T64UH4B0FY

DDR2 SODIMM

NT1GT64U8HA0BN , NT256T64UH4A0FN , NT256T64UH8A1FN ,
NT512T64UH8A0FN , NT512T64UH8A1FN , NT1GT64U8HB0BN ,
NT256T64UH4A1FN , NT256T64UH4B0FN , NT512T64UH8B0FN ,
NT1GT64UH8B0MN , NT2GTT64U88B0UN

DDR2 RDIMM

NT1GT72U4PA0BU , NT512T72U89A0BV , NT1GT72U4PA0BV ,
NT2GT72U4NA0BV , NT512T72U89A0FU , NT1GT72U4PB0BV ,
NT2GT72U4NA1BV , NT2GT72U4NB0BV , NT512T72U89B0BV ,
NT2GT72U4PB0JV , NT4GTT72U4PB0UV , NT2GT72U4NA2BV

DDR2 FBDIMM

NT512T72U89A0BL , NT1GT72U8PA0BL , NT1GT72U4PA0BL ,
NT1GT72U8PA0BD , NT1GT72U8PA0BE , NT1GT72U8PA0BN ,
NT2GT72U4NA0BN , NT512T72U89A0BD , NT512T72U89A0BE ,
NT512T72U89ACBN , NT512T72U89B1BN ,
NT512T72U89B0BN , NT512T72U89A2BN , NT512T72U89A5BD ,
NT1GT72U8PA3BD , NT1GT72U8PA2BN , NT1GT72U8PACBN ,
NT1GT72U8PB0BN , NT1GT72U8PB1BN , NT2GT72U4NACBN ,
NT2GT72U4NB0BN , NT2GT72U4NB1BN , NT2GT72U4NA1BN ,

NT2GT72U4NA1BD , NT4GTT72U4PB1UD

DDR3 UDIMM

NT512C64B88A0NY , NT1GC64B88A0NY

Elixir ブランド

DDR SDRAM SO DIMM

M2S25664DSH4A0F , M2S25664DSH4B1G ,

M2S51264DSH8B1G , M2S51264DSH8A0F ,

M2N25664DSH8C1G , M2N51264DSH8B1G

DDR SDRAM Unbuffered DIMM

M2U12864DSH4B3G , M2U12H64DS88B3G , M2U12864DSH4B3F ,

M2U25664DS88B3G , M2U25664DS88B3F , M2U25664DSH8B3G ,

M2U25664DS88C1G , M2U25664DS88C3G , M2U25664DS88B5G ,

M2U25664DSH8B3G , M2U25H64DS88A1F , M2U25664DSH4B1G ,

M2Y25664DSH4B1G , M2Y25664DS88C3G , M2Y25664DS88B1G ,

M2U51264DS8HB3G , M2U51264DS88A0F , M2U51264DS8HC1G ,

M2U51264DS8HC3G , M2U51264DS88A1F , M2U51264DS8HA0G ,

M2U51264DS88B1G , M2U51264DS88C0G ,

M2U5126488C1G , M2U51264DS88C1G ,

M2Y51264DS88B1G , M2Y51264DS8HB1G , M2Y51264DS88C1G ,

M2Y51264DS8HC3G ,

M2U1G64DS8HA1F , M2U1G64DS8HA0F ,

M2U1G64DS8HB1G , M2U1G64DS8HC0G ,

M2U1G64DS8HC1G ,

M2Y1G64DS8HB1G , M2Y1G64DS8HC1G

DDR2 SDRAM SO DIMM

M2S25664TUH4A0F , M2S51264TUH8A0F ,
M2N25664TUH4B0F , M2N25664TUH4A2F , M2N51264TUH8A2F ,
M2N51264TU88B0F , M2N1G64TU8HA2B , M2N1G64TU8HB0B

DDR2 SDRAM Unbuffered DIMM

M2U25664TUH4A0F , M2U51264TU88A0F , M2U1G64TU8HA0F ,
M2U1G64TU8HA0B , M2U1G64TU8HA2B , M2U1G64TU8HA2F ,
M2U25664TUH4A2F , M2U51264TU88A0B , M2U51264TU88A2B ,
M2U51264TU88A2F , M2U51H64TU88A2B ,
M2Y25664TUH4B0F , M2Y51264TU88B0B , M2Y51264TU88A0B ,
M2Y51264TU88A2B , M2Y51264TU88A2G , M2Y51264TU88A4B ,
M2Y51264TU88B4B , M2Y1G64TU8HA0B , M2Y1G64TU8HB4B ,
M2Y1G64TU8HA2B , M2Y1G64TU8HA4B , M2Y1G64TU8HB0B ,
M2Y1G64TU8HA2G

DDR2 SDRAM FB DIMM

M2D51272TU89A8B , M2Y1G64TU8HB4B , M2D1G72TU8PA6B

Super Elixir ブランド

DDR SDRAM SO DIMM

M1S25664DSH8B0F , M1S25664DSH8C1G , M1S25664DSH4A0F ,
M1S51264DSH8B1G , M1S51264DS8HB0F , M1S51264DSH8A1F ,

M1S51264DSH8A0F , M1S1G64DS8HA0F
M1N1G64DS8HB0F , M1N25664DSH4B1G , M1N25664DSH8C1G ,
M1N51264DSH8B1G ,
M2S51264DSH8B1G , M2S51264DSH8A0F ,
M2N25664DSH8C1G , M2N51264DSH8B1G

DDR SDRAM Unbuffered DIMM

M1U12864DSH4C1G
M1U25664DSH4B1G , M1U25664DS88B3G , M1U25664DS88C3G ,
M1U51264DS8HC1G , M1U51264DS8HC3G , M1U51264DS88B1G ,
M1U1G64DS8HB1G , M1U51264DS8HB3G ,
M1Y1G64DS8HB1G , M1Y25664DSH4B1G , M1Y51264DS88B1G
M2U12864DSH4B3G ,
M2U25664DS88B3G , M2U25664DS88B3F , M2U25664DSH8B3G ,
M2U25664DS88C1G , M2U25664DS88C3G ,
M2U25664DSH8B3G , M2U25H64DS88A1F , M2U25664DSH4B1G ,
M2Y25664DSH4B1G , M2Y25664DS88C3G , M2Y25664DS88B1G ,
M2U51264DS8HB3G , M2U51264DS88A0F , M2U51264DS8HC1G ,
M2U51264DS8HC3G , M2U51264DS88A1F , M2U51264DS8HA0G ,
M2U51264DS88B1G , M2U51264DS88C0G ,
M2U5126488C1G , M2U51264DS88C1G ,
M2Y51264DS88B1G , M2Y51264DS8HB1G , M2Y51264DS88C1G ,
M2Y51264DS8HC3G ,
M2U1G64DS8HA1F , M2U1G64DS8HA0F ,
M2U1G64DS8HB1G , M2U1G64DS8HC0G ,
M2U1G64DS8HC1G ,

M2Y1G64DS8HB1G , M2Y1G64DS8HC1G

DDR2 SDRAM SO DIMM

M1S25664TUH4A0F , M1N25664TUH4A0F

M1S51264TUH8A0F , M1N51264TUH8A0F ,

M1N1G64TU8HA0B ,

M1N1G64TU8HA2B , M1N25664TUH4A2F , M1N51264TUH8A2F

DDR2 SDRAM Unbuffered DIMM

M1Y25664TUH4A0F , M1U25664TUH4A0F ,

M1Y51264TU88A0B , M1U51264TU88A0F ,

M1Y1G64TU8HA0B , M1U1G64TU88A0F ,

M1U51264TU88A2F , M1Y1G64TU8HA2B , M1Y25664TUH4A2F ,

M1Y51264TU88A2B

ロ号製品説明書

ロ号製品は、イ号製品のいずれかのダイナミック・ランダム・アクセス・メモリをモジュールとして搭載したメモリ装置である。

ロ号製品に搭載されているイ号製品の構成は、別紙 1 イ号製品説明書 1 に記載されるとおりである。