

平成19年(行ケ)第10220号 審決取消請求事件

平成20年4月21日判決言渡,平成20年3月17日口頭弁論終結

判 決

原 告 X

訴訟代理人弁護士 平井昭光,原井大介

訴訟代理人弁理士 黒田博道

被 告 株式会社ステップテクニカ

訴訟代理人弁護士 木下洋平

訴訟代理人弁理士 沢田雅男

主 文

特許庁が無効2006-80177号事件について平成19年5月28日にした審決を取り消す。

訴訟費用は被告の負担とする。

事実及び理由

第1 原告の求めた裁判

主文同旨の判決

第2 事案の概要

本件は,被告の有する下記1(1)の特許(以下「本件特許」といい,この特許に係る発明を「本件発明」という。)について,原告が,同(3)のとおり,無効審判請求をしたところ,特許庁は,同審判請求は成り立たないとの審決をしたため,原告が,同審決の取消しを求める事案である。なお,本件特許については,下記1(2)のとおり,特許異議の申立てがあった。

1 特許庁における手続の経緯

(1) 本件特許(甲第10号証)

特許権者:被告

発明の名称:「サイクリック自動通信による電子配線システム」

出願日：平成8年6月7日（特願平8 - 145648号）

登録日：平成11年10月22日

特許番号：第2994589号

(2) 異議手続（甲第11号証）

異議申立人：工藤直一

異議申立日：平成12年6月27日（異議2000 - 72568号）

訂正請求日：平成14年4月30日（以下「本件異議時訂正」という。）

決定日：平成14年5月28日

決定の結論：「訂正を認める。特許第2994589号の請求項1ないし3に係る特許を維持する。」

(3) 無効審判手続

審判請求日：平成18年9月6日（無効2006 - 80177号）

訂正請求日：平成18年11月24日（甲第13号証。以下「本件訂正」という。）

なお、訂正請求書添付の訂正明細書の一部が、平成19年5月22日付け手続補正書（甲第14号証）によって補正されている。）

審決日：平成19年5月28日

審決の結論：「訂正を認める。本件審判の請求は、成り立たない。」

審決謄本送達日：平成19年5月30日

2 審決が認定した本件特許発明

審決は、本件訂正請求は訂正要件に適合するとして、本件訂正を認め、本件特許発明を同訂正後の特許請求の範囲の請求項1～3に記載された下記のとおりのものであると認定した（以下、審決の認定した発明を、請求項の番号に従って「本件特許発明1」などといい、これらをまとめて「本件特許発明」という。）。請求項1の分説は、理解の便のためのものであり、審決における分説と同様であり、下線部分は本件訂正に係る訂正箇所である。

「【請求項1】

(分説 a)

1台のIC化された中央装置(1)と1台又は複数台のIC化されていてかつ外部から端末装置アドレス符号が設定される端末装置(2)とがデジタル通信回線(3)を介して、相互接続されて構成され、上記中央装置(1)から上記端末装置(2)宛に、出力データの組み込まれたコマンドパケットを一斉にサイクリックに自動的に送信し、1台又は複数台の端末装置(2)の中から順次に択一的に選択される1台づつの上記端末装置(2)から上記中央装置(1)宛に、入力データの組み込まれたレスポンスパケットを逐次にサイクリックに自動的に送信するサイクリック自動通信方式の電子配線システムであって、

(分説 b)

上記中央装置(1)は、上記出力データと上記入力データとを読み取り可能に記憶するメモリ(4)と、上記コマンドパケットの送信と上記レスポンスパケットの受信とを、プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシンとから成り、

(分説 c)

上記メモリ(4)は、i番目のコマンドパケットに組み込まれるi番目の出力データをi番目対応の出力データ記憶領域に読み取り可能に記憶し、i番目のレスポンスパケットに組み込まれていたi番目の入力データをi番目対応の入力データ記憶領域に読み取り可能に記憶するメモリであり、

(分説 d)

上記ステートマシンは、i-1番目の端末装置(2)宛のi-1番目のコマンドパケットの送信が完了した直後に、又は、i-1番目のコマンドパケットの送信が完了してから、i-1番目のレスポンスパケットの受領期間が経過した直後に、上記メモリ(4)のi番目対応の出力データ記憶領域から読み取られたi番目の出力データとi番目の端末装置アドレス符号とが組み込まれたi番目のコマンドパケットをデジタル通信回線(3)経由で送信し、該i番目のコマンドパケットの送

信が完了した後に、 i 番目の入力データの組み込まれた i 番目のレスポンスパケットを i 番目の端末装置からデジタル通信回線 (3) 経由で受信し、該 i 番目の入力データを上記メモリ (4) の i 番目対応の入力データ記憶領域に書き込むことを特徴とし、

(分説 e)

上記端末装置 (2) は、デジタル通信回線 (3) 経由で受信した上記 i 番目のコマンドパケットに組み込まれている i 番目の端末装置アドレス符号が自己の端末装置アドレス符号として設定されている i 番目の端末装置アドレス符号と一致するときに、上記 i 番目のコマンドパケットに組み込まれている i 番目の出力データを出力ポート (22) でのポート出力データとして出力するとともに、入力ポート (21) からのポート入力データが i 番目の入力データとして組み込まれた上記 i 番目のレスポンスパケットをデジタル通信回線 (3) 経由で送信することを特徴とし、さらに、

(分説 f)

上記メモリ (4) の i 番目対応の出力データ記憶領域に読み取り可能に記憶されている出力データのビット群の構成と上記出力ポート (22) から出力されるポート出力データのビット群の構成とが同一形態であり、上記メモリ (4) の i 番目対応の入力データ記憶領域に読み取り可能に記憶されている入力データのビット群の構成と上記入力ポート (21) から入力されるポート入力データのビット群の構成とが同一形態であり、

(分説 g)

前記メモリ (4) 内のデータビット群が、前記複数の端末装置毎にメモリ領域を分割して設定したことを特徴とするサイクリック自動通信方式の電子配線システム。

【請求項 2】

上記メモリ (4) の i 番目対応の出力データ記憶領域からの i 番目の出力データ

の読み取り動作と、該 i 番目対応の出力データ記憶領域へのユーザインターフェース P C からの i 番目の出力データの書き込み動作と、該メモリの i 番目対応の入力データ記憶領域への i 番目の入力データの書き込み動作と、該 i 番目対応の入力データ記憶領域からのユーザインターフェース P C への i 番目の入力データ読み取り動作とが、それぞれ、別個独立に実行可能である請求項 1 に記載のサイクリック自動通信方式の電子配線システム。

【請求項 3】

前記端末装置（ 2 ）毎に分割されたメモリ領域内のデータビット群は、送受信単位毎のフィールドに設定し、該設定されたフィールド単位で送受信するようにした請求項 2 に記載のサイクリック自動通信方式の電子配線システム。」

3 審決の要旨

審決は、上記 2 のとおり、本件訂正を認め、本件異議時訂正が訂正の目的要件に適合しないとの請求人の無効理由について、本件訂正が認められることにより解消されたと判断した。その上で、下記刊行物のうち甲第 4 号証を主引用例として本件特許発明と対比し、相違点 1 ～ 5 を認定した上、相違点 1 ～ 3 に係る構成とすることについては、他の刊行物記載の発明又は周知技術を適用することによって、当業者が適宜又は容易になし得るとしたが、相違点 4 及び 5 に係る構成とすることについては下記刊行物に開示も示唆もなく、本件特許発明 1 は刊行物記載の発明が奏し得ない顕著な効果を奏するなどとして、本件特許発明は刊行物記載の発明（以下、刊行物の証拠番号に従って、「甲 1 発明」などという。）及び周知技術に基づいて当業者が容易に発明をすることができたものということとはできないと判断した。審決の理由は、以下の各項目中で引用するとおりである。

甲第 1 号証：特開昭 6 0 - 1 7 2 8 5 9 号公報

甲第 2 号証：特開昭 5 6 - 1 6 9 4 9 4 号公報

甲第 3 号証：特開平 4 - 5 7 4 2 2 号公報

甲第 4 号証：特開平 6 - 2 9 2 2 7 5 号公報

甲第5号証：特開平6 - 214620号公報

甲第6号証：特開平2 - 132944号公報

甲第7号証：特開平5 - 175999号公報

甲第8号証：特開平4 - 192003号公報

甲第9号証：特開平5 - 168060号公報

(1) 本件訂正の適否について

「本件特許は、平成11年10月22日に設定登録された後、平成14年4月30日付の訂正請求（以下、「異議時訂正請求」という。）により訂正され、その後、本件無効審判請求の中で、平成18年11月24日付で訂正請求（以下、「本件訂正請求」という。）されたものである。

そこで、本件訂正請求、即ち、異議時訂正請求によって訂正された明細書又は図面に対する本件訂正請求の可否について検討すると、本件訂正請求は、願書に添付された明細書又は図面に記載した事項の範囲内で、「外部から端末装置アドレス符号が設定される」との限定を付加して、請求項1に記載された端末装置を特定するものであるから、本件訂正は、特許請求の範囲の減縮を目的とするものであり、特許法第134条の2の第1項ただし書き第1号（請求の範囲の減縮）に掲げる事項を目的とするとともに、同条第5項で準用する同法第126条第3項（新規事項）、第4項（拡張、変更）の規定に適合する。

よって、本件訂正請求による訂正を認める。」

(2) 本件異議時訂正が訂正の目的要件に適合しないとの請求人の無効理由について

「請求人は、前記異議時訂正請求による訂正は、設定登録時の明細書の特許請求の範囲の請求項1から「端末アドレス設定機能を有する」を削除することを含むものであるところ、その訂正は、特許請求の範囲の減縮でもなく、誤記の訂正でもなく、明りょうでない記載の釈明でもないから、訂正要件に違反し、異議時訂正請求により訂正された本件発明の特許は、無効理由を有する旨、主張する。

また、設定登録時明細書の請求項1に記載された「端末アドレス設定機能を有する」を、本

件訂正請求により「かつ外部から端末装置アドレス符号が設定される」という記載に変更する訂正は、両者の意味はまったく異なるから、実質上特許請求の範囲を変更するものに該当すると主張する。

そこで検討するに、前記「第2」の項で述べたように、平成18年11月24日付けで訂正請求された本件訂正請求による訂正は認められるのであるから、異議時訂正請求に代えて本件訂正請求による訂正の可否、即ち、設定登録時の明細書又は図面（以下、「設定登録時明細書」という。）に対する本件訂正請求による訂正の可否について検討する。

最初に、「端末アドレス設定機能を有する」の技術的意味を検討すると、「端末アドレス設定機能」とは、例えば、本件特許明細書の図7に、その上部に記載された「(端末アドレス設定)」から下方に矢印が延び、アドレス照合回路に繋がっていることからわかるように、アドレス照合回路等の設定先に所定のアドレスを設定する機能のことであり、口頭審理の調書に記載されたとおり、一般に、「アドレスを設定する側の機能」と「アドレスが設定される側の機能」の、二つの機能から構成されるものである。

そして、前記設定登録時明細書の請求項1に係る発明において、複数の端末が有する「端末アドレス設定機能」がいかなる技術的意義を有するのか検討すると、請求項1に記載された「データの送受信」、「中央装置とデジタル通信回線を介して接続した端末アドレス設定機能を有する複数の…端末装置」という記載からみて、中央装置と複数の端末の間で行われるデータの送受信に際し、端末内の設定先に所定のアドレスが設定されるところ、そのために必要なものであることが明らかである。

すると、前記設定登録時明細書の請求項1に係る発明においては、「端末アドレス設定機能」が有すると解釈される前記二つの機能のうち、後者の「アドレスが設定される側の機能」が特に関係することが明らかである。そして、前記設定登録時明細書を参照すると、その段落0075に、端末に自己のアドレスが設定されることは記載されているが、端末が、アドレスを設定する側の機能を有する点については前記設定登録時明細書に記載が見あたらない点から見て、「端末アドレス設定機能」という構成は、実質的に「アドレスを設定される側の機能」を指すと解釈することが自然である。

したがって、前記設定登録時明細書の請求項 1 に記載された「端末アドレス設定機能を有する」を、本件訂正請求により「かつ外部から端末装置アドレス符号が設定される」という記載に変更する訂正は、何れの記載も、端末にアドレスが設定されるという技術的意義を有する点で、発明の当初の技術課題を変更するものではなく、実質上特許請求の範囲を拡張し、または変更するものでもない。そして、当該訂正は、願書に最初に添付した明細書又は図面に記載された事項の範囲内において、「外部から」という限定を付加して、特許請求の範囲の減縮を目的とするものであるから、訂正の目的要件にも適合する。

以上により、前記異議時訂正請求に係る訂正は、訂正の目的要件に適合しないとの無効理由は、本件訂正請求により解消されたといえることができるから、異議時訂正請求によってなされた訂正について、前記請求人が主張するような無効理由は、もはや存在しない。」

(3) 甲 4 発明について

「甲第 4 号証には、信号入力装置及び信号通信装置に関するものであって、添付図面とともに、以下が記載されている。

イ)【0001】

【産業上の利用分野】本発明は、信号入力装置および信号通信装置に係わり、更に詳しくは、工作機械や産業機械と数値制御装置とを接続する装置として有用な信号入力装置および信号通信装置に係わる。」(第 2 頁 2 欄)、

ロ)【0008】次に、動作について説明する。操作ボード 20 に取り付けられた電源 ON スイッチ(図示せず)を押すと、AVR 11 が ON し、CPU 101 はブート ROM 1013 を経て、予めシステムメモリ 103 や PLC メモリ 102 に書き込まれているコントロールプログラムを順に 1 命令ずつ実行して、処理を進める。

【0009】前記コントロールプログラムには、機械 40 に対する入出力処理を行う機械制御プログラムや、補間処理を行う補間プログラムや、前記処理に必要なデータを計算する加工プログラムの解読処理や演算処理などを行う演算プログラムや、操作ボード 20 の表示画面 201 に設定表示されたデータなどの処理を行う設定表示プログラム等がある。これらを総称して、CNC プログラムと云う。...(中略)...

【0010】OSの管理の下，ユーザPLCプログラムは，接点入力402の情報を機械入出力I/F107を介して受け取る。また，CNCプログラムの機械制御プログラムから情報を受け取る。また，設定表示プログラムから操作ボード20のメカニカルスイッチ情報を受け取る。そして，受け取った情報とラダー図とに従って，ビット演算を行う。そして，機械入出力I/F107を介して，接点出力403に出力する。また，操作ボード20のランプ207の表示情報を，設定表示プログラムに渡す。...（中略）...

【0012】設定表示プログラムは，操作ボード20との間のインタフェースを受け持ち，操作ボード20内のNC操作ボードの各種キー情報や機械操作ボード205のメカニカルスイッチ情報を，操作ボードI/F104より受け取る。そして，受け取った情報に基づいて処理を行う。また，操作ボードI/F104を通じて，機械操作ボード205内のランプ207への出力処理を行う。更に，表示画面201への表示情報の作成と送信を行う。なお，操作ボードI/F104にグラフィックコントローラやCRTコントローラを有している場合は，表示情報をビデオ信号で表示画面201に出力する。一方，これらのコントローラを有しない場合は，機械操作ボード205のランプへの出力信号と同様に，シリアル通信線を通じて，操作ボード20に送信する。シリアル通信線で送信する場合は，通信のためのCPUを操作ボード20に設けるのが一般的である。」（第3頁4欄～第4頁5欄），

ハ)「【0023】また，機械入出力I/Fリモートは，CPUを設けるため，ハードウェアが高価で複雑になる問題点があった。さらに，機械入出力I/Fリモートが複数の場合には，数値制御装置本体のCPUのソフトウェアと機械入出力I/FリモートのCPUのソフトウェアとが，非常に複雑になる問題点があった。

【0024】また，数値制御装置とシリアル通信線を通じて通信を行なう操作ボードは，CPUを設けるため，ハードウェアが高価で複雑になる問題点があった。さらに，数値制御装置本体のCPUのソフトウェアが複雑になる問題点があった。

...（中略）...

【0026】本発明は，上記問題点を解消するためになされたもので，第1に，複雑なソフトウェアを必要としない信号入力回路を提供する。第2に，複雑なソフトウェアを必要とせずに

サンプリング周期を自動調整できる信号入力回路を提供する。第3に、CPUを必要とせずに機械入出力I/Fリモートとして使用できる信号入力回路を提供する。第4に、数値制御装置と操作ボードがシリアル通信線を通じて通信を行なうことを、CPUを必要とせずに可能にする信号入力回路を提供する。」(第5頁7欄),

二)「【0067】実施例4. 図12は、本発明の実施例4に係る機械入出力I/Fホスト107と機械入出力I/Fリモート404の接続図である。なお、実施例4に関係しない部分は図示を省略している。1台の機械入出力I/Fホスト107に、8台の機械入出力I/Fリモート404が接続されている。402BはA/D変換器、403AはD/A変換器である。

【0068】図13は、機械入出力I/Fリモート404の詳細図である。1100は、機械入出力I/FリモートICであり、機械入出力I/Fリモート404の主要機能をIC化したものである。1095は、双方向シリアルI/Fであり、機械入出力I/Fホスト107と接続され、シリアルデータの送受信を行う。

【0069】1103は、マルチプレクサである。1093は、P/S変換回路であり、パラレル/シリアル変換回路、FLAGや相手側局番やCRCの挿入回路、データとクロックを混合する回路などからなるHDLC送信用の回路ブロックである。1099Aはシリアルデータの先頭を示すFLAG、1099Bは機械入出力I/Fリモート404の#1~#8に対応する局番、1099Cは通信時にエラーが発生したかどうか判別するためのCRCである。

【0070】1094は、S/P変換回路であり、シリアル/パラレル変換回路、FLAG識別回路、局番識別回路、CRCエラー判別回路などからなるHDLC受信用の回路ブロックである。1097は、前記S/P変換回路1094で8bitのパラレルデータに変換されたデータを、8つのラッチ回路1077に、次々と送るためのシフトレジスタである。1098は、実施例3と同様のコマンドレジスタである。1096は、クロックとデータの混合した受信シリアルデータよりクロック部分を分離するクロック分離回路である。機械入出力I/FリモートIC1100では、この分離したクロックを使用する。1087Bは、実施例3と同様のサンプリングクロック&シーケンス回路である。

【0071】図14は、機械入出力I/Fホスト107の詳細図である。1110は、機械入

出力 I / F ホスト IC であり，機械入出力 I / F ホスト 1 0 7 の主要機能を IC 化したものである。1 0 9 5 は，双方向シリアル I / F であり，機械入出力 I / F リモート 4 0 4 と接続され，シリアルデータの送受信を行う。

【0 0 7 2】1 0 9 3 は，P / S 変換回路であり，パラレル / シリアル変換回路，F L A G や相手側局番や C R C の挿入回路，データとクロックを混合する回路などからなる H D L C 送信用の回路ブロックである。1 0 9 9 A はシリアルデータの先頭を示す F L A G ，1 0 9 9 B は機械入出力 I / F リモート 4 0 4 の # 1 ~ # 8 に対応する局番，1 0 9 9 C は通信時にエラーが発生したかどうか判別するための C R C である。

【0 0 7 3】1 1 0 1 は，送信用レジスタファイルであり，図 1 2 の 8 個の機械入出力 I / F リモート 4 0 4 に対応して，8 個ある。各々の送信用レジスタファイル 1 1 0 1 には，図 1 3 の機械入出力 I / F リモート IC 1 1 0 0 の 8 個のラッチ回路 1 0 7 7 A およびコマンドレジスタ 1 0 9 8 に対応して，8 個のラッチ回路 1 0 7 7 およびコマンドレジスタ 1 1 0 2 がある。また，8 個のラッチ回路 1 0 7 7 およびコマンドレジスタ 1 1 0 2 のいずれかを選択するためのマルチプレクサ 1 1 1 1 を有している。1 1 0 3 は，8 個の送信用レジスタファイル 1 1 0 1 のいずれかを選択するためのマルチプレクサである。

【0 0 7 4】1 1 0 4 は，受信用レジスタファイルであり，図 1 2 の 8 個の機械入出力 I / F リモート 4 0 4 に対応して，8 個ある。各々の受信用レジスタファイル 1 1 0 4 には，図 1 3 の機械入出力 I / F リモート IC 1 1 0 0 の 8 個のラッチ回路 1 0 7 7 に対応して，8 個のラッチ回路 1 0 7 7 がある。

【0 0 7 5】1 0 9 4 A は，S / P 変換回路であり，シリアル / パラレル変換回路，F L A G 識別回路，局番識別回路，C R C エラー判別回路などからなる H D L C 受信用の回路ブロックである。1 0 9 7 は，前記 S / P 変換回路 1 0 9 4 A で 8 b i t のパラレルデータに変換されたデータを，8 つのラッチ回路 1 0 7 7 に，次々と送るためのシフトレジスタである。1 0 8 6 A は，前記送信用レジスタファイル 1 1 0 1 および前記受信用レジスタファイル 1 1 0 4 のラッチ回路 1 0 7 7 のいずれか 1 つを有効にし，他をハイインピーダンスにするデコーダ回路であり，C P U 1 0 1 で制御される。

【0076】図15は、機械入出力I/FホストIC1110のアドレスマップである。図16,図17は、通常モードでの送信データとコマンドモードでの送信データを表すタイムチャートである。図18は、受信データを表すタイムチャートである。図19は、送受信のデータの一例を表すタイムチャートである。

【0077】次に、数値制御装置1から機械入出力I/Fリモート404への出力動作について説明する。数値制御装置1のCPU101は、図15のアドレスマップに従い、機械入出力I/Fリモート#1の接点出力#1~#8から#71~#78までの64点の接点出力に出力したいデータを、\$8~F番地にライトする。また、機械入出力リモート#2の接点出力#1~#8から#71~#78までの64点の接点出力に出力したいデータを、\$18~1F番地にライトする。以下同様に、機械入出力リモートの接点出力に出力したいデータを、該当する番地にライトする。すると、これらのデータは、図14の送信用レジスタファイル1101のラッチ回路1077に書き込まれる。

【0078】送信用レジスタファイル1101のラッチ回路1077に書き込まれた64点×8接点出力のデータ(64Byte分)は、図16の送信データ(通常モード)のタイムチャートに従って送信される。すなわち、機械入出力I/FホストIC1110内部の制御回路(図示せず)に従い、リフレッシュ周期中に、マルチプレクサ1103は、送信用レジスタファイル#1~#8を選択する。また、選択された送信用レジスタファイル1101のMPX1111は、ラッチ回路#7~#0を順に選択する。MPX1111で順に選択されたラッチ回路#7~#0のデータ(図16のC列)は、P/S変換回路1093に送り込まれ、ここでFLAG1099A,局番1099B,CRC1099Cを付加され、パケット(図16のB列)に変換される。かくして、機械入出力I/Fリモート#1~#8へのパケット(図16のB列)が並んだシリアルデータ(図16のA列)が生成される。このシリアルデータ(図16のA列)は、双方向シリアルI/F1095を通過して、図12の機械入出力I/Fリモート#1~#8に送信される。

【0079】機械入出力I/Fリモート404では、送信されてきたシリアルデータ(図16のA列)が、図13の双方向シリアルI/F1095を通過して、機械入出力I/FリモートI

C 1 1 0 0に入力される。そして、S / P変換回路1 0 9 4に入力される。S / P変換回路1 0 9 4は、シリアルデータ(図1 6のA列)のF L A G , 局番, C R Cから判定して、自分の局番の packets (図1 6のB列)のみを取り出す。そして、その packets (図1 6のB列)のデータ(図1 6のC列)を取り出して、8 b i t × 8個の平行データに変換し、シフトレジスタ1 0 9 7に順に送る。シフトレジスタ1 0 9 7は、8 b i t × 8個のデータを保持した後、通常モードであるため、ラッチ回路# 7 ~ # 0に引き渡す。ラッチ回路1 0 7 7 Aは、ドライバ4 0 3 1を介して、接点出力4 0 3へ値を出力する。

【0 0 8 0】数値制御装置1から機械入出力I / Fリモート# 1 ~ # 8へのコマンドの送信動作は、図1 7に示すタイムチャートを用いるが、実質的には前述の数値制御装置1から機械入出力I / Fリモート# 1 ~ # 8への出力動作と同様にして行われる。機械入出力I / Fリモート4 0 4では、送信されてきたコマンドをコマンドレジスタ1 0 9 8にラッチし、サンプリングクロック&シーケンス回路1 0 8 7 Bに入力する。

【0 0 8 1】次に、機械入出力I / Fリモート# 1 ~ # 8から数値制御装置1への入力動作について説明する。図1 3の6 4点の接点入力# 1 ~ # 8から# 7 1 ~ # 7 8は、デジタルフィルタ# 1 ~ 8から# 7 1 ~ # 7 8でサンプリングされる。サンプリング周期はサンプリングクロック&シーケンス回路1 0 8 7 Bにより決められるが、図1 7のD列に示すコマンドにより、8個の接点入力毎に、調整モード、フィルタOFF、マニュアル設定等の制御が可能になっている。デジタルフィルタ# 1 ~ 8から# 7 1 ~ # 7 8でサンプリングされたデータは、ラッチ回路# 0 ~ # 7にラッチされる。ラッチ# 0 ~ # 7の出力は、図1 8のC列に示すように、ラッチ回路# 7 ~ # 0の順にマルチプレクサ1 1 0 3で選択され、P / S変換回路1 0 9 3に入力される。

【0 0 8 2】P / S変換回路1 0 9 3は、F L A G 1 0 9 9 A , 局番1 0 9 9 B , C R C 1 0 9 9 Cを付加して packets (図1 8のB列)を生成する。そして、その packets (図1 8のB列)を、双方向シリアルI / F 1 0 9 5を介して、シリアルBUSに送出する。ただし、図1 8のA列に示すように、リフレッシュ周期を8分割して各機械入出力I / Fリモート# 1 ~ # 8に割り当てており、各機械入出力I / Fリモート4 0 4は、自己に割り当てられた期間にパ

ケット(図18のB列)を送出する。

【0083】シリアルBUSに送出されたシリアルデータ(図18のA列)は、図14の双方向シリアルI/F1095を通過して、機械入出力I/FホストIC1110のS/P変換回路1094Aに入力される。S/P変換回路1094Aは、シリアルデータ(図18のA列)を各機械入出力I/Fリモート#1~#8のパケット(図18のB列)に分解し、そのFLAG、局番、CRCをチェックする。次に、各パケットを8bitごとのパラレルデータに変換し、シフトレジスタ1097に送る。シフトレジスタ1097は、8bit×8個のデータを保持した後、順に受信用レジスタファイル#1から#8のラッチ回路#0~#7に引き渡す。ラッチ回路1077のラッチしているデータは、データバスを介して、CPU101によりリードされる。

【0084】なお、図14のラッチ回路1077の出力を、適当なタイミングで、マルチプレクサ1103に入力すれば、エコーバック機能が可能になる。また、図16~図18では、送信データ、受信データがあたかも連続して送られているように図示されているが、実際には、データが衝突しないように、例えば図19のように交互に送信/受信が繰り返される。この制御は、機械入出力I/FホストIC1110および機械入出力I/FリモートIC1100の内部の制御回路(図示せず)により行われる。

【0085】以上により、CPU101のMPU1011は、機械入出力I/Fホスト107のレジスタファイル1001、1104をリード/ライトすることで、離れた場所に置かれた機械入出力I/Fリモート404に接続される接点入力402、接点出力403に対して、RAMへのアクセスと全く同じようにアクセスできることが判る。そこで、上記接点信号入力&出力回路の方式を、接点入出力リモートRAM方式という。(第9頁16欄~第11頁19欄)

上記甲第4号証の記載において、その段落0079に記載された(機械入出力I/FリモートICの)ラッチ回路#7~#0は、接点出力へ値を出力するのだから、出力用ラッチ回路ということができ、同じく、段落0081に記載された(機械入出力I/FリモートICの)ラッチ回路#0~#7は、接点入力からデータが入力されるのだから、入力用ラッチ回路ということができる。

また、図19等の記載によれば、機械入出力I/Fホスト（以下、「ホスト」という。）と機械入出力I/Fリモート（以下、「リモート」という。）間の通信は、送信の「パケットが一斉にサイクリックに自動的に送信」され、受信の「パケットが逐次にサイクリックに自動的に送信」されるとともに、ホストと複数のリモート間で「サイクリック自動通信方式」の通信が行われるものであるということが出来る。

また、ここで、ホストからリモートへ送信されるパケット、及びホストがリモートから受信するパケットは、それぞれ、「下りパケット」及び「上りパケット」ということが出来る。

すると、上記甲第4号証の記載及び添付図面によれば、上記甲第4号証には下記の発明（以下、「甲4発明」という。）が開示されていると認められる。

「1台のIC化されたホストと複数台のIC化されていてかつ自装置アドレス符号が設定されるリモートとがシリアル通信線を介して、相互接続されて構成され、上記ホストから上記リモート宛に、出力データの組み込まれた下りパケットを一斉にサイクリックに自動的に送信し、複数台のリモートの中から順次に択一的に選択される1台づつの上記リモートから上記ホスト宛に、入力データの組み込まれた上りパケットを逐次にサイクリックに自動的に送信するサイクリック自動通信方式のシステムであって、

上記ホストは、上記出力データと上記入力データとをそれぞれ読み取り可能に記憶する送信用レジスタファイル 1～8と受信用レジスタファイル 1～8と、上記下りパケットの送信と上記上りパケットの受信を制御する、ホストの内部の制御回路とから成り、

上記送信用レジスタファイル 1～8と受信用レジスタファイル 1～8は、i番目の下りパケットに組み込まれるi番目の出力データをi番目対応の送信用レジスタファイル iに読み取り可能に記憶し、i番目の上りパケットに組み込まれていたi番目の入力データをi番目対応の受信用レジスタファイル iに読み取り可能に記憶する送信用レジスタファイル 1～8と受信用レジスタファイル 1～8であり、

上記ホストの内部の制御回路及びリモートの内部の制御回路は、i-1番目のリモート宛のi-1番目の下りパケットの送信が完了してから、i-1番目の上りパケットを受信した後に、タイムチャートに従って、上記送信用レジスタファイル iから読み取られたi番目の出力

データと i 番目の局番とが組み込まれた i 番目の下りパケットをシリアル通信線経由で送信し、該 i 番目の下りパケットの送信の後に、i 番目のリモートに割り当てられた期間に、i 番目の入力データの組み込まれた i 番目の上りパケットを i 番目のリモートからシリアル通信線経由で受信し、該 i 番目の入力データを i 番目対応の上記受信レジスタファイル i に書き込むことを特徴とし、

上記リモートは、シリアル通信線経由で受信した上記 i 番目の下りパケットに組み込まれている i 番目の局番が自己の局番として設定されている i 番目の局番と一致するときに、上記 i 番目の下りパケットに組み込まれている i 番目の出力データを出力用ラッチ回路でのポート出力データとして出力するとともに、i 番目のリモートに割り当てられた期間に、入力用ラッチ回路からのポート入力データが i 番目の入力データとして組み込まれた上記 i 番目の上りパケットをシリアル通信線経由で送信することを特徴とし、さらに、

上記 i 番目対応の送信用レジスタファイル i に読み取り可能に記憶されている出力データのビット群の構成と上記出力用ラッチ回路から出力されるポート出力データのビット群の構成とが同一形態であり、上記 i 番目対応の受信レジスタファイル i に読み取り可能に記憶されている入力データのビット群の構成と上記入力用ラッチ回路から入力されるポート入力データのビット群の構成とが同一形態であり、

前記送信用レジスタファイル 1 ~ 8 と受信レジスタファイル 1 ~ 8 内のデータビット群が、前記複数のリモート毎に記憶ファイルを分割して設定したサイクリック自動通信方式のシステム。」

(4) 本件特許発明 1 と甲 4 発明の一致点及び相違点の認定について

「 a) 甲 4 発明の「シリアル通信線」、「ホスト」、「リモート」、は、それぞれ本件特許発明 1 の「デジタル通信回線 (3)」、「中央装置 (1)」、「端末装置 (2)」に相当することが明らかである。

b) 本件特許発明 1 の構成要件である「逐次にサイクリックに」等を踏まえれば、本件特許発明 1 では、1 台の端末装置を含むことを否定するものではないが、複数台の端末装置を前提にしていると解釈することが自然であるから、甲 4 発明の「複数台のリモート」と本件特許発

明1の「1台又は複数台の端末装置(2)」との間には、実質的に差異はない。

c) 甲4発明の「下りパケット」、「上りパケット」と、本件特許発明1の「コマンドパケット」、「レスポンスパケット」は、それぞれ、中央装置から端末装置への送信なのか、端末装置から中央装置への送信なのかという点からみて、「下りパケット」、「上りパケット」という点で一致する。

d) 甲4発明の「ホストの内部の制御回路」と本件特許発明1の「ステートマシーン」は、「通信制御手段」という点で一致する。

e) 甲4発明の「送信用レジスタファイル 1～8と受信用レジスタファイル 1～8」と本件特許発明1の「メモリ」は、「記憶手段」という点で一致する。

f) 甲4発明のi番目対応の「送信用レジスタファイル i」、i番目対応の「受信用レジスタファイル i」は、それぞれ本件特許発明1の「i番目対応の出力データ記憶領域」、「i番目対応の入力データ記憶領域」に相当することが明らかである。

g) 甲4発明の「出力用ラッチ回路」、「入力用ラッチ回路」、「局番」は、それぞれ本件特許発明1の「出力ポート(22)」、「入力ポート(21)」、「端末装置アドレス符号」に相当することが明らかである。

h) 甲4発明では、複数のリモート内の「出力用ラッチ回路」及び「入力用ラッチ回路」のビット群の構成と、ホスト内の送信用レジスタファイル及び受信用レジスタファイルのビット群の構成とを、それぞれ同一形態とする点、甲第4号証の段落0085に「接点入出力リモートRAM方式」旨、記載されている点を踏まえれば、甲4発明のシステムも「電子配線システム」であるということが出来る。

すると、本件特許発明1と甲4発明は、次の点で一致し、相違する。

(一致点)

「1台のIC化された中央装置と1台又は複数台のIC化されていてかつ端末装置アドレス符号が設定される端末装置とがデジタル通信回線を介して、相互接続されて構成され、上記中央装置から上記端末装置宛に、出力データの組み込まれた下りパケットを一斉にサイクリックに自動的に送信し、1台又は複数台の端末装置の中から順次に択一的に選択される1台づつの上

記端末装置から上記中央装置宛に，入力データの組み込まれた上りパケットを逐次にサイクリックに自動的に送信するサイクリック自動通信方式の電子配線システムであって，

上記中央装置は，上記出力データと上記入力データとを読み取り可能に記憶する記憶手段と，上記下りパケットの送信と上記上りパケットの受信とを，制御する通信制御手段とから成り，

上記記憶手段は， i 番目の下りパケットに組み込まれる i 番目の出力データを i 番目対応の出力データ記憶領域に読み取り可能に記憶し， i 番目の上りパケットに組み込まれていた i 番目の入力データを i 番目対応の入力データ記憶領域に読み取り可能に記憶する記憶手段であり，

上記通信制御手段は， $i - 1$ 番目の端末装置宛の $i - 1$ 番目の下りパケットの送信が完了してから， $i - 1$ 番目の上りパケットの受領期間が経過した後に，上記記憶手段の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目の下りパケットをデジタル通信回線経由で送信し，該 i 番目の下りパケットの送信が完了した後に， i 番目の入力データの組み込まれた i 番目の上りパケットを i 番目の端末装置からデジタル通信回線経由で受信し，該 i 番目の入力データを上記記憶手段の i 番目対応の入力データ記憶領域に書き込むことを特徴とし，

上記端末装置は，デジタル通信回線経由で受信した上記 i 番目の下りパケットに組み込まれている i 番目の端末装置アドレス符号が自己の端末装置アドレス符号として設定されている i 番目の端末装置アドレス符号と一致するときに，上記 i 番目の下りパケットに組み込まれている i 番目の出力データを出力ポートでのポート出力データとして出力するとともに，入力ポートからのポート入力データが i 番目の入力データとして組み込まれた上記 i 番目の上りパケットをデジタル通信回線経由で送信することを特徴とし，さらに，

上記記憶手段の i 番目対応の出力データ記憶領域に読み取り可能に記憶されている出力データのビット群の構成と上記出力ポートから出力されるポート出力データのビット群の構成とが同一形態であり，上記記憶手段の i 番目対応の入力データ記憶領域に読み取り可能に記憶されている入力データのビット群の構成と上記入力ポートから入力されるポート入力データのビット群の構成とが同一形態であり，

前記記憶手段内のデータビット群が、前記複数の端末装置毎に記憶手段領域を分割して設定したサイクリック自動通信方式の電子配線システム。」

(相違点 1)

分説 a について、端末装置アドレス符号が、本件特許発明 1 では外部から設定されるのに対し、甲 4 発明では、どこから設定されるか不明な点。

(相違点 2)

分説 a, b, d, e について、中央装置から端末装置宛の下りパケット、及び端末装置から中央装置宛の上りパケットの送信・受信が、本件特許発明 1 では、コマンドパケットとレスポンスパケットの組を含む通信方式(以下、「コマンド・レスポンス方式」という。)であるのに対し、甲 4 発明では、タイムチャートに従って送信される下りパケットと、自己の端末に割り当てられた期間に送信される上りパケットを含む時間同期方式である点。

(相違点 3)

分説 c, g について、記憶手段が、本件特許発明 1 ではメモリであり、端末装置毎に分割され、出力データ及び入力データ毎の記憶領域からなるのに対し、甲 4 発明では、端末装置毎に個別に設けられた出力データ用の送信用レジスタファイル 1 ~ 8 と、端末装置毎に個別に設けられた入力データ用の受信用レジスタファイル 1 ~ 8 のように個別のファイルからなる点。

(相違点 4)

分説 b について、通信制御手段が、本件特許発明 1 では「プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシーン」であるのに対し、甲 4 発明では、ホストの内部の制御回路である点。

(相違点 5)

分説 d について、通信制御手段が、本件特許発明 1 では「 $i - 1$ 番目の端末装置 (2) 宛の $i - 1$ 番目のコマンドパケットの送信が完了した直後に、又は、 $i - 1$ 番目のコマンドパケットの送信が完了してから、 $i - 1$ 番目のレスポンスパケットの受領期間が経過した直後に、上記メモリ (4) の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i

番目の端末装置アドレス符号とが組み込まれた i 番目のコマンドパケットをデジタル通信回線(3) 経由で送信し、該 i 番目のコマンドパケットの送信が完了した後に、 i 番目の入力データの組み込まれた i 番目のレスポンスパケットを i 番目の端末装置からデジタル通信回線(3) 経由で受信」するのに対して、

甲4 発明では「 $i - 1$ 番目の端末装置宛の $i - 1$ 番目の下りパケットの送信が完了してから、 $i - 1$ 番目の上りパケットを受信した後に、タイムチャートに従って、上記記憶手段の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目の下りパケットをデジタル通信回線経由で送信し、該 i 番目の下りパケットの送信の後に、 i 番目の端末装置に割り当てられた期間に、 i 番目の入力データの組み込まれた i 番目の上りパケットを i 番目の端末装置からデジタル通信回線経由で受信」するものの、本件特許発明1の「又は」の前段に係る構成を有していないとともに、「又は」の後段に係る構成では、本件特許発明1では、「コマンド・レスポンス方式」の通信により、引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信されるのに対し、甲4 発明では時間同期方式の通信により、引き続き下りパケットが先行する上りパケットの単に「後に」送信される点。」

(5) 相違点4, 5について

「...相違点4に係る本件特許発明1の「プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシーン」という構成によって、相違点5に係る本件特許発明1の構成のように制御されるのであるから、相違点4と相違点5は因果関係を有するものとして、一体的に検討することが必要である。

先ず、相違点4に関し、本件特許発明1の「ステートマシーン」に対比される甲4 発明の「ホストの内部の制御回路」について、これが、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」のかどうか検討すると、甲第4号証の段落0084では「実際には、データが衝突しないように、例えば図19のように交互に送信/受信が繰り返される。この制御は、機械入出力I/FホストIC1110および機械入出力I/FリモートIC1100の内部の制御回路(図示せず)により行われる。」と記載されるにとどまり、「プログラムによる通信制

御に基づかないで、回路の駆動で制御する」旨の記載は当段落及びその前後には見あたらない。

一方、前記調書において請求人は、「数値制御装置とリモートとのシリアル通信がCPUを必要としないとの根拠は、甲第4号証の段落0026の「第4」の記載が根拠である。」旨主張するので、段落0026を参照すると、そこには、「第4に、数値制御装置と操作ボードがシリアル通信線を通じて通信を行なうことを、CPUを必要とせずに可能にする信号入力回路を提供する。」旨、記載されている。

当該記載は、段落0026の冒頭からの「本発明は、上記問題点を解消するためになされたもので、第1に...、第2に...、第4に...」という記載の一部であるから、「上記問題点」を解消するためのものであることが明らかであるところ、段落0024に「また、数値制御装置とシリアル通信線を通じて通信を行なう操作ボードは、CPUを設けるため、ハードウェアが高価で複雑になる問題点があった。さらに、数値制御装置本体のCPUのソフトウェアが複雑になる問題点があった。」と「上記問題点」が指摘されている。更にその問題点が生じる背景として、段落0012に「一方、これらのコントローラを有しない場合は、機械操作ボード205のランプへの出力信号と同様に、シリアル通信線を通じて、操作ボード20に送信する。シリアル通信線で送信する場合は、通信のためのCPUを操作ボード20に設けるのが一般的である。」と記載されている。

この段落0024の記載によれば、CPUを設けるのは、操作ボードであり、更にその理由は、段落0012の記載によれば、数値制御装置と操作ボード間をシリアル通信で送信するからである。

よって、上記問題点を解消する段落0026の「第4」の「CPUを必要とせず」は、「操作ボードに必要とせず」の意味であることが明らかである。

一方、本件特許発明1の「プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシーン」は、中央装置側の構成、即ち、甲4発明でいえば、ホスト側の構成にあたる所、甲第4号証の例えば25頁の図20を参照すると、数値制御装置1側にCPU及びPLCメモリが明示されるように、ホスト側にCPUが存在することは明らかである。

そして、段落0008の「PLCメモリ102に書き込まれているコントロールプログラム」、

段落 0009 の「前記コントロールプログラムには、…（中略）…，操作ボード 20 の表示画面 201 に設定表示されたデータなどの処理を行う設定表示プログラム等がある。」，段落 0012 の「設定表示プログラムは，操作ボード 20 との間のインタフェースを受け持ち，…」等の記載によれば，数値制御装置側には，CPU，及び操作ボード 20 との間のインタフェースを受け持つ設定表示プログラムを記憶した PLC メモリが必要なことが明らかである。

この段落 0008 ～ 0012 の記載は，図 25 の従来技術に関するものであるが，例えば 25 頁の図 20 の実施例 5 においても，数値制御装置 1 側に操作ボード側との通信のためのインタフェースが必要であることに変わり無く，そのインタフェースを実行させるためのプログラムが PLC メモリに記憶され，前記ホスト（中央装置）側の CPU によって処理されると解釈することが自然である。

このように，甲第 4 号証の 25 頁の図 20 の実施例 5 では，ホスト側と操作ボードとの間のシリアル通信は，「プログラムによる通信制御に基づかないで，回路の駆動で制御」されるものではないから，当該図のとおり，操作ボードと共通の通信線を使用する複数のリモートと，ホスト側との間のシリアル通信もまた，「プログラムによる通信制御に基づかないで，回路の駆動で制御」されるものではないことが自明である。

以上により，甲第 4 号証の段落 0026 の「第 4」の記載は，操作ボードに CPU を必要としないことを指すものの，数値制御装置側に CPU を必要としないことを指すものではなく，また，このように操作ボードに CPU を設けない場合であっても，数値制御装置側と操作ボードとの間の通信のためのインタフェース，及びそのインタフェースを実行させるためのプログラムが数値制御装置側に必要なことには変わりはないから，甲第 4 号証のホスト側に「プログラムによる通信制御に基づかないで，回路の駆動で制御するステートマシーン」が開示されているという請求人の主張には根拠が無いというほかはない。

また，甲第 4 号証の記載全体を参照しても，中央装置と端末装置間を「プログラムによる通信制御に基づかないで，回路の駆動で制御する」旨の記載や示唆は，何処にも見あたらない。

次に，相違点 5 に関し検討するに，口頭審理の陳述要領で請求人が主張する「又は」の後段に係る構成について先に述べれば，前記のとおり，本件特許発明 1 では，「コマンド・レスポ

ンス方式」の通信により，引き続きコマンドパケットが，先行するレスポンスパケットの「直後に」送信されるのに対し，甲4発明では時間同期方式の通信により，引き続き下りパケットが先行する上りパケットの単に「後に」送信される点で相違するところ，このうち，時間同期方式に代えてコマンド・レスポンス方式を採用し，相違点2に係る本件特許発明1のように構成することは，前記「相違点2について」で述べたように当業者が容易になし得ることである。

一方，「引き続きコマンドパケットが，先行するレスポンスパケットの「直後に」送信される」における「直後に」は，技術的にどの程度「直後」の意味なのかについて，その技術的意義を把握するため，口頭審理の調書に記載されたとおり，本件特許の明細書の段落0098～0100，0118の記載を参照すると，そこに，

「【0098】本発明に係るサイクリック自動通信による電子配線システムを上記のようにフルデュプレックス方式で動作させた場合の全体動作に要する時間は下記のように極めて小さなものとなる。即ち，プログラムを駆動させるマイクロプロセッサを介さないで回路の駆動制御により通信制御をするため，マイクロプロセッサの処理能力に依存しないで処理スピードを上げ，伝送レートを上げることができる。

【0099】例えば，データ伝送レートが12Mbpsであるとすれば，例えば51ビットからなる1フィールドのコマンドパケット及びレスポンスパケットの送信所要時間は，

$$(1/12\text{Mbps}) \times 51\text{ビット} = 4.25\mu\text{sec}.$$

となる。従って，例えば，4個の端末装置2の全体の動作所要時間は，

$$4.25\mu\text{sec} \times 4\text{フィールド} = 17\mu\text{sec}.$$

となる。

【0100】通常のコンピュータ制御における入出力の実用動作速度は1ms程度であることから，上記17μsecの動作速度は，伝送時間が殆どゼロであるといっても過言ではないような極めて速いものである。」

「【0118】ハーフデュプレックス方式の通信における端末装置2の動作は，フルデュプレックス方式と同じであるが，中央装置1は，図13に示すように，送信時間中は受信をしない。従って，ハーフデュプレックス方式での通信所要時間はフルデュプレックス方式の

場合の2倍となるが、送信と受信とに共通の通信線を使用することができるので、デジタル通信回線3は2本の電線に省配線化される。」旨、記載されている。

上記記載の内、段落0118の記載が、本件特許発明1の「又は」の後段に係るもの（ハーフデュープレックス）であるところ、その記載によれば、中央装置は送信時間中は受信しないものの、端末装置の動作はフルデュープレックス方式と同じであるとされており、第14頁の図13を参照すると、4つのコマンドパケットと4つのレスポンスパケット全体の所要時間が「 $(1/12\text{Mbps}) \times 51\text{ビット} \times 8\text{フィールド} = 34\mu\text{sec}.$ 」であることが明示されている。

当該記載によれば、「又は」の後段の「直後に」は、この $34\mu\text{sec}$ の時間に対し無視できる程度の時間であって、通常のコンピュータ制御における入出力（プログラムによる通信制御に基づくものと解釈される）の実用動作速度が 1msc 程度であるのに比較し、特段の高速性を持ってコマンド・レスポンスの送受信を繰り返すという技術的意義を有すると解することが相当である。そして、この高速性は、前記段落0098の記載によれば、プログラムによる通信制御では実現できず、回路の駆動で制御されて初めて、得られるものであることが明らかである。

一方、甲第4号証には、このような技術的意義を有する「直後に」の記載及び示唆は何処にも見あたらないばかりか、甲4発明は時間同期方式に係るものであり、タイムチャートに従って下りパケットを送信し、自己の端末に割り当てられた期間に上りパケットを送信する方式であるところ、前記「相違点2について」で述べたように、この甲4発明のものを、周知のコマンド・レスポンス方式で置き換えることは当業者が容易になし得るものであるものの、前記したとおり、甲第4号証には、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」通信制御手段の記載や示唆は、何処にも見あたらないのだから、置き換えられたコマンド・レスポンス方式の通信において、更に、上記技術的意義を有する「引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信される」点についてまで開示があるということはできないばかりか、容易になし得るものということもできない。

続いて、「又は」の前段に係る相違点5の構成について検討すると、これがフルデュープレッ

クス（全二重）の通信方式であるところ、「フルデュプレックス（全二重）の通信方式」それ自体は、周知であり、この周知技術を甲第4号証に記載された発明に適用することは容易になし得るといえなくもないが、「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点のうちの「直後に」の構成については、前記「又は」の後段に係る構成で述べたことと同様で、前記段落0100に記載された「17 μ s e c .」の時間に対し無視できる程度の時間であって、通常のコンピュータ制御における入出力（プログラムによる通信制御に基づくものと解釈される）の実用動作速度が1 m s e c 程度であるのに比較し、特段の高速性を持ってコマンド・レスポンスの送受信を繰り返すという技術的意義を有することが明らかである。そして、この高速性は、前記段落0098の記載によれば、プログラムによる通信制御に基づかないで、回路の駆動で制御される結果、得られるものであることが明らかである。

前記周知の「フルデュプレックス（全二重）の通信方式」は、このような技術的意義を有する「直後に」の構成を含めて周知ということはできず、また、この特段の高速性は、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」通信制御手段の構成を有しない周知技術から容易になし得るものでもない。

以上により、甲第4号証には、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」通信制御手段の点、及びコマンド・レスポンス方式の通信において、前記技術的意義を有する「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」の前段）、又は「引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信される」点に係る構成（「又は」の後段）については、開示も示唆もなく、また、容易になし得るものでもないということが相当である。

次に、甲第4号証以外について、当該相違点に係る構成の開示があるかどうか検討する。

前記無効審判請求書の第81頁の記載によれば、請求人は、本件特許発明1の分説bの「プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシーン」という構成、及びコマンド・レスポンス方式の通信において、前記技術的意義を有する「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」

の前段), 又は「引き続くコマンドパケットが, 先行するレスポンスパケットの「直後に」送信される」点に係る構成(「又は」の後段)について(分説dの構成)は, 甲第4号証~甲第6号証, 甲第8号証, 及び甲第9号証に開示があると主張するので, 前記のとおり検討済みの甲第4号証を除き, 甲第5号証から順に検討する。

(甲第5号証について)

請求人は, 陳述要領書に添付した「甲第5号証比較対照(「象」は誤りと認定)表」の第6~7頁で, 「プログラムによる通信制御に基づかないで,」は, 甲第5号証の段落0017の「OS505は, シリアル伝送インタフェース回路540に伝送指令を行ってから, 伝送の終了が通知されるまで, シリアル伝送情報処理装置に一切関与しない。», 及び段落0012の「中央制御部501のオペレーティングシステム(以下, OSと称する)505」の記載を根拠として, 甲第5号証に記載されたものであると主張する。

そこで甲第5号証の記載を検討すると, 段落0017によれば, 「OS505は, シリアル伝送インタフェース回路540に伝送指令を行ってから, 伝送の終了が通知されるまで, シリアル伝送情報処理装置に一切関与しない。」のであるが, 一般にコンピュータの分野において, OS(オペレーティングシステム)は, 基本プログラムであって, 通常, その基本プログラムの上で稼働されるアプリケーションプログラムが備えられることが周知慣用である。

従って, OSは関与しないものの, 明示のないアプリケーションプログラムが関与する可能性が否定できない。そして, OSが関与しないシリアルインターフェース回路の処理とは, 段落0012によれば, 「送信バッファ503-Sのコマンド部が「実行」であるとシリアル伝送を実行し, 送信バッファ503-Sのコマンド部が「停止」となるまで連続して伝送を行い, 上記「停止」をフェッチすることにより, OS505へ伝送の終了を通知する」というものであるところ, 「コマンド部が「実行」であると, ...», や「コマンド部が「停止」となるまで...」というように, コマンド部の内容を解釈して分岐する処理は, プログラムにより処理されることが周知慣用であるほか, 「フェッチすることにより, OS505へ伝送の終了を通知する」というフェッチの手法は, マイクロプロセッサを使った処理で周知慣用であることに照らせば, OSが関与しないシリアルインターフェース回路の処理は, むしろプログラムによるものであ

ることが示唆されると言うべきである。

また、甲第5号証の他の記載部分や図面を参照しても、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」旨の記載や示唆は見あたらない。

次に、相違点5に係る本件特許発明1の構成については、甲第5号証の例えば段落0014の「この伝送交換方式は、一般にポーリング・セフ（フはレクの間違いか）ティング方式」の記載からみて、コマンド・レスポンスの方式の通信について開示があると認められるとともに、同様に、例えば段落0016の「I/O装置520-2は、直ちに送出データ（装置番号「Y」と入力データ）の伝送フレーム611-2を送出し、」の記載からみて、コマンドパケット送信後、直ちにレスポンスパケットを送出することの記載はあるものの、「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」の前段）、又は「引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信される」点に係る構成（「又は」の後段）については、何れも記載が見あたらない。

そして、仮に、甲第5号証において、前記「又は」の後段のような構成が読み取れるとしても、甲第5号証には、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」について開示がないのであるから、本件特許発明1の前記技術的意義を有する「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」の前段）、又は「引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信される」点に係る構成（「又は」の後段）については、何れも開示や示唆があるということとはできない。

よって、甲第5号証には、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」通信制御手段の点、及びコマンド・レスポンス方式の通信において、前記技術的意義を有する「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」の前段）、又は「引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信される」点に係る構成（「又は」の後段）については、開示も示唆もないということが相当である。

（甲第6号証について）

請求人は、陳述要領書に添付した「甲第6号証比較対照（「象」は誤りと認定）表」の第7～9頁で、本件特許発明1の「プログラムによる通信制御に基づかないで、」及び「回路の駆動で制御するステートマシン」の構成に対し、甲第6号証の第2頁左下欄第15～20行の「従って、本発明のデータ伝送方式では、最初に中央処理装置がスタート信号を発生するのみで、その後は全て送信制御、受信制御、および送受信DMAが行なわれることにより、データ伝送は中央処理装置とは無関係に行なうことができ、もってデータ転送を高速に行なうことが可能となる。」旨の記載を引用し、更にDMAは「CPUが管理しているメモリに対し、CPUの機能を使うことなく、独自に、直接メモリとのやり取りを行う手法、もしくはそのような機能を持つ回路を指す。」旨、主張する。

同様に請求人は、「先のレスポンスパケットの受領期間が経過した直後に次のコマンドパケットを送信する」点について、「甲第6号証比較対象表」の第11～12頁で、甲第6号証の第3頁右下欄9行～第4頁左上欄7行、及び第4頁右上欄4行～10行目を引用する。

そこで、検討すると、前記記載のほか、甲第6号証の第5頁左上欄9～14行に「以上説明したように本発明によれば、1対N構成で親局のみ送信権を有しているポーリング伝送方式において、中央処理装置を介在することなくデータを伝送することができ、もって高速にデータ伝送を行なうことが可能なデータ伝送方式が提供できる。」旨、記載されているから、コマンド・レスポンス方式の通信が開示されているといえることができる。

そして、甲第6号証のDMAがプログラムを使わないかどうかは、甲第6号証には明示がなく、また、口頭審理陳述要領の作成にあたり、当審査議体は、請求人に対し、DMAがプロセッサを有さない根拠を求めたところ、その回答が無いのであるが、古い年代のDMAを中心に、プログラムを使わないで処理することは知られているから、甲第6号証のDMAは「プログラムによる通信制御に基づかないで、回路の駆動で制御する」通信制御手段であるといえなくもない。

しかし、甲第6号証のものは、その第3頁右上欄6行～右下欄6行の記載、及び第4頁右上欄11行～左下欄16行の記載によれば、子局（端末装置に相当）にも受信DMAと送信DMA、及びメモリが備えられているところ、請求人が述べるように「CPUが管理しているメモ

りに対し、CPUの機能を使うことなく、独自に、直接メモリとのやり取りを行う」旨の記載によれば、子局（端末装置に相当）にもメモリ管理のためのCPUの存在が示唆される。また、第4頁右上欄2～4行の「また、上記比較部16での比較結果、両者が一致していなければ応答無しとして、子局同士の伝送終了を監視する。」旨の記載によれば、甲第6号証では、子局（端末装置に相当）同士の送受信を可能とするものであるところ、そのためには、子局内にもメモリアクセス用のCPUが必要となることは通常であるから、この点から見ても、子局（端末装置に相当）にもCPUの存在が示唆されるのである。

したがって、端末装置の構成は中央装置の構成と基本的に変わらず、簡素化とはおよそかけ離れた構成を有するものである。

一方、甲4発明では、前記したとおり、端末装置にCPUを設けず、その構成を簡素化することが目的・効果である（例えば、甲第4号証の段落0023～0026や0093参照）ところ、このような甲4発明に対し、当該甲第6号証のように、端末装置に複数のDMAを備え、CPUの存在も示唆されるという、簡素化とはおよそかけ離れた構成のものを適用することは、当業者にとって思いもよらないことであり、適用に動機付けがないというべきである。

更にいえば、甲第6号証の第1頁左下欄の「2．特許請求の範囲」の「この送信の際に予め設定された自局アドレスと前記送信フレーム上の送信元局アドレスとを比較して、この結果両者が一致している場合には子局からの応答待ち状態となるようにし、また両者が一致していない場合には応答無しとして伝送ラインの空き待ち状態となるように受信時の診断切換えを行ない」旨の記載、「一方子局側では、前記親局からの伝送フレームフォーマット上の送信元局アドレスと送信先局アドレスとを交換して、当該伝送フレームフォーマット上の送信元局アドレスが親局であるか否かを判別し、」旨の記載、及び第4頁右上欄2～4行の「また、上記比較部16での比較結果、両者が一致していなければ応答無しとして、子局同士の伝送終了を監視する。」旨の記載によれば、甲第6号証では、親局は「受信時の診断切換え」を備え、条件によって、伝送ラインの空き待ち状態となる一方、子局側でも、送信元局が親局であるか否かを判別した上で、子局同士の送受信を可能とするものであるから、DMAによって高速にデータ伝送を行なうことができるとしても、本件特許発明1のように、中央装置と複数の端末装置の間を

コマンド・レスポンス方式で逐次にサイクリックに自動的に送受信するというような、中央装置と複数の端末装置の間の通信のみに特化し、コマンド・レスポンス通信の特段の高速化を求めるものとは、構成のみならず、発明が解決する課題、目的、効果においても、相違することが明白である。

よって、この点から見ても、甲4発明に対し、当該甲第6発明を適用することは、思いもよらないことであり、適用に動機付けがないというべきである。

また、仮に、甲6発明を甲4発明に適用したとしても、その場合、甲4発明の出力用ラッチ回路及び入力用ラッチ回路を、甲6発明の子局のメモリで置換えることが自然であるほか、子局（端末装置）同士の送受信を可能にするための診断切り替え手段を備えることとなるが、この場合、本件特許発明1の出力ポート及び入力ポートの構成、及び当該ポートからデータを入出力するための構成が欠落してしまうとともに、メモリの記憶構造も、子局同士の通信のため本件特許発明1のものと異なったものにならざるを得ず、また、余分な構成も発生する。

よって、本件特許発明1は、単にその適用に甲4発明に甲6発明を適用しただけでは構成できず、更に相違を埋めるための創意工夫を要するものであるから、本件特許発明1は甲4発明に甲6発明を適用して、容易になし得るものとは言えない。

以上により、甲第6号証に記載されたものは、甲4発明に適用することは、思いもよらないことであり、動機付けがないというべきである。また、仮に適用したとしても、更に相違を埋めるための創意工夫を要するものであるから、本件特許発明1を容易に想到し得るものということとはできない。

（甲第8号証について）

請求人は、陳述要領書に添付した「甲第8号証比較対照（「象」は誤りと認定）表」の第2 / 6頁で、本件特許発明1の「プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシン」の構成に対し、甲第8号証の第2頁右上欄第15～18行の「中央処理ユニット1はあらかじめ設定されているプログラムに従って親局2からの入力データに演算処理を施して出力データを生成する。」旨の記載を引用し、「この記載から、中央処理ユニット1は親局1が収集した各子局の入力データをもとに、各子局の出力データを演算することが主な

作業であることがわかる。実際の通信制御は親局により自動的に行われていることとなる。」旨、主張する。

同様に請求人は、「先のレスポンスパケットの受領期間が経過した直後に次のコマンドパケットを送信する」点について、「甲第8号証比較対象表」の第3/6頁で、甲第8号証の第2頁左上欄12行、第3頁左下欄3行、及び第3頁右下5～15行を引用する。

そこで、検討すると、甲第8号証には、前記「相違点2について」で述べたように、「親局と複数の子局を伝送線路で接続し、親局から子局宛てに出力データを送信し、そのアドレスが一致しているときに、その子局から親局宛てに入力データを送信するポーリングを、複数台の子局に対し順次にサイクリックに行う通信方式。」という発明（甲8発明）が開示されている（再掲）ので、コマンド・レスポンスの方式の通信について、開示があると認められる。

そして、請求人は、前記陳述要領書において、親局において「プログラムによる通信制御に基づかないで、回路の駆動で制御する」ことの根拠は、甲第8号証の第2頁右上欄第15～18行の「中央処理ユニット1はあらかじめ設定されているプログラムに従って親局2からの入力データに演算処理を施して出力データを生成する。」旨の記載であると主張する。

しかし、当該記載は、親局と子局間の通信において、プログラムを使用しないことについて何ら開示や示唆をするものではないから、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」ことの根拠として採用できない。また、甲第8号証の記載及び図面全体を見ても、親局において「プログラムによる通信制御に基づかないで、回路の駆動で制御する」ことについて記載も示唆も見いだすことができない。

むしろ、甲第8号証の第1頁右下欄12～20行の記載、とりわけ12～13行の「この種のプログラマブルコントローラの遠隔入出力システムとして、第1図のような構成のものが知られている。」、及び第1図により、プログラマブルコントローラ本体Aの中に中央処理ユニット1と親局2の双方が含まれる点を踏まえれば、親局2もプログラムで制御されると解釈することが自然である。

また、コマンド・レスポンス方式の通信において、前記技術的意義を有する「引き続くコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」

の前段),又は「引き続くコマンドパケットが,先行するレスポンスパケットの「直後に」送信される」点に係る構成(「又は」の後段)については,開示も示唆もないということが相当である。むしろ,第2図を見る限り,先のレスポンスパケットと次のコマンドパケットの間には所定の空隙が設けられているところである。

よって,甲第8号証には,「プログラムによる通信制御に基づかないで,回路の駆動で制御する」通信制御手段の点,及びコマンド・レスポンス方式の通信において,前記技術的意義を有する「引き続くコマンドパケットが,先行するコマンドパケットの「直後に」送信される」点に係る構成(「又は」の前段),又は「引き続くコマンドパケットが,先行するレスポンスパケットの「直後に」送信される」点に係る構成(「又は」の後段)については,開示も示唆もないということが相当である。

(甲第9号証について)

請求人は,陳述要領書に添付した「甲第9号証比較対照(「象」は誤りと認定)表」の第1/6頁で,本件特許発明1の「プログラムによる通信制御に基づかないで,回路の駆動で制御するステートマシン」の構成に対し,甲第9号証の段落0012,及び段落0015の記載を引用し,「さらに「サイクリックスキャン伝送」は,通常サービス手段41により実行され,制御演算部1に負担をかけることはない。」旨,主張する。

同様に請求人は,「先のレスポンスパケットの受領期間が経過した直後に次のコマンドパケットを送信する」点について,「甲第9号証比較対照表」の第3/6頁で,甲第9号証の段落0015の記載を引用する。

そこで,検討すると,甲第9号証の第2頁請求項1の「制御演算を担当する制御演算部と,この制御演算部にリモート入出力バスを介して結ばれるリモート入出力装置とで構成され,通常の状態ではリモート入出力バスを用いて,制御演算部が扱う入出力データとリモート入出力装置側の入出力データとが等しく維持されるようにするための,サイクリックスキャン伝送が行われている」という記載からみて,コマンド・レスポンスの方式の通信について示唆があると言えなくもない。

そして,請求人は,前記陳述要領書において,親局において「プログラムによる通信制御に

基づかないで、回路の駆動で制御する」ことの根拠は、甲第9号証の段落0012、及び段落0015の記載であると主張するが、当該段落の記載を参照しても、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」ことの記載は見あたらない。

一方、甲第9号証の段落0013に「4はリモート入出力バスBSの伝送を制御する伝送制御部である。この伝送制御部において、41は通常の制御運転状態においてリモート入出力バスBSを用いて、制御演算部1が扱う入出力データと、リモート入出力装置側の入出力データとが等しく維持されるようにするための、サイクリックスキャン伝送を行うための通常伝送サービス手段、42は先ずはじめに緊急に出力する伝送のみを行い、それが完了したら通常のサイクリックスキャン伝送サービスを行う継続伝送サービス手段、43は先ずはじめに入力のためのサイクリックスキャン伝送のみを行う初期化スタート伝送サービス手段である。これらの各手段は、いずれも伝送制御用のマイクロプロセッサによって実現される。」旨の記載によれば、「サイクリックスキャン伝送を行うための通常伝送サービス手段」は、「伝送制御用のマイクロプロセッサによって実現される」旨、明記されているのだから、甲第9号証では、サイクリックスキャン伝送はむしろ、「プログラムによる通信制御に基づく」と解釈すべきである。

また、コマンド・レスポンス方式の通信において、前記技術的意義を有する「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」の前段）、又は「引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信される」点に係る構成（「又は」の後段）については、甲第9号証の記載及び図面全体を参照しても、記載も示唆も見いだすことができない。

よって、甲第9号証には、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」通信制御手段の点、及びコマンド・レスポンス方式の通信において、前記技術的意義を有する「引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」の前段）、又は「引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信される」点に係る構成（「又は」の後段）については、開示も示唆もないということが相当である。」

(6) 相違点についてのまとめ

「...本件特許発明 1 と上記甲第 4 号証，甲第 1 号証～甲第 3 号証，甲第 5 号証，甲第 8 号証，甲第 9 号証に記載の発明及び周知技術と対比すると，これらの甲号証及び周知技術には，前記相違点 4，5 に係る構成，即ち，本件特許発明 1 を特定する事項である「プログラムによる通信制御に基づかないで，回路の駆動で制御する」通信制御手段の構成，及びコマンド・レスポンス方式の通信において，前記技術的意義を有する「引き続きコマンドパケットが，先行するコマンドパケットの「直後に」送信される」点に係る構成（「又は」の前段），又は「引き続きコマンドパケットが，先行するレスポンスパケットの「直後に」送信される」点に係る構成（「又は」の後段）については，開示も示唆もない。

また，甲第 6 号証には，前記本件特許発明 1 を特定する事項について示唆があるといえなくもないが，前記のとおり，甲 4 発明に適用することは，思いもよらないことであり，動機付けがないというべきである。また，仮に，適用したとしても，なお散見される相違点を埋めるための創意工夫を要するものであるから，本件特許発明 1 を容易に想到し得るものとはいえない。

そして，当該本件特許発明 1 を特定する事項により，本件特許発明 1 は，これら甲号証に記載された発明，及び周知技術が奏しえない顕著な効果を奏するものである。

よって，本件特許発明 1 は，前記甲第 4 号証，甲第 1 号証～甲第 3 号証，甲第 5 号証，甲第 6 号証，甲第 8 号証，甲第 9 号証に記載のものから容易に発明をすることができたものとはいえない。」

(7) 本件特許発明 2，3 について

「本件特許発明 2，3 について対比・判断すると，...請求項 2，3 はそれぞれ請求項 1（本件特許発明 1）の従属項である。そして，...上記本件特許発明 1 が甲第 4 号証，甲第 1 号証～甲第 3 号証，甲第 5 号証，甲第 6 号証，甲第 8 号証，甲第 9 号証に記載のもの及び周知技術に基いて当業者が容易に発明をすることができたものとする事はできないのだから，本件特許発明 1 に更に限定の要件を付加した本件特許発明 2，3 は，甲第 7 号証について検討するまでもなく，甲第 4 号証，甲第 1 号証～甲第 3 号証，甲第 5 号証～甲第 9 号証に記載のもの及び周知技術に基いて当業者が容易に発明をすることができたものではないことが明らかである。

したがって，本件特許の請求項 1 ないし 3 に係る発明は，甲第 4 号証，甲第 1 号証～甲第 3

号証，甲第5号証～甲第9号証に記載された発明及び周知技術に基いて当業者が容易に発明をすることができたものということとはできない。」

第3 審決取消事由の要点

1 取消事由1（訂正の適否についての判断の誤り）

審決は，本件訂正について，本件異議時訂正を前提として訂正要件を判断しているところ，そもそも本件異議時訂正は，構成要件の一部である「端末装置は端末アドレス設定機能を有する」との規定を削除したものであり，特許請求の範囲の減縮を目的とするものではなく，かつ，実質上特許請求の範囲を拡張し，又は変更するものであるというべきであるから，訂正要件を満たさない。したがって，これを前提とする本件訂正も違法であり，本件訂正を認めた審決の判断は誤りである。

また，本件訂正は当初クレームとの関係でも訂正要件を満たしていないというべきであり，この点の審決の判断は誤りであるが，このような訂正が違法であることは本件異議時訂正を認めたことに原因があり，本件特許は特許法123条1項8号に基づいて無効とされるべきである。

2 取消事由2（相違点として相違点4及び5を認定した誤り）

審決は，本件特許発明1と甲4発明との相違点4（通信制御手段が，本件特許発明1では「プログラムによる通信制御に基づかないで，回路の駆動で制御するステートマシン」であるのに対し，甲4発明では，ホストの内部の制御回路である点。）に関し，甲第4号証25頁図20によれば，ホスト側にCPUが存在することは明らかであり，ホスト側と操作ボードとの間のシリアル通信は，「プログラムによる通信制御に基づかないで，回路の駆動で制御」されるものではないと判断している。

しかしながら，図20の制御ユニット10の中にはCPUが存在するが，中央装置たる機械入出力I/Fホスト内にCPUが存在するわけではなく，制御ユニット10の中のCPUは，中央装置（機械入出力I/Fホスト）内のRAMをリード/ライトし，そのデータを管理しているにすぎない。また，ホストICは，通信制御に関し，審決がCPUによって制御されていないと認定しているリモートICとほ

ば同様の構成を有し、同様の機能を果たしているものであり、ホストICはCPUによって通信制御されているものではない。このようにホストIC及びリモートICの両者がCPUによって通信制御されていないのであるから、この両者間のシリアル通信は「プログラムによる通信制御に基づかないで、回路の駆動で制御」されるものである。また、甲第4号証には「また、機械入出力I/FホストIC1110は、サーボAMP30の通信I/F回路307（図28）としても使用する」との記載があり（12頁左欄15～17行）、中央装置用のICは、サーボAMPの中にあつて、図24によればリモート装置と同様の通信I/Fとして機能し、審決も認定するとおり、リモート装置にはCPUは存在しないのであるから、リモート装置と同様の機能を果たすサーボAMP内の中央装置用ICにおいてもCPUを必要としないというべきである。そうすると、甲第4号証にはステートマシーンによる通信制御に関して開示があるというべきであるから、相違点4を認定した審決の判断は誤りである。

そして、相違点4を認定したことが誤りである以上、甲4発明はプログラムによる通信制御に基づかないで、回路の駆動で制御されるものであり、甲4発明においても、時間同期方式の通信により、引き続く下りパケットが先行する上りパケットの「直後に」送信されるというべきであるから、相違点5を認定した審決の判断も誤りである。

3 取消事由3（相違点4及び5についての判断の誤り）

(1) 仮に相違点4が認定されたとしても、甲第4号証には「また、機械入出力I/FホストIC1110は、サーボAMP30の通信I/F回路307（図28）としても使用する」との記載があり（12頁左欄15～17行）、中央装置用のICは、サーボAMPの中にあつて、図24によればリモート装置と同様の通信I/Fとして機能し、審決も認定するとおりリモート装置にはCPUは存在しないのであるから、リモート装置と同様の機能を果たすサーボAMP内の中央装置用ICにおいてもCPUを必要としないというべきである。

このように甲第4号証にはステートマシーンによる通信制御に関して上記のような示唆があるから、この示唆に基づいて、当業者が甲第4号証に記載された発明に周知のステートマシーン又は甲第6号証の「従って、本発明のデータ伝送方式では、最初に中央処理装置がスタート信号を発生するのみで、その後は全て送信制御、受信制御、および送受信DMAが行なわれることにより、データ伝送は中央処理装置とは無関係に行なうことができ、もってデータ転送を高速に行なうことが可能となる。」(2頁左下欄15～20行)との記載を適用して、相違点4に係る構成とすることは容易である。

そして、上記2のとおり、甲4発明において、ステートマシーンによる通信制御を行うことにより、時間同期方式の通信により、引き続く下りパケットが先行する上りパケットの「直後に」送信されることになるから、当業者が甲4発明に基づいて相違点5に係る構成とすることは容易である。

(2) 被告の反論に対する再反論

ア 被告は、甲第19号証には通信制御をハードウェアによって実現したことが示されているが、ハードウェアとはプログラムに従って所定の処理・制御を行うものであるから、甲第19号証には「プログラムによる通信制御に基づかないで、回路の駆動により制御するステートマシーン」についての開示があるとはいえないと主張するが、同号証にいう「ハードウェア」とは、ステートマシーン、すなわち一連の動作を固定できる回路と同義であるから、同号証には、通信制御をプログラムではなくステートマシーンにより行う構成が開示されているというべきであり、被告の主張は失当である。

イ 被告は、甲4発明は、2以上の連続するサンプリング結果が一致したときに真正出力とするものであって、信頼性の高いデータの送信が重視されているのであるから、このような機能を除外して通信の高速化を検討することは動機付けられないし、仮に高速化を検討したとしても、甲4発明ではCPUを用いた通信制御を行っているため、そのための処理時間が発生し、「直後に」との構成とはならないと主

張するが、甲4発明はチャタリング除去のためにデジタルフィルタを設けているのであり、これをOFFにする機能があることも記載されており、甲4発明はCPUを用いた通信制御を行っているものでもないので、被告の主張はいずれも前提を誤っている。

また、被告は、甲4発明の通信システムは、サンプリング周波数を可変にしたり、端末装置に係るパケット長とは異なる長さのパケット長のパケットを扱うサーボAMPを用いるなどの構成を採用しており、これらの構成を備えたまま通信制御を簡素化することは困難であるから、甲4発明に甲第19号証に記載された周知技術を適用することには阻害要因があると主張するが、上記周知技術の適用に当たって甲第4号証に記載されたすべての構成を前提とする必要はないから、被告の主張は失当である。

なお、被告は、甲4発明は時間同期方式を採用することにより、メモリ又はレジスタファイルに対して複数の手段からアクセスすることを抑止しているところ、このような通信システムをコマンドレスポンス方式に「プログラムに基づかないで、回路の駆動で制御するステートマシーン」と「直後に」という構成を採用して通信を高速化すると、CPU等がパケットの送受信のタイミングを避けてメモリにアクセスすることは一層困難となるから、この観点からも、甲4発明に甲第19号証の周知技術を適用することには阻害要因があるといえると主張するが、同時アクセスを抑止するための他の手段は周知技術として存在しており、被告の主張は失当である。

ウ 被告は、甲4発明は、2以上の連続するサンプリング結果が一致したときに真正出力とすることにより信頼性の高いデータを送信するという機能を重視するものであるため、測定対象が高速で動いている場合に適用できないのに対して、高速通信が可能な本件発明においては容易に適用できるという有利な効果があると主張するが、本件特許発明1においてサンプリングに関する限定は存在しないのであるから、被告の主張には根拠がないというべきである。

(3) したがって、相違点4及び5に係る構成とすることについて当業者が容易に想到し得るものとはいえないとした審決の判断は誤りである。

第4 被告の反論の要点

1 取消事由1（訂正の適否についての判断の誤り）に対して

本件特許の請求項1の（分説e）には、「上記端末装置（2）は、デジタル通信回線（3）経由で受信した上記i番目のコマンドパケットに組み込まれているi番目の端末装置アドレス符号が自己の端末装置アドレス符号として設定されているi番目の端末装置アドレス符号と一致するときに、上記i番目のコマンドパケットに組み込まれているi番目の出力データを出力ポート（22）でのポート出力データとして出力するとともに、入力ポート（21）からのポート入力データがi番目の入力データとして組み込まれた上記i番目のレスポンスパケットをデジタル通信回線（3）経由で送信する」と記載されているように、端末装置には、端末装置アドレス符号が設定されていることが明記されている。

したがって、本件異議時訂正において、「端末装置は端末アドレス設定機能を有する」という構成要件を形式的に削除したからといって、（分説e）において、端末装置に端末装置アドレス符号が設定されていることが明記されているので、実質上特許請求の範囲の拡張又は変更には該当することはない。

また、本件訂正は、設定登録時および異議時に認められた訂正のどちらを前提にしたとしても、限定要件が加えられたものであって、明らかに訂正要件を満たすものであるから、「本件訂正は当初クレームとの関係でも訂正要件を満たしていないというべきであり、この点の審決の判断は誤りである」との原告の主張は誤りである。

2 取消事由2（相違点として相違点4及び5を認定した誤り）に対して

(1) 原告は、甲第4号証の図20及びその対応記載を参照すると、「中央装置たる機械入出力I/Fホスト内にCPUが存在するわけではなく」と主張するが、その根拠は明示されていないし、そのような示唆も無い。

また、原告は、「CPUは、...データを管理しているに過ぎない」とも主張するが、断片的な記載のみに基づくものであり、甲第4号証の全体の記載内容に合致しておらず、誤りである。

すなわち、甲第4号証の実施例には、「データ管理」についての記載があるが、CPUが通信制御を行うか否かについての明示はない。

他方、甲第4号証には「従来の技術」として、プログラムであるところのOS（オペレーションシステム）の管理の下、CPUが通信制御を含む各種制御を行っていることが明示されている（段落【0008】～【0012】）ところ、これに反する記載が存在しない以上、甲第4号証の実施例においても、OSの管理の下、CPUが通信制御を含む各種制御を行っていると考えべきである。

なお、原告と実質的に同一の日本パルスモーター株式会社が被請求人となっている本件特許の無効審判手続（無効2005-80348号事件）において、被請求人が提出した口頭審理陳述要領書において本訴における甲第4号証の「『図16、18、19に記載されたリフレッシュ周期』は、CPU制御によるI/Fホストが、各I/Fリモート（端末）1から8までに対して、端末アドレス単位（端末装置単位）をもって、ポーリング方式のサイクリック通信を自動的に行うリフレッシュ周期」と記載しており、原告がI/FホストがCPUによって制御されていない旨主張することは禁反言の原則に反するものである。

(2) そもそも、審決は、リモートICがCPUによって通信制御されていない旨の認定はしておらず、これを前提とする原告の主張は誤りである。

甲第4号証の段落【0084】において、「データが衝突しないように、例えば図19のように交互に送信/受信が繰り返される。この制御は、機械入出力I/FホストIC1110および機械入出力I/FリモートIC1100の内部の制御回路（図示せず）により行われる。」と記載されているように、通信制御手段が「制御回路（図示せず）」であることは明らかであると認められる。

しかしながら、甲第4号証には、「制御回路（図示せず）」が「プログラムによる

通信制御に基づかないで、回路の駆動で制御する」ものであるのか、そうでないのかは、その記載が無いため不明であり、この点についての示唆もないのであるから、「プログラムによる通信制御に基づかないで、回路の駆動で制御する」という構成要件が開示されていると解釈することはできない。

そうすると、原告の「審決がCPUによって制御されていないと認定しているリモートIC」との認識は誤っており、これに基づく「この両者間のシリアル通信は『プログラムによる通信制御に基づかないで、回路の駆動で制御』されるものである。」という原告の主張も誤りである。

なお、甲4発明の通信方式は、審決がいうところの「時間同期方式」であるので、データの送受信に関する部分が同様であるということは、いわば当然のことであるのに対して、仮に、甲4発明の通信方式が、「コマンドレスポンス方式」であるならば、典型的には、リモートICは、ホストICからのコマンドパケットを受信した場合に限ってレスポンスパケットを送信するものであり、ホストICは、常に自発的にコマンドパケットを送信するものであるから、ホストICとリモートICとの構成は、明確に異なる。

以上のとおり、「この両者間のシリアル通信は『プログラムによる通信制御に基づかないで、回路の駆動で制御』されるものである。」という原告の主張は、誤りである。

(3) 原告は、「リモート装置と同様の機能を果たすサーボAMP内の中央装置用ICにおいてもCPUを必要としない」と主張する。

しかしながら、甲第4号証の図28を見ると、実際には、一般的なサーボAMP内には「CPU」に相当する「MPU」が明示されているほか、段落【0091】には「機械入出力I/FホストIC1110は、サーボAMP30の通信I/F回路307（図28）としても使用する。」と明記されているとおり、置き換わるのはインターフェース部の307のみである。

したがって、サーボAMP内には、CPU（MPU）の存在が必須であるから、

原告の上記主張は誤りであり，甲第４号証には，サーボAMP内の中央装置用ICが，「プログラムによる通信制御に基づかないで，回路の駆動で制御」するものであるとの記載も示唆も無いことからすると，「甲第４号証にはステートマシーンによる通信制御に関して開示があるというべきである」との原告の主張は誤りである。

(4) 以上によると，審決による相違点４及び５の認定に誤りは無い。

３ 取消事由３（相違点４及び５についての判断の誤り）に対して

(1) 原告は，「甲第４号証にはステートマシーンによる通信制御」に関して「示唆」があることを前提として，甲４発明に甲第６号証の記載等を適用して，相違点４に係る構成とすることは容易である，と主張しているが，このような「示唆」は甲第４号証にはないことが明らかであるので，原告の主張は誤りである。

甲第６号証には「...送信DMA部２および受信DMA部３は，それぞれ送信DMAおよび受信DMAを行なうものである。」（２頁右下欄１８行～末行）との記載があるところ，DMAはCPUの周辺機能である点を考慮すると，甲第６号証の通信システムにおいては，CPUによる通信制御が行われていることが示唆されているといえる。

一方，原告は，甲４発明の通信システムは，CPUによる通信制御が行われていないと主張するのであるから，両者（甲第４号証と甲第６号証）の間には，CPUによる通信制御の有無という顕著な構成の相違があるし，そもそも課題・効果（甲第４号証では端末装置にCPUを設けず，その構成を簡素化することが課題・効果であり，甲第６号証では中央処理装置を介在させないことによるデータ伝送の高速化が課題・効果である。）も異なるのであるから，甲４発明に甲第６号証の記載を適用することはできない。

(2) 原告はステートマシーンの周知例として甲第１９号証を提出しているところ，同号証には通信制御をハードウェアによって実現したことが示されているが，ハードウェアとはプログラムに従って所定の処理・制御を行うものであるから，そもそも，甲第１９号証には「プログラムによる通信制御に基づかないで，回路の駆

動により制御するステートマシーン」についての開示があるとはいえない。

また、甲4発明は、2以上の連続するサンプリング結果が一致したときに真正出力とするものであって、信頼性の高いデータの送信が重視されているのであるから、このような機能を除外して通信の高速化を検討することは動機付けられないし、仮に高速化を検討したとしても、甲4発明ではCPUを用いた通信制御を行っているので、そのための処理時間が発生し、「直後に」との構成とはならない。

さらに、甲4発明の通信システムは、サンプリング周波数を可変にしたり、端末装置に係るパケット長とは異なる長さのパケット長のパケットを扱うサーボAMPを用いるなどの構成を採用しており、これらの構成を備えたまま通信制御を簡素化することは困難であるから、甲4発明に甲第19号証に記載された周知技術を適用することには阻害要因がある。

なお、甲4発明は時間同期方式を採用することにより、メモリ又はレジスタファイルに対して複数の手段からアクセスすることを抑止しているところ、このような通信システムをコマンドレスポンス方式に「プログラムに基づかないで、回路の駆動で制御するステートマシーン」と「直後に」という構成を採用して通信を高速化すると、CPU等がパケットの送受信のタイミングを避けてメモリにアクセスすることは一層困難となるから、この観点からも、甲4発明に甲第19号証の周知技術を適用することには阻害要因があるといえる。

(3) 以上に加え、甲4発明は、2以上の連続するサンプリング結果が一致したときに真正出力とすることにより信頼性の高いデータを送信するという機能を重視するものであるため、測定対象が高速で動いている場合に適用できないのに対して、高速通信が可能な本件発明においては容易に適用できるという有利な効果があることも考慮すると、相違点4及び5に係る構成について、容易に想到し得るものとはいえないとした審決の判断に誤りはない。

第5 当裁判所の判断

1 取消事由1（訂正についての判断の誤り）について

(1) 原告は、本件異議時訂正は、構成要件の一部である「端末装置は端末アドレス設定機能を有する」との記載を削除したものであり、特許請求の範囲の減縮を目的とするものではなく、かつ、実質上特許請求の範囲を拡張し、又は変更するものであるというべきであるから、訂正要件を満たさないものであり、これを前提とする本件訂正も違法であり、また、本件訂正は当初クレームとの関係でも訂正要件を満たしていないというべきであるから、本件訂正を認めた審決は誤りであって、本件特許は特許法 123 条 1 項 8 号に基づいて無効とされるべきである旨主張するので、これらの主張について検討する。

(2) 特許法 123 条 1 項 8 号は、「その特許の願書に添付した明細書、特許請求の範囲又は図面の訂正が第 126 条第 1 項ただし書若しくは第 3 項から第 5 項まで（第 134 条の 2 第 5 項において準用する場合を含む。）又は第 134 条の 2 第 1 項ただし書の規定に違反してされたとき」は、その特許を無効にすることについて特許無効審判を請求することができることを定めているところ、特許法 123 条 1 項 8 号は、訂正無効審判の手續が廃止されたことに伴い、特許異議申立手續等における訂正が不適法であった場合に、このことを特許の無効理由として主張することができる旨を定めたものと解することができる。

(3) 本件異議時訂正及び本件訂正の内容

ア 本件特許登録時の請求項 1 及び 2（請求項は全 6 項であった。）

「【請求項 1】

データの送受信を、プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシーンと、前記データを蓄積するメモリとを有する IC 化された中央装置と、

該中央装置とデジタル通信回線を介して接続した端末アドレス設定機能を有する複数の IC 化された端末装置とからなり、

前記中央装置のメモリ内のデータビット群の構成と、前記端末装置の I/O ポートのデータビット群の構成とを同一形態にしたことを特徴とするサイクリック自動

通信による電子配線システム。

【請求項 2】

前記メモリ内のデータビット群は、前記複数の端末装置毎にメモリ領域を分割して設定したことを特徴とする請求項 1 に記載のサイクリック自動通信による電子配線システム。」

イ 本件異議時訂正後の請求項 1 の記載

「1 台の IC 化された中央装置 (1) と 1 台又は複数台の IC 化された端末装置 (2) とがデジタル通信回線 (3) を介して、相互接続されて構成され、上記中央装置 (1) から上記端末装置 (2) 宛に、出力データの組み込まれたコマンドパッケージを一齐にサイクリックに自動的に送信し、1 台又は複数台の端末装置 (2) の中から順次に択一的に選択される 1 台づつの上記端末装置 (2) から上記中央装置 (1) 宛に、入力データの組み込まれたレスポンスパッケージを逐次にサイクリックに自動的に送信するサイクリック自動通信方式の電子配線システムであって、

上記中央装置 (1) は、上記出力データと上記入力データとを読み取り可能に記憶するメモリ (4) と、上記コマンドパッケージの送信と上記レスポンスパッケージの受信とを、プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシンとから成り、

上記メモリ (4) は、 i 番目のコマンドパッケージに組み込まれる i 番目の出力データを i 番目対応の出力データ記憶領域に読み取り可能に記憶し、 i 番目のレスポンスパッケージに組み込まれていた i 番目の入力データを i 番目対応の入力データ記憶領域に読み取り可能に記憶するメモリであり、

上記ステートマシンは、 $i - 1$ 番目の端末装置 (2) 宛の $i - 1$ 番目のコマンドパッケージの送信が完了した直後に、又は、 $i - 1$ 番目のコマンドパッケージの送信が完了してから、 $i - 1$ 番目のレスポンスパッケージの受領期間が経過した直後に、上記メモリ (4) の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目のコマンドパ

ケットをデジタル通信回線（３）経由で送信し，該 i 番目のコマンドパケットの送信が完了した後に， i 番目の入力データの組み込まれた i 番目のレスポンスパケットを i 番目の端末装置からデジタル通信回線（３）経由で受信し，該 i 番目の入力データを上記メモリ（４）の i 番目対応の入力データ記憶領域に書き込むことを特徴とし，

上記端末装置（２）は，デジタル通信回線（３）経由で受信した上記 i 番目のコマンドパケットに組み込まれている i 番目の端末装置アドレス符号が自己の端末装置アドレス符号として設定されている i 番目の端末装置アドレス符号と一致するときに，上記 i 番目のコマンドパケットに組み込まれている i 番目の出力データを出力ポート（２２）でのポート出力データとして出力するとともに，入力ポート（２１）からのポート入力データが i 番目の入力データとして組み込まれた上記 i 番目のレスポンスパケットをデジタル通信回線（３）経由で送信することを特徴とし，さらに，

上記メモリ（４）の i 番目対応の出力データ記憶領域に読み取り可能に記憶されている出力データのビット群の構成と上記出力ポート（２２）から出力されるポート出力データのビット群の構成とが同一形態であり，上記メモリ（４）の i 番目対応の入力データ記憶領域に読み取り可能に記憶されている入力データのビット群の構成と上記入力ポート（２１）から入力されるポート入力データのビット群の構成とが同一形態であり，

前記メモリ（４）内のデータビット群が，前記複数の端末装置毎にメモリ領域を分割して設定したことを特徴とするサイクリック自動通信方式の電子配線システム。」

ウ 本件特許登録時における請求項１の「端末アドレス設定機能を有する…端末装置」との記載それ自体についてみると，端末装置のアドレスに関して，アドレス自体の保有とその設定の双方について規定したものとみえなくもない。そこで，登録時の明細書の記載についてみると，請求項１の「端末装置」に関して以下の記載

がある。

「【0036】N個の端末装置2は、全て同一の構成を持つが、それぞれ、アドレス1～Nが付与されており、このアドレスにより識別される。...

【0075】また、端末装置2の外部には端末アドレス設定装置が設けられており、これによりユーザが端末装置2の自己アドレスを設定するようになっている。設定された自己アドレスは、送信回路24とアドレス照合回路25とに供給される。」

以上の記載によれば、上記請求項1の「端末アドレス設定機能を有する...端末装置」とは、端末装置自体が自己のアドレスを保有する構成を備えていることを要件として規定したものと解するのが相当というべきである。

次に、本件異議時訂正後の請求項1についてみると、前記のとおり、このうち端末装置に関する記載は、「1台又は複数台のIC化された端末装置」との記載及び「上記端末装置は、...自己の端末装置アドレス符号として設定されている...端末装置アドレス符号と一致するときに、...」との部分である。前者の記載においては、端末装置が「1台又は複数台」であることが明確にされており、後者の記載においては、端末装置自体が自己のアドレスを保有しているとの要件が明確にされている。そうすると、本件異議時訂正における端末装置に関する請求項1の記載は、端末装置が1台又は複数台であり、端末装置自体が自己のアドレスを保有していることを明確にするとともに、入出力データの送受信に関する限定を付加したものであり、結局、本件異議時訂正は、明りょうでない記載の釈明及び特許請求の範囲の減縮を目的とするものであって、実質上特許請求の範囲を拡張又は変更するものでないことは明らかであるから、この点に関する原告の主張は採用できない。

そして、本件訂正は、第2の2のとおり、端末装置について、「外部から端末装置アドレス符号が設定される」を付加するものであるところ、この訂正は、端末装置のアドレス設定機能について、当該端末装置以外の外部に存在するものに限定したものであるから、本件異議時訂正後の特許請求の範囲の減縮を目的とするものであることは明らかであり、実質上特許請求の範囲を拡張又は変更するものでもない

というべきである。

(4) 上記(3)の一連の訂正(本件異議時訂正及び本件訂正)に関し、原告は、当初の特許請求の範囲の記載と本件訂正後の特許請求の範囲の記載を対比し、本件訂正が不適法である旨主張するが、上記のとおり、本件異議時訂正及び本件訂正のいずれも適法というべきであるから、原告の主張は失当である。

(5) 以上のとおり、本件訂正に原告主張の違法はなく、他の訂正要件についても満たすものと認められるから、本件訂正が適法であるとした審決の判断に誤りはなく、取消事由1は理由がない。

したがって、本件発明の要旨は、審決が本件特許発明として認定した本件訂正後の特許請求の範囲の請求項1～3に記載されたとおりのもの(本件特許発明1～3)であると認められる。

2 取消事由2(相違点として相違点4及び5を認定した誤り)について

(1) 相違点4について

ア 原告は、甲第4号証にはプログラムによる通信制御に基づかないで、回路の駆動で制御されるステートマシーンについて開示があるというべきであるから、相違点4を認定した審決の判断は誤りであり、相違点4を認定したことが誤りである以上、甲4発明においても、時間同期方式の通信により、引き続く下りパケットが先行する上りパケットの「直後に」送信されるというべきであるから、相違点5を認定した審決の判断も誤りであると主張する。

イ 相違点4(通信制御手段が、本件特許発明1では「プログラムによる通信制御に基づかないで、回路の駆動により制御するステートマシーン」であるのに対し、甲4発明では、ホストの内部の制御回路である点。)のうち、「プログラムによる通信制御に基づかない」との記載部分の技術的意義については、プログラムによる処理を実行するためにはCPU(中央処理装置)又はMPU(マイクロプロセッサ)が必要となることは、本件出願前において周知の技術事項であるということができることから、通信制御にCPU又はMPUを使用していない場合には、通信制御手

段が「プログラムによる通信制御に基づかない」ものであるということが出来る。

次に、「回路の駆動により制御するステートマシン」との記載部分の技術的意義については、「ステートマシン」の意義が問題となる。

そこで、本件特許発明1の「ステートマシン」の意義について検討する。

(ア) 甲第47号証によると、1992(平成4)年8月20日CQ出版株式会社発行の西久保靖彦著「基本ASIC用語辞典」55頁には「ステート・マシン(State Machine) 状態遷移図」との記載があり、同47頁には「状態遷移図(State Transition Diagram) 順序回路の動作は、基本的に状態が移り変わることで、すなわち状態遷移である。このある時刻に注意して、LSIシステム設計に際し、現在の状態と入力に対してのつぎの状態を定義した図を、状態遷移図という...ステート・マシンともいう。」との記載があることが認められ、「順序回路」について、同46頁に「順序回路(Sequential Circuit) 回路内部に記憶素子をもっていて、ある時点での回路出力が、回路入力信号と、回路内部の記憶素子状態とによって決定される回路...」との記載があること、甲第38号証によると、1995(平成7)年11月20日財団法人日本規格協会発行の同協会編著「JIS 工業用語大辞典【第4版】」690頁には、「シーケンサ回路」と「順序回路」は同義である旨の記載があることが認められる。

そして、甲第22号証によると、昭和63年10月20日CQ出版株式会社発行、小林芳直著の「PLDの論理回路設計法」199~201頁には「順序回路...シーケンサ...ASICに向いている」との表題で次のような記載があることが認められる。

「...順序回路のことを以下ではシーケンサと呼ぶことにします。さて、プログラムでサブルーチンと呼び出して、ある一定の仕事をしてしまうことがあります。このサブルーチンに対応するような比較的単純で高速性が要求される仕事をハードウェアで実行してしまうと、これをシーケンサといいます(...)。順序だった仕事はMPUとプログラムで行うものという風潮がありますが、MPUとプログラムの組み合わせでは処理速度にもコストにも限界があります。全部ハードウェアでやっちゃって、MPUとプログラムの組み合わせではできなかった分野を切り

拓こうという動きが最近の ASIC の隆盛となって現れています。ASIC というのは Application Specific IC ...特定用途向け IC ...のことで、プログラムを含まない大規模なハードウェアからなる IC です。MPU の出現ですっかり止まってしまった感のあるハードウェアの進歩が、最近になって急に ASIC となって飛び出してきました。もちろん PLD も手軽な ASIC の一種です。これは何が何でも MPU とプログラムといった風潮で小康状態にあった産業界が、最近の LSI テクノロジーの進歩とコストに対する厳しい要求から、新しい方向に進み始めたものと考えてもいいでしょう。ハードウェアで順序処理を行うからには、当然プログラムは含まれていません。パソコンと BASIC に慣れた方には想像もつかないかもしれません。ところが順序制御という点からみると、プログラムもシーケンサもまったく同じ機能ですから、その設計も同じ手順を進めていってかまいません。シーケンサの設計でもっとも大きな発想の転換が必要なことは、プログラムの場合はインストラクションを一つ一つ実行していきませんが、シーケンサではこれをステート（状態）に置き換えるということです（...）。プログラムで 100 ステップが必要な処理は、大ざっぱにいて 10 ステート程度に置き換えることができます。シーケンサは、今定義したステートをいろいろに制御していくことなので、シーケンサのことをステート・マシンと呼ぶこともあります。」

さらに、甲第 3 2 号証によると、昭和 6 3 年 2 月 1 0 日 C Q 出版株式会社発行、小林芳直著の「ASIC の論理回路設計法」2 1 3 頁には、「シーケンサ」に関して次のような記載がある。

「シーケンサ（Sequencer）は順序回路といて、一連の定義された仕事を実行するためのものです。ただ、同じ一連の仕事をする場合でも、マイクロプロセッサのようにプログラムに従って一連の仕事をする場合と、プログラムなしの電気回路だけで一連の仕事を実行する場合の 2 通りがあります。たんにシーケンサといえ、プログラムを使用しない電気回路だけで組んだものを指し、プログラム・シーケンサは、マイクロプロセッサといえます。マイクロプロセッサが出現する前は、シーケンサはすべてハードウェアでした。」

なお、甲第 2 1 号証によると、被告は、本件特許に係る特許異議申立手続における平成 1 3 年 4 月 2 4 日付け回答書において、平成 9 年 4 月 1 日 C Q 出版社発行の

「トランジスタ技術 4月号」280頁掲載の渕上賢二，宇仁茂義著「マイコン&CPUの基礎用語」の記載（甲第50号証）を引用して「ステートマシン」が周知である旨主張しているところ，甲第50号証によると，同頁には，「ステート・マシン（state machine） あらかじめ決められた複数の状態を，決められた条件にしたがって，決められた順番で遷移していくデジタル・デバイス .」との記載があることが認められるから，上記技術事項は，本件特許出願時には当業者に周知であったものと認めるのが相当である。

以上によると，「ステートマシーン」との用語は，順序回路の動作を定義した状態遷移図又は順序回路，すなわちシーケンサ（状態遷移をするデジタル・デバイス）を意味するものと理解することができるが，本件特許発明1に係る「ステートマシーン」の意義がそのいずれを意味するかについて一義的に明確であるということができないから，発明の詳細な説明の記載を参酌する必要があるというべきである。

(イ) 本件訂正後の明細書（甲第13号証。以下「本件明細書」という。）の発明の詳細な説明の記載を検討するに，同明細書には次の各記載がある。

「【0001】【発明の属する技術分野】本発明は，マイクロプロセッサを持つコントロールセンタ(又はコントローラ)と，このコントロールセンタによって制御されるマイクロプロセッサを持たない複数の制御対象機器とで構成される制御システムにおいて，マイクロプロセッサと各制御対象機器との間のデータの伝送を担う部分をマイクロプロセッサを使用しないステートマシーン（順序論理回路）によりメモリにサイクリックに読み書き動作を行なう電子配線化した「サイクリック自動通信による電子配線システム」に関する。」，

「【0024】...前記ステートマシーンは，少なくとも前記デジタル通信を介してデータを送受信する送受信回路と，該送受信回路で送受信したデータを制御するシーケンサと，送受信したデータの前記メモリへの書き込み読み出しを制御するメモリ調停回路とから構成されている...。」，

「【0050】1．中央装置1

中央装置 1 は、...メモリ 4 と、ステートマシンとから構成されており、ステートマシンはアドレスバス 5 と、データバス 6 と、リードライトコントロールライン 7 と、アービタ（メモリ調停回路）8 と、運用数レジスタ 9 と、一致検出回路 10 と、アドレスカウンタ 11 と、送信シーケンサ回路 12 と、送信回路 13 と、受信回路 14 と、受信シーケンサ回路 15 と、システムクロック 16 とを有している。」

「【0052】アービタ 8 は、ユーザーインターフェース PC と上記アドレスバス 5、データバス 6、リードライトコントロールライン 7 により接続されている他に、メモリ 4 のアドレス線、データ線、WR 線、RD 線に接続されており、また、アドレスカウンタ 11、送信シーケンサ回路 12、送信回路 13、受信回路 14、受信シーケンサ回路 15、システムクロック 16 と接続されており、下記の機能を有する。

【0053】(1) ユーザーインターフェース PC からアドレスバス 5 を介して供給されたアドレス信号に対応するメモリ 4 内のアドレスに対して、リードライトコントロールライン 7 からの読出し信号又は書込み信号に応じてデータバス 6 を介してアクセスし、データを読出してユーザーインターフェース PC へ出力し、あるいは、ユーザーインターフェース PC から入力したデータをメモリ 4 に書き込む。

【0054】(2) 送信シーケンサ回路 12 から供給されるメモリ読み取り信号に応じて、アドレスカウンタ 11 から供給されるアドレス信号に対応するメモリ 4 内のアドレスからデータを読出し、これを送信回路 13 へ出力する。

【0055】(3) 受信シーケンサ回路 15 から供給されるメモリ書き込み信号「正常」に応じて、受信回路 14 から供給されるアドレス信号に対応するメモリ 4 内のアドレスに、受信回路 14 から受けたデータを書き込む。

【0056】(4) 受信シーケンサ回路 15 からメモリ書き込み信号「異常」を受けた時、受信回路 14 から供給されるアドレス信号に対応するメモリ 4 内のアドレスに、エラーコードを書き込む。」

(ウ) 上記(ア)で認定した各用語の意義を踏まえ、上記(イ)の本件明細書の発明の詳細な説明の記載を参酌すると、本件特許発明 1 の「ステートマシン」は、シー

ケンサ回路によりデータを送受信するものであって、送受信したデータの制御を行うシーケンサと送受信したデータのメモリへの書き込み及び読み出しを制御する調停回路によって構成されるものであると認められる。

ウ 審決による甲4発明の認定並びに甲4発明の「シリアル通信線」、「ホスト」、「リモート」が、それぞれ本件特許発明1の「デジタル通信回線(3)」、「中央装置(1)」、「端末装置(2)」に相当すること及び甲4発明の「ホスト内部の制御回路」と本件特許発明1の「ステートマシーン」は、「通信制御手段」という点で一致することについては、いずれも当事者間に争いはない。

(ア) 甲第4号証には次の各記載がある。

「【0026】本発明は、...第1に、複雑なソフトウェアを必要としない信号入力回路を提供する。第2に、複雑なソフトウェアを必要とせずにサンプリング周期を自動調整できる信号入力回路を提供する。第3に、CPUを必要とせずに機械入出力I/Fリモートとして使用できる信号入力回路を提供する。第4に、数値制御装置と操作ボードがシリアル通信線を通じて通信を行なうことを、CPUを必要とせずに可能にする信号入力回路を提供する。第5に、数値制御装置と操作ボードの通信および数値制御装置とサーボAMPの通信を同一のシリアル通信線を通じて行なうことを可能にする信号通信装置を提供する。」

「【0034】...信号入力装置は、...機械入出力I/Fリモートとして使用できるが、CPUを必要としないので、ハードウェアが安価で簡単になる。また、ソフトウェアが簡単になる。」

「【0035】...信号入力装置は、...数値制御装置と操作ボードのシリアル通信線を通じての通信に使用できるが、CPUを必要としないので、ハードウェアが安価で簡単になる。また、ソフトウェアが簡単になる。」

「【0075】...1086Aは、前記送信用レジスタファイル1101および前記受信用レジスタファイル1104のラッチ回路1077のいずれか1つを有効にし、他をハイインピーダンスにするデコーダ回路であり、CPU101で制御される。」

「【0077】...数値制御装置1のCPU101は、図15のアドレスマップに従い、機械入出力I/Fリモート1の接点出力1～8から71～78までの64点の接点出力

に出力したいデータを，\$ 8 ~ F 番地にライトする。...以下同様に，機械入出力リモートの接点出力に出力したいデータを，該当する番地にライトする。すると，これらのデータは，図 14 の送信用レジスタファイル 1 1 0 1 のラッチ回路 1 0 7 7 に書き込まれる。」

「【0 0 8 3】...シフトレジスタ 1 0 9 7 は，8 bit × 8 個のデータを保持した後，順に受信レジスタファイル 1 から 8 のラッチ回路 0 ~ 7 に引き渡す。ラッチ回路 1 0 7 7 のラッチしているデータは，データバスを介して，CPU 1 0 1 によりリードされる。」

「【0 0 8 4】...図 1 6 ~ 図 1 8 では，送信データ，受信データがあたかも連続して送られているように図示されているが，実際には，データが衝突しないように，例えば図 1 9 のように交互に送信 / 受信が繰り返される。この制御は，機械入出力 I / F ホスト IC 1 1 1 0 および機械入出力 I / F リモート IC 1 1 0 0 の内部の制御回路（図示せず）により行われる。」

「【0 0 8 5】...CPU 1 0 1 の MPU 1 0 1 1 は，機械入出力 I / F ホスト 1 0 7 のレジスタファイル 1 0 0 1 ， 1 1 0 4 をリード / ライトすることで，離れた場所に置かれた機械入出力 I / F リモート 4 0 4 に接続される接点入力 4 0 2 ，接点出力 4 0 3 に対して，RAM へのアクセスと全く同じようにアクセスできることが判る。...」

(イ) 上記(ア)で認定した甲第 4 号証の各記載によると，甲第 4 号証には，甲 4 発明の機械入出力 I / F リモートに CPU を必要としないことが明記されているということが出来るほか，機械入出力 I / F ホスト及び同リモートのいずれにおいても内部の制御回路が通信制御に関与していることについて記載があり，機械入出力 I / F ホストの CPU 1 0 1 は送信及び受信の各データを格納する送信用及び受信用レジスタファイル 1 1 0 1 及び 1 1 0 4 を操作するデコーダ 1 0 8 6 A を制御するものであり，送信及び受信の各データのリード / ライトを行うことに関与するものであるとの記載からすると，甲 4 発明においては，機械入出力 I / F リモートと同様に同ホストにおいても，通信制御については，CPU を使用せずに内部の制御回路のみによって行っている可能性は十分に窺われる。

しかしながら，甲第 4 号証には，機械入出力 I / F ホストに CPU (又は MPU) が存在しないことについての記載又はこのことを意味する図示まではない。

そうすると、本件特許発明1の「ステートマシーン」は上記イで認定したとおりのものであるところ、甲第4号証には、通信制御手段としての「ホスト内部の制御回路」がそのような「ステートマシーン」、すなわち、シーケンサ回路によりデータを送受信するものであって、送受信したデータの制御を行うシーケンサと送受信したデータのメモリへの書き込み及び読み出しを制御する調停回路によって構成されるものに相当するものであることについての記載はないといわざるを得ない。

エ 以上によると、甲第4号証には、「プログラムによる通信制御に基づかないで、回路の駆動により制御するステートマシーン」の開示があるということとはできないから、審決の相違点4の認定が誤りであるということとはできない。

(2) 相違点5について

原告は、相違点4を認定したことが誤りである以上、甲4発明はプログラムによる通信制御に基づかないで、回路の駆動で制御されるものであり、甲4発明においても、時間同期方式の通信により、引き続く下りパケットが先行する上りパケットの「直後に」送信されるというべきであるから、相違点5を認定した審決の判断も誤りであると主張するが、上記(1)のとおり、原告の主張は前提において誤りである。

また、甲第4号証には、機械入出力I/Fホストにおける送受信データの通信制御に関して、上記(1)ウ(ア)で認定したとおり、「送信データ、受信データがあたかも連続して送られているように図示されているが、実際には、データが衝突しないように、例えば図19のように交互に送信/受信が繰り返される。」との記載があるように、交互に送信/受信が繰り返され、送信と受信は、互いに「引き続いて」行われるものであることについての記載はあるが、これが「直後に」行われるものであることについての記載はない。

なお、相違点5にいう「又は」の前段の構成が、周知の全二重通信(フルデュプレックス)方式による通信方式であること及び甲第4号証に同通信方式が開示されていないことについては、当事者間に争いはない。

したがって、審決が相違点5（甲4発明では「i-1番目の端末装置宛のi-1番目の下りパケットの送信が完了してから、i-1番目の上りパケットを受信した後に、タイムチャートに従って、上記記憶手段のi番目対応の出力データ記憶領域から読み取られたi番目の出力データとi番目の端末装置アドレス符号とが組み込まれたi番目の下りパケットをデジタル通信回線経由で送信し、該i番目の下りパケットの送信の後に、i番目の端末装置に割り当てられた期間に、i番目の入力データの組み込まれたi番目の上りパケットをi番目の端末装置からデジタル通信回線経由で受信」するものの、本件特許発明1の「又は」の前段に係る構成を有していないとともに、「又は」の後段に係る構成では、本件特許発明1では、「コマンド・レスポンス方式」の通信により、引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」送信されるのに対し、甲4発明では時間同期方式の通信により、引き続き下りパケットが先行する上りパケットの単に「後に」送信される点）を認定したことに誤りはないというべきである。

(3) 以上のとおりであるから、取消事由2は理由がない。

3 取消事由3（相違点4及び5についての判断の誤り）について

(1) 原告は、甲第4号証には機械入出力I/Fホスト（中央装置）用ICにおいてもCPUを必要としないことについて示唆があり、これに基づいて甲第4号証に周知のステートマシーン又は甲第6号証の記載を適用して相違点4の構成とすることは容易である旨主張する。

(2) 上記2(1)ウ(イ)で認定したとおり、甲第4号証には、甲4発明の機械入出力I/FリモートにCPUを必要としないことが明記されているといえることができるほか、機械入出力I/Fホスト及び同リモートのいずれにおいても内部の制御回路が通信制御に関与していることについて記載があり、機械入出力I/FホストのCPU101は送信及び受信の各データを格納する送信用及び受信用レジスタファイル1101及び1104を操作するデコーダ1086Aを制御するものであり、送信及び受信の各データのリード/ライトを行うことに関与するものであるとの記載

があるのであるから，甲４発明においては，機械入出力Ｉ／Ｆホストの通信制御がＣＰＵを必要とするものであるということとはできず，むしろ，機械入出力Ｉ／Ｆホストの通信制御を制御回路のみによって行う可能性があることについて示唆があるというべきである。

(3) 甲第６号証には次の各記載がある。

「(従来技術)

従来から，データの伝送を行なう方式としては，種々の方式が用いられている。例えば，その一つの方式としては，中央処理装置（ＣＰＵ）が送信元局アドレス（ＳＡ）と送信先局アドレス（ＤＡ）とを設定する方式であり，これらのアドレスを保存するレジスタのデータの後に，ダイレクトメモリアクセス（以下，ＤＭＡと称する）方式でメモリ上のデータを送信する。そして，受信側では，中央処理装置で設定した送信元局アドレスと伝送フレームフォーマット上の送信先局アドレスとが一致しているかを比較して検出し，一致していたならば受信ＤＭＡ部でメモリに転送する方式である。しかしながら，この伝送方式では，受信側である子局に送信を行なう毎に，中央処理装置で送信先局アドレスを設定しなければならず，また送受信データに関しても，中央処理装置が介在しないと次の送受信が行えないという問題があった。一方，その他の方式としては，送信元局アドレス（ＳＡ）と送信先局アドレス（ＤＡ）とをメモリ内に設定し，全てＤＭＡ方式で送信する方式である。この伝送方式は，受信側も同様に自局アドレスと送信先局アドレスとが一致していたならば，ＤＭＡ方式でメモリに取込む方式であるが，上述の方式と同様に中央処理装置の介在が必要であった。

(発明が解決しようとする課題)

以上のように，従来のデータ伝送方式では，中央処理装置が介在しないとデータの伝送を行なうことができず，結果として高速にデータ伝送を行なえないという問題があった。本発明の目的は，１対Ｎ構成で親局のみ送信権を有しているポーリング伝送方式において，中央処理装置を介在することなくデータを伝送することができ，もって高速にデータ伝送を行なうことが可能なデータ伝送方式を提供するものである。」(１頁右欄１３行～２頁右上欄１０行)

「(作用)

従って、本発明のデータ伝送方式では、最初に中央処理装置がスタート信号を発生するのみで、その後は全て送信制御、受信制御、および送受信DMAが行なわれることにより、データ伝送は中央処理装置と無関係に行なうことができ、もってデータ転送を高速に行なうことが可能となる。」(2頁左下欄14行~末行)

「...本実施例のデータ伝送方式では、次のような種々の効果が得られるものである。(a)本データ伝送方式の場合、中央処理装置との分解点はメモリとなるため、中央処理装置が新たにデータをセットしない限り送信データは変化しないが、データ伝送は中央処理装置とは無関係に行なうことができ、もって高速のデータ伝送が可能となる。...(e)送信権は親局のみが有するため、子局側の回路構成が簡単となり、安価な構成が可能となる。...(4頁左下欄17行~右下欄17行)

これらの各記載によると、甲第6号証には、1対N局で親局のみが送信権を有しているポーリング伝送方式において、親局から子局へのデータ伝送を、中央処理装置が介在することのない回路構成によって、中央処理装置とは無関係に通信制御する構成及びこのような構成によって高速のデータ伝送が可能となることが記載されているといえることができる。

(4) そうすると、上記(2)のとおり示唆に基づいて、甲4発明に上記(3)のとおり甲第6号証の記載を適用して、機械入出力I/Fホストとリモートの間の通信制御について、中央処理装置(CPU)が介在することのない回路構成によるものとする事、すなわち通信制御手段について「プログラムによる通信制御に基づかないで、回路の駆動により制御する」ものとする事は当業者にとって容易であるといえるべきである。

ア 審決は、甲4発明では端末装置にCPUを設けず、その構成を簡素化することが目的・効果であるのに対し、甲第6号証のものは端末装置にDMAを備え、CPUの存在も示唆されるという簡素化とはおよそかけ離れた構成のものであり、発明が解決する課題、目的、効果においても相違するとして、甲4発明に甲第6号証の記載を適用することは思いもよらないことであると指摘する。

しかしながら，上記(3)のとおり，甲第6号証には，「中央処理装置が介在しないとデータの伝送を行なうことができず，結果として高速にデータ伝送を行なえない」という従来のデータ伝送方式が持っていた問題点を解決し，中央処理装置を介在することなく，高速にデータ伝送を行うことが可能なデータ伝送方式を提供すること，すなわち，簡素な構成により高速なデータ伝送を行うことを目的とすることが記載されているということができるのであるから，審決の上記指摘は誤りである。

イ 被告は，甲第6号証には「...送信DMA部2および受信DMA部3は，それぞれ送信DMAおよび受信DMAを行なうものである。(2頁右下欄18行~末行)」との記載があるところ，DMAはCPUの周辺機能である点を考慮すると，甲第6号証の通信システムにおいては，CPUによる通信制御が行われていることが示唆されているといえると主張する。

しかしながら，上記(3)のとおり，甲第6号証には，「本発明のデータ伝送方式では，最初に中央処理装置がスタート信号を発生するのみで，その後は全て送信制御，受信制御，および送受信DMAが行なわれることにより，データ伝送は中央処理装置と無関係に行なうことができ(る)」ことが記載されており，通信制御へのCPU(中央処理装置)の関与は明確に否定されているのであるから，被告の主張は失当である。

(5) 上記(4)のとおり，甲4発明に甲第6号証の記載を適用して，通信制御手段について，「プログラムによる通信制御に基づかないで，回路の駆動で制御する」ものとするのは当業者にとって容易であると考えられるところ，そのような回路として想定されるものが，上記2(1)イ(ア)で認定した周知のステート・マシン(順序回路，シーケンサ)であることは当業者にとって自明であるというべきである。

なお，特開昭60-3004公報(甲第19号証)には，以下の各記載があることが認められ，これらの記載によると，同公報には，プログラムによることなく，インターフェース回路による通信制御をハードウェアによって実現したりリモートプロセス入出力装置の技術が開示されていると認められるところ，このことは通信制

御にステート・マシン（順序回路，シーケンサ）を活用することが本件特許出願時において周知の技術であったことを示すものである。

「...特許請求の範囲

中央コントローラと複数のリモートプロセス入出力端末との間に，当該端末の分担するプロセスデータを，伝送線路を介して入出力するリモートプロセス入出力装置において，

上記中央コントローラに設けられ，中央コントローラと各リモートプロセス入出力端末との間に入出力するプロセスデータを一時記憶する入出力データメモリと，

上記中央コントローラに設けられ，中央コントローラの CPU の指令に従つて，上記複数のリモートプロセス入出力端末のうちの 1 つの端末を選択するアドレス信号と出力モードであるか入力モードであるかの情報とを入れた選択コマンドを送出し，当該選択コマンドが出力モードであるときは上記入出力データメモリ中に宛先のリモートプロセス入出力端末用として記憶されたデータを送出し，当該選択コマンドが入力モードであるときは上記宛先の端末から伝送されるデータを上記入出力データメモリ中の当該端末に対応する記憶領域に格納する入出力シリアルコントローラと，

各リモートプロセス入出力端末に設けられ，当該端末宛の選択コマンドを識別し，当該選択コマンドが出力モードであるとき，当該選択コマンドに続いて受信するデータを当該端末内のプロセス入出力インターフェース回路を介してプロセス側に出力して処理終了報告を送出し，当該選択コマンドが入力モードであるとき，プロセス側のデータを上記プロセス入出力インターフェース回路を介して入力して上記伝送線路に送出し，かつ処理終了報告を送出する入出力シリアルコントローラとを備えたことを特徴とするリモートプロセス入出力装置。」（ 1 頁左欄 4 行～右欄 16 行）

「従来のリモートプロセス入出力装置は...各リモートプロセス入出力端末において必ず CPU を必要とし，リモートプロセス入出力端末の数が多い系では総合的に価格が高くなるという欠点があつた。また CPU が用いるプログラムも用意しなければならぬという欠点があつた。この発明は上記のような従来のものの欠点を除去するためになされたもので，特定の通信制御機能とデータ入出力制御機能とを有する入出力シリアルコントローラを中央コントローラと各リ

モートプロセス入出力端末に設けることにより CPU なしで直接に通信制御を行い、プロセス入出力を制御できるリモートプロセス入出力装置を提供することを目的としている。」(2 頁左下欄 8 行 ~ 右下欄 2 行)

「...第 2 図はこの発明の一実施例を示すブロック図で、... (7), (7a), (7b), ... (7n) はそれぞれ (1), (3a), (3b), ... (3n) に設けられた入出力シリアルコントローラであり、通信制御機能とデータ入出力制御機能とを合わせた機能をハードウェアで実現したものである。」(2 頁右下欄 4 行 ~ 10 行)

「... LSI 化技術が発達した今日では上記入出力シリアルコントローラを LSI 化するすることは容易であり、従来のように各リモートプロセス入出力端末に CPU を配してプログラム制御により通信制御機能とデータ入出力機能を実現することより、LSI 化したハードウェアにより同一の機能を実現する方が遙かに安価で信頼性の高いリモートプロセス入出力装置を得ることができる。」(3 頁左下欄 15 行 ~ 右下欄 3 行)

(6) 被告は、甲 4 発明は、2 以上の連続するサンプリング結果が一致したときに真正出力とするものであって、信頼性の高いデータの送信が重視されているのであるから、当業者はこのような機能を除外して通信の高速化を検討することについて動機付けられないし、仮に高速化を検討したとしても、甲 4 発明では CPU を用いた通信制御を行っているので、そのための処理時間が発生し、「直後に」との構成とはならないと主張する。

しかしながら、審決が認定し、当事者間においてもその認定に争いが無い甲 4 発明は、2 以上の連続するサンプリング結果が一致したときに真正出力とする発明ではないし、甲第 4 号証には、サンプリングを行うためのデジタルフィルタに関し、次の各記載があることからすると、サンプリングが甲第 4 号証に記載された発明の本質的な要素でないことは明らかであるほか、甲第 4 号証には、上記 2 (1)ウ(ア)及び(イ)で認定したとおり、機械入出力 I / F ホストに CPU が存在しないことについての記載又はこのことを意味する図ではないものの、逆に同ホストが通信制御に CPU を使用しているとの記載は何ら存在しないのであるから、被告の主張は前

提を誤ったものであり、失当である。

「【0034】上記第3の信号入力装置は、前記第1の記憶回路と前記一致検出回路とからなるデジタルフィルタを複数備えており、それらデジタルフィルタで複数の入力信号の真正出力を得る。…」

「【0063】…前記高速接点入力402Aは、トランジスタ等の無接点出力であり、チャタリングが無い場合、デジタルフィルタ1084の必要はない。…」

「【0081】…サンプリング周期はサンプリングクロック&シーケンス回路1087Bにより決められるが、図17のD列に示すコマンドにより、8個の接点入力毎に、調整モード、フィルタOFF、マニュアル設定等の制御が可能になっている。…」

また、被告は、甲4発明の通信システムは、サンプリング周波数を可変にしたり、端末装置に係るパケット長とは異なる長さのパケット長のパケットを扱うサーボAMPを用いるなどの構成を採用しており、これらの構成を備えたまま通信制御を簡素化することは困難であるから、甲4発明に甲第19号証に記載された周知技術を適用することには阻害要因があると主張するが、上記2(1)ウ(ア)で認定した甲第4号証(段落【0026】)の記載によると、被告主張に係る構成が甲4発明にとって本質的なものでないことは明らかであるから、被告の主張は失当である。

さらに、被告は、甲4発明は時間同期方式を採用することにより、メモリ又はレジスタファイルに対して複数の手段からアクセスすることを抑止しているところ、このような通信システムをコマンドレスポンス方式に変更した上、「プログラムに基づかないで、回路の駆動で制御するステートマシーン」と「直後に」という構成を採用して通信を高速化すると、CPU等がパケットの送受信のタイミングを避けてメモリにアクセスすることは一層困難となるから、この観点からも、甲4発明に甲第19号証の周知技術を適用することには阻害要因があるといえると主張するが、甲4発明が通信制御にCPUを使用していると認定することができないことは上記のとおりであるから、この点に関する被告の主張も失当である。

(7) 原告は、相違点5に関し、甲4発明において、ステートマシーンによる通信

制御を行うことにより、引き続く下りパケットが先行する上りパケットの「直後に」送信されることになるから、当業者が甲4発明に基づいて相違点5に係る構成とすることは容易である旨主張する。

ア 審決が認定した相違点5を再度掲げると、以下のとおりである。

通信制御手段が、本件特許発明1では「 $i - 1$ 番目の端末装置(2)宛の $i - 1$ 番目のコマンドパケットの送信が完了した直後に、又は、 $i - 1$ 番目のコマンドパケットの送信が完了してから、 $i - 1$ 番目のレスポンスパケットの受領期間が経過した直後に、上記メモリ(4)の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目のコマンドパケットをデジタル通信回線(3)経由で送信し、該 i 番目のコマンドパケットの送信が完了した後に、 i 番目の入力データの組み込まれた i 番目のレスポンスパケットを i 番目の端末装置からデジタル通信回線(3)経由で受信」するのに対して、甲4発明では「 $i - 1$ 番目の端末装置宛の $i - 1$ 番目の下りパケットの送信が完了してから、 $i - 1$ 番目の上りパケットを受信した後に、タイムチャートに従って、上記記憶手段の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目の下りパケットをデジタル通信回線経由で送信し、該 i 番目の下りパケットの送信の後に、 i 番目の端末装置に割り当てられた期間に、 i 番目の入力データの組み込まれた i 番目の上りパケットを i 番目の端末装置からデジタル通信回線経由で受信」するものの、本件特許発明1の「又は」の前段に係る構成を有していないとともに、「又は」の後段に係る構成では、本件特許発明1では、「コマンド・レスポンス方式」の通信により、引き続くコマンドパケットが、先行するレスポンスパケットの「直後に」送信されるのに対し、甲4発明では時間同期方式の通信により、引き続く下りパケットが先行する上りパケットの単に「後に」送信される点。

上記のうち、本件特許発明1における「又は」の前段に係る構成が、「フルデュプレックス(全二重)の通信方式」として、「又は」の後段に係る構成が、「ハーフ

デュープレックス(半二重)の通信方式」として、いずれも周知のものであること、甲4発明も「ハーフデュープレックス(半二重)の通信方式」によるものであること、時間同期方式に代えてコマンド・レスポンス方式を採用することは当業者が容易になし得ることであることについては、いずれも当事者間に争いはない。

さらに、相違点5のうち、「直後に」の構成については、プログラムによる通信制御では実現できず、回路の駆動で制御されて初めて実現し得るものであること、すなわち、相違点4に係る構成を採用しなければ「直後に」の構成とすることができないことについて、当事者間に争いはない。

イ 審決は、上記「直後に」の構成について、「通常のコンピュータ制御における入出力(プログラムによる通信制御に基づくものと解釈される)の実用動作速度が1msec程度であるのに比較し、特段の高速性を持ってコマンド・レスポンスの送受信を繰り返すという技術的意義を有する」としているところ、ハーフデュープレックス(半二重)の通信方式において、引き続きコマンドパケットが、先行するレスポンスパケットの「直後に」に送信されるようにするために、特段の確認作業を行う必要はないのであるから、何らの創意工夫なく実現することができるというべきであるし、このことは、フルデュープレックス(全二重)の通信方式において、引き続きコマンドパケットが、先行するコマンドパケットの「直後に」送信されるようにする場合においても何ら異なることはないから、相違点4の構成を採用することが当業者にとって容易である以上、審決のいう「特段の高速性を持ってコマンド・レスポンスの送受信を繰り返す」ようにすることは何らの創意工夫なく実現することができるのであり、相違点5の「直後に」の構成とすることは当業者にとって容易であるというべきである。

(8) 以上のとおり、相違点4及び5についての審決の判断は誤りであるというべきであり、取消事由3は理由がある。

4 結論

以上のとおり、取消事由3は理由があるから、原告の請求は認容されるべきであ

り、審決は取り消しを免れない。

知的財産高等裁判所第4部

裁判長裁判官

田 中 信 義

裁判官

石 原 直 樹

裁判官

杜 下 弘 記