

平成26年8月7日判決言渡

平成25年（行ケ）第10240号 審決取消請求事件

口頭弁論終結日 平成26年7月15日

判 決

原 告 日立マクセル株式会社

訴訟代理人弁護士 飯 田 秀 郷

同 隈 部 泰 正

同 森 山 航 洋

被 告 住友金属鉱山株式会社

訴訟代理人弁理士 伊 東 忠 重

同 伊 東 忠 彦

同 大 貫 進 介

同 鶴 谷 裕 二

同 杉 山 公 一

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。

事 実 及 び 理 由

第1 請求

特許庁が無効2012-800120号事件について、平成25年7月19日にした審決を取り消す。

第2 前提となる事実

1 手続の経緯等（当事者間に争いが無い。）

原告は、発明の名称を「半導体装置の製造方法」とする特許第4911727号（平成14年12月27日に出願した特願2002-379270号の一部を平成20年10月17日に新たな特許出願としたもの。平成24年1月27日設定登録。請求項の数3。以下「本件特許」という。）の特許権者である。

被告は、平成24年8月7日、本件特許の請求項1ないし3について無効審判請求（無効2012-800120）をした。これに対して、原告は、特許請求の範囲等を訂正する訂正請求をした。特許庁は、平成25年7月19日、訂正を認める、本件特許の請求項1ないし3に係る特許を無効とする旨の審決をし、この謄本は同月29日、原告に送達された。

2 審決の概要（弁論の全趣旨によるか、当事者間に争いが無い。）

(1) 審決の理由の要旨

審決の理由は、別紙審決書写しに記載のとおりである。審決は、要するに、① 訂正後の本件特許の請求項1に係る発明（以下、請求項の番号を付して「本件特許発明1」等という。また、本件特許発明1ないし3を併せて、「本件特許発明」という。）は、(i) 特開2002-9196号公報（甲2。以下「引用例1」という。）記載の発明、特開昭63-164327号公報（甲4。以下「甲4文献」という。）の記載事項及び周知の事項に基づいて当業者が容易に発明することができ、また、(ii) 特開2002-16181号公報（甲3。以下「引用例2」という。）に記載の発明、引用例1、甲4文献の記載事項及び周知の事項に基づいて当業者が容易に発明することができ、さらに、② 本件特許発明2及び3も、(i) 引用例1記載の発明、引用例1及び甲4文献の記載事項並びに周知の事項に基づいて当業者が容易に発明することができ、また、(ii) 引用例2に記載の発明、引用例1及び甲4文献の記載事項並びに周知の事項に基づいて当業者が容易に発明することができたから、本件特許発明1ないし3についての特許（本件特許）は無効であるとするものである。

(2) 本件特許発明1ないし3の内容

「【請求項 1】

ステンレス基板（1）の一面側に、半導体素子（S）搭載用のアイランド部（2 a）および上記半導体素子（S）の電極（L）と接続される電極部（2 b）を形成するための所定パターンから成るレジストパターン層（6）を形成する工程と、

上記ステンレス基板（1）の露出面に対し、化学エッチングにより不活性膜を除去する工程と、

上記ステンレス基板（1）の不活性膜を除去した露出面に実装用金属薄膜（1 1）として0.05～1 μm厚で金をメッキ成長させ、上記実装用金属薄膜（1 1）上に電鍍工程によりリード層（1 2）を積層して成長させ一体化して、上記実装用金属薄膜（1 1）とこの上面に一体に積層される上記リード層（1 2）の少なくとも二層構造から成る上記アイランド部（2 a）および上記電極部（2 b）を独立して形成する工程と、

上記ステンレス基板（1）より上記レジストパターン層（6）を除去する工程と、

上記アイランド部（2 a）に上記半導体素子（S）を搭載した後、上記半導体素子（S）の上記電極（L）と上記電極部（2 b）とを電氣的に接続する工程と、

上記ステンレス基板（1）上の上記半導体素子（S）搭載部分を樹脂でモールドして樹脂層（4）を形成する工程と、

上記ステンレス基板（1）を引き剥がし除去して、上記アイランド部（2 a）および上記電極部（2 b）の上記実装用金属薄膜（1 1）の各裏面が、上記樹脂層（4）の底面と略同一平面で露出した状態で形成される工程

とを順に行うことを特徴とする半導体装置の製造方法。」（本件特許発明 1）

「【請求項 2】

上記アイランド部（2 a）および上記電極部（2 b）を形成後、少なくとも上記電極部（2 b）の上記リード層（1 2）上に、メッキ工程によってボンディング用金属膜（1 3）を一体に成長形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。」（本件特許発明 2）

「【請求項 3】

上記ボンディング用金属膜（13）は、金、銀、スズで形成したことを特徴とする請求項 2 に記載の半導体装置の製造方法。」（本件特許発明 3）

(3) 引用例 1 に記載の発明

引用例 1 に記載された発明は次のとおりである。

「ステンレス基板 1 の一面側に、所定のパターンニングを施したレジストパターン層 6 を形成する工程と、ステンレス基板 1 の露出面を化学エッチングによる表面酸化被膜除去や薬品による周知の化学処理等の表面活性化処理する工程と、上記ステンレス基板 1 のレジストパターン層 6 を除く露出面に導電性金属を電着することで、ステンレス基板 1 上に半導体素子搭載用の金属層 2 a と 1 以上の電極層 2 b とをそれぞれ独立して並設形成する工程と、ステンレス基板 1 より上記レジストパターン層 6 を除去する工程と、上記金属層 2 a 上に半導体素子 S を搭載した後、半導体素子上の電極と上記電極層 2 b とを電氣的に接続する工程と、上記ステンレス基板 1 上において半導体素子 S 搭載部分を樹脂層 4 で封止する工程と、上記ステンレス基板 1 を除去して、金属層 2 a と電極層 2 b の各裏面が、樹脂層 4 の底面と略同一平面で露出した樹脂封止体を得る工程と、電極層 2 b と金属層 2 a の裏面のみに実装用に金の薄膜をフラッシュメッキ等（の）により 0.3～0.5 μm 厚で形成する工程とを有する半導体装置の製造方法。」（以下「引用例 1 記載の発明」という。）

(4) 引用例 2 に記載の発明

引用例 2 に記載された発明は次のとおりである。

「可撓性平板状のステンレス基板の一面に、レジスト膜をパターンニングして、半導体素子の搭載部と外部導出用の金属層とを形成する金属基板面を露呈させて、選択的に金薄膜層を形成した後、パターンニングしたレジスト膜を除去して、金薄膜層が選択的に形成された面、全面に Ni または Ni・Co の薄膜金属層を形成し、続いて、Ni または Ni・Co 薄膜金属層を選択的に除去して電着フレームを形成する工程と、前記電着フレームのパターンニングされた前記金属層に複数の半導体素

子を隣接して搭載する工程と、前記パターニングされた金属層に搭載される各半導体素子間に形成された外部導出用の金属層に、前記隣接する各半導体素子の電極パッドをワイヤで所定間隔を設けて電氣的に共通接続するワイヤボンディング工程と、前記電着フレームに搭載されて配線がなされた半導体素子を樹脂封止する樹脂封止工程と、前記金属基板を剥離して、金属層 8 a、8 b の露呈面が、樹脂封止体 1 1 の底面と面一である樹脂封止体を得る剥離工程と、前記半導体素子が複数封止された樹脂封止体を、パターニングされた金属層の切断マークで個々の半導体装置に切断する切り出し工程と、を含むことを特徴とする半導体装置の製造方法。」(以下「引用例 2 記載の発明」という。)

(5) 引用例 1 記載の発明との一致点・相違点

審決が認定した、本件特許発明 1 と引用例 1 記載の発明との一致点と相違点は次のとおりである。

ア 一致点

「ステンレス基板の一面側に、半導体素子搭載用のアイランド部および上記半導体素子の電極と接続される電極部を形成するための所定パターンから成るレジストパターン層を形成する工程と、上記ステンレス基板の露出面に対し、化学エッチングにより不活性膜を除去する工程と、上記ステンレス基板の不活性膜を除去した露出面に電鍍工程によりリード層を積層して成長させ、上記アイランド部および上記電極部を独立して形成する工程と、上記ステンレス基板より上記レジストパターン層を除去する工程と、上記アイランド部に上記半導体素子を搭載した後、上記半導体素子の上記電極と上記電極部とを電氣的に接続する工程と、上記ステンレス基板上の上記半導体素子搭載部分を樹脂でモールドして樹脂層を形成する工程と、上記ステンレス基板を引き剥がし除去して、上記アイランド部および上記電極部の各裏面が、上記樹脂層の底面と略同一平面で露出した状態で形成される工程とを順に行うことを特徴とする半導体装置の製造方法。」である点

イ 相違点

アイランド部および電極部の形成について、本件特許発明 1 では、「アイランド部および電極部を独立して形成する工程」において、ステンレス基板（1）の不活性膜を除去した露出面に実装用金属薄膜（11）として $0.05 \sim 1 \mu\text{m}$ 厚で金をメッキ成長させ、実装用金属薄膜（11）上に電鍍工程によりリード層（12）を積層して成長させ一体化して、実装用金属薄膜（11）とこの上面に一体に積層されるリード層（12）の少なくとも二層構造から成るアイランド部（2a）および電極部（2b）を独立して形成し、「ステンレス基板（1）を引き剥がし除去して、アイランド部（2a）および電極部（2b）の実装用金属薄膜（11）の各裏面が、樹脂層（4）の底面と略同一平面で露出した状態で形成される」のに対し、引用例 1 記載の発明では、「アイランド部および電極部を独立して形成する工程」において、ステンレス基板 1 のレジストパターン層 6 を除く露出面に導電性金属を電着することで、ステンレス基板 1 上に半導体素子搭載用の金属層 2a と 1 以上の電極層 2b とをそれぞれ独立して並設形成し、「ステンレス基板 1 を除去して、金属層 2a と電極層 2b の各裏面が、樹脂層 4 の底面と略同一平面で露出した樹脂封止体を得る工程」のあとに、電極層 2b と金属層 2a の裏面のみに実装用に $0.3 \sim 0.5 \mu\text{m}$ 厚で金の薄膜をフラッシュメッキ等している点。

(6) 引用例 2 記載の発明との一致点・相違点

審決が認定した、本件特許発明 1 と引用例 2 記載の発明との一致点及び相違点は次のとおりである。

ア 一致点

「ステンレス基板の一面側に、半導体素子搭載用のアイランド部および上記半導体素子の電極と接続される電極部を形成するための所定パターンから成るレジストパターン層を形成する工程と、ステンレス基板の露出面に実装用金属薄膜として金をメッキ成長させ、実装用金属薄膜とこの上面に一体に積層されるリード層の少なくとも二層構造から成るアイランド部および電極部を独立して形成する工程と、上記アイランド部に上記半導体素子を搭載した後、上記半導体素子の上記電極と上記

電極部とを電氣的に接続する工程と，上記ステンレス基板上の上記半導体素子搭載部分を樹脂でモールドして樹脂層を形成する工程と，上記ステンレス基板を引き剥がし除去して，上記アイランド部および上記電極部の上記実装用金属薄膜の各裏面が，上記樹脂層の底面と略同一平面で露出した状態で形成される工程とを順に行うことを特徴とする半導体装置の製造方法。」である点

イ 相違点

[相違点 1]

本件特許発明 1 においては，「ステンレス基板（1）の露出面に対し，化学エッチングにより不活性膜を除去する工程」があるのに対し，引用例 2 記載の発明においては該工程がない点。

[相違点 2]

「ステンレス基板の露出面に実装用金属薄膜として金をメッキ成長させ，実装用金属薄膜とこの上面に一体に積層されるリード層の少なくとも二層構造から成るアイランド部および電極部を独立して形成する工程」について，本件特許発明 1 においては，「ステンレス基板（1）の不活性膜を除去した露出面に実装用金属薄膜（11）として 0.05～1 μm 厚で金をメッキ成長させ，上記実装用金属薄膜（11）上に電鍍工程によりリード層（12）を積層して成長させ一体化して，上記実装用金属薄膜（11）とこの上面に一体に積層される上記リード層（12）の少なくとも二層構造から成る上記アイランド部（2a）および上記電極部（2b）を独立して形成する工程と，上記ステンレス基板（1）より上記レジストパターン層（6）を除去する工程」であるのに対し，引用例 2 記載の発明においては「半導体素子の搭載部と外部導出用の金属層とを形成する金属基板面を露呈させて，選択的に金薄膜層を形成した後，パターンニングしたレジスト膜を除去して，金薄膜層が選択的に形成された面，全面に Ni または Ni・Co の薄膜金属層を形成し，続いて，Ni または Ni・Co 薄膜金属層を選択的に除去して電着フレームを形成する工程」である点。

第3 取消事由に係る当事者の主張

1 原告の主張

(1) 引用例1に関する認定判断の誤り（取消事由1）

ア 本件特許発明1と引用例1記載の発明との相違点認定の誤り（取消事由1-1）

(ア) 審決による本件特許発明1と引用例1記載の発明との間の相違点の認定には、次のとおり誤りがあり、この誤りは審決の結論に影響を与える。

(イ) a 本件特許発明1では、ステンレス基板(1)の不活性膜を除去した露出面に実装用金属薄膜(11)として金をメッキ成長させ、この金メッキ上にリード層(12)を積層して成長させ一体化させるため、アイランド部および電極部を実装用金属薄膜(11)とリード層(12)の少なくとも二層構造で形成する構成を採用している。

これに対して、引用例1記載の発明では、ステンレス基板1のレジストパターン層6を除く露出面に導電性金属(金ではない)を電着して一層の電鍍金属層により半導体素子搭載用の金属層2a(アイランド部に相当する)と1以上の電極層2b(電極部に相当する)とを形成する構成を採用している。審決はこの相違点を明示的に認定していない。

b 本件特許発明1は、ステンレス基板を引き剥がし除去してリードレス表面実装型半導体装置を完成させるものであるのに対し、引用例1記載の発明では、ステンレス基板を引き剥がし除去したことにより露出する電極層2bと金属層2aの裏面のみに実装用に0.3~0.5 μ m厚で金の薄膜をフラッシュメッキ等する工程を経て、リードレス表面実装型半導体装置を完成させる点を、審決は明示的な相違点として認定していない。

(ウ) 本件特許発明1は、化学エッチングにより不活性膜を除去することで、「金メッキの成長不良や付着不良の発生を事前に防止する」(【0018】)ことができる。他方、引用例1記載の発明の実装用金薄膜のフラッシュメッキ等は、難メッキ材で

あるステンレス基板ではなく、ニッケルからなるアイランド部（2 a）と電極部（2 b）の裏面のみに行われるものであり、メッキが容易であるから、不活性膜除去（活性化）は必要ではない。そして、ステンレス基板に金メッキをする場合には、活性化が必須であるところ、このような活性化をするとその後のステンレス基板の引き剥がしが困難であるという技術常識からすると、審決が認定しなかった相違点については、当業者が容易に想到するとすることはできない。

イ 審決の認定する相違点の判断の誤り（取消事由1－2）

(ア) 審決は、その認定に係る本件特許発明1と引用例1記載の発明との相違点を甲4文献の記載事項から容易想到であるとしたが、この判断には次のとおりの誤りがある。

(イ) 甲4文献には、「後で剥がせる程度に活性化処理を行う」構成が開示されているとは認められないから、引用例1記載の発明に甲4文献に記載の技術的事項を適用することで本件特許発明1を容易に想到することができるものではない。

すなわち、半導体装置の製造に関する技術分野において一般に使用される「剥離処理」は、① 基板上に付着している物質を剥離する処理の意味、又は、② 基板上に付着させる物質を剥離しやすくするための処理の意味という二つの意味で用いられる。甲4文献において、上記①の意味の「剥離処理」をすると、形成されたレジスト層2は除去されてしまうから、この意味に解することはできず、甲4文献における「剥離処理」は、上記②の意味に解するべきことになる。しかし、甲4文献においては、ステンレス基板の露出面に酸化被膜を形成する処理（剥離処理）をした後、当該酸化皮膜（不活性膜）を除去する活性化処理をしているから、結局、その技術的意義は不明であるとせざるを得ない。よって、甲4文献には「後で剥がせる程度に活性化処理を行う」構成は開示されておらず、引用例1記載の発明に甲4文献に記載の技術的事項を適用しても、本件特許発明1には至らない。

(ウ) 甲4文献は、TCP（Tape Carrier Package）用のTAB（Tape Automated Bonding）と呼ばれるテープ状の bumps 付きフィンガに関するものであって、甲4文

献には半導体装置を製造するための一部品であるリードフレームの製造方法が記載されているにすぎず、引用例1記載の発明と共通するところはない。

甲4文献に記載の事項を認定する際には、甲4文献の記載を基礎として、客観的かつ具体的に認定・確定されるべきであって、甲4文献に記載された技術内容を抽象化したり、一般化したり、上位概念化して、審決のように、「半導体装置の製造における、半導体素子搭載用の金属と電極を、ステンレス基板の非レジスト部に、電鍍により金属層を形成した後、ステンレス基板を剥がすことにより形成するもの」と認定することはできない。

また、引用例1記載の発明に甲4文献に記載の事項を組み合わせるにより得られるのは、本件特許発明1のリードレス表面実装半導体装置とは異なるリード付きの半導体である。

(エ) 引用例1のアイランド部は、半導体素子を搭載するためのものであって、アイランド部を金属層で形成するのは、半導体素子の駆動中の熱を放熱する必要があるからである。他方、甲4文献に記載されたバンプ付きフィンガは、非常に微細で、半導体素子の放熱に寄与することはないから、半導体素子の搭載部であるとはできないし、引用例1のアイランド部及び電極部に対応する部材についての記載は全く存在しない。

甲4文献は、リードフレームの製造方法について開示したものにもすぎないにもかかわらず、審決はこれをことさら上位概念化するもので、誤りである。

(オ) 本件特許発明1は、引用例1記載の発明を従来技術とするものであって、引用例1記載の発明の構成を、「工程数をできるだけ少なくする」という課題を解決しようと考えて、リード材（【0002】）について、ステンレス基板に対して金メッキする工程を採用するという具体的な課題解決手段が導かれるものではない。

(カ) 引用例1には、本件特許発明1が採用したような、リード材（【0002】）の形成工程（半導体素子の搭載前の段階である）においてステンレス基板に対して金メッキをする工程を採用することを示唆する記載もなければ動機付けも一切存在

しない。

(2) 引用例 2 に関する認定判断の誤り（取消事由 2）

ア 相違点 1 の判断の誤り（取消事由 2-1）について

審決は、本件特許発明 1 と引用例 2 記載の発明との間の相違点 1 について、引用例 1 や、甲 4 文献の記載事項及び周知の事項から容易想到であるとした。

この点、引用例 1 記載の発明は、必要に応じて各金属層 2 a 及び電極層 2 b の表面に金メッキ等を行ったり（【0018】）、「電極層 2 b と金属層 2 a の裏面にのみに実装用に金の薄膜をフラッシュメッキする」ものであるから、電極層 2 b と金属層 2 a のいずれもが金であるはずはなく、引用例 1 の化学エッチングによるステンレス基板の表面活性化処理を本件特許発明 1 の化学エッチングと同視することはできない。

甲 4 文献の「ステンレス等の基板を剥離処理して、基板 1 の非レジスト部 2 a に相当する表面を活性化」との記載は、不活性膜を除去するための活性化処理と、酸化被膜を形成するための剥離処理という全く相矛盾する処理をするものであって、技術的意義は不明である。

周知技術を示すものとされる各文献（甲 9 ないし 11）は、いずれも本件特許発明 1 のように、ステンレス基板の引き剥がしを行うことを前提としたものではないから、本件特許発明 1 の容易想到性の判断においては全く参考にならない。

以上よりすると、本件特許発明 1 と引用例 2 記載の発明との間の相違点 1 について、引用例 1 や、甲 4 文献及び周知の事項から容易想到であるとする審決の判断は誤っている。

イ 相違点 2 の判断の誤り（取消事由 2-2）について

審決は、本件特許発明 1 と引用例 2 記載の発明との間の相違点 2 についても、甲 4 文献の記載事項から当業者が容易に想到できることであるとする。

しかし、甲 4 文献は、バンプ付きフィンガを備えるリードフレームに関する文献にすぎないから、本件特許発明 1 や引用例 2 記載の発明にいう「実装用金属薄膜と

この上面に一体に積層されるリード層の少なくとも二層構造から成るアイランド部および電極部を独立して形成する工程」とは何ら関係がない。

甲4文献には、この「少なくとも二層構造から成るアイランド部および電極部を独立して形成する工程」については何らの開示もないし、示唆もないにもかかわらず、審決は、何らの論理も示さずに、相違点2は容易想到であると結論しており、進歩性判断手法を誤った違法がある。

引用例2記載の発明は、従来の半導体装置が放熱性に劣るという技術的課題について解決手段を提供するものであるのに対して、甲4文献に記載の事項は、従来の金属製フレームが薄い金属板をプレスで打ち抜いたり、エッチングなどで形成していたが、そのフィンガ先端のバンプ（金属突起）の形成が困難であるという課題を解決するために電鍍技術を用いたリードフレームの形成をしようとするものであり、引用例2記載の発明と甲4文献に記載の事項とでは、その技術的課題は全く異なるものである。

引用例2記載の発明は、リードレス表面実装方式の半導体装置の製造方法に関する発明であり、甲4文献の記載事項のようなリードフレームを用いるものではなく、甲4文献にいうバンプ付きフィンガに対応する構成は存在しない。

また、引用例2記載の発明の金属層からなるアイランド部及び電極部の下面は、半導体装置を実装する基板上での放熱を図り、また、当該実装基板の電極との電氣的接続を図るために金メッキするものであるのに対し、甲4文献に記載のバンプ電極の下面は、フィンガの先端部を構成するものであって、後に半導体素子の電極との電氣的接続のため金を電鍍するものであるから、甲4文献における金属層（電鍍金属層）は、リードフレームのフィンガにすぎず、引用例2記載の発明の金属層（薄膜金属層）とは、その技術的意義が全く異なり、両者に技術的関連性は全く存在しない。

以上よりすると、相違点2が甲4文献より容易想到とする審決の判断は、相違点の判断を誤るものである。

2 被告の反論

(1) 引用例 1 に関する認定判断の誤り（取消事由 1）に対して

ア 本件特許発明 1 と引用例 1 記載の発明との相違点認定の誤り（取消事由 1 - 1）について

(ア) 引用例 1 記載の発明では、金属層 2 a と電極層 2 b の裏面に実装用に金の薄膜をフラッシュメッキにより形成しており、金属層が追加されることにより結果として二層構造になっているのであるから、層の数に関する原告の主張は誤りである。また、本件特許発明 1 では、剥離される前のステンレス基板上に金をメッキするのに対して、引用例 1 記載の発明においては、ステンレス基板除去後に金をメッキさせるという点については、審決も相違点として認定している。

(イ) いずれの発明もステンレス基板の除去後に半導体装置が得られることにおいて変わりはないのであるから、「本件特許発明 1 は、ステンレス基板を引き剥がし除去してリードレス表面実装型半導体装置を完成させるものであるのに対し、引用例 1 記載の発明では、ステンレス基板を引き剥がし除去したことにより露出する電極層 2 b と金属層 2 a の裏面のみに実装用に 0.3～0.5 μm 厚で金の薄膜をフラッシュメッキ等する工程を経て、リードレス表面実装型半導体装置を完成させる点」は、相違点とはならない。なお、本件特許発明 1 においては剥離する前のステンレス基板上に金をメッキさせるのに対して、引用例 1 記載の発明においてはステンレス基板除去後に金をメッキさせるという点については、審決は相違点として認定している。

(ウ) 引用例 1 記載の発明においてステンレス基板にニッケルを電着させる場合にすら化学エッチングによる表面化処理を行うことが記載されているから、引用例 1 記載の発明におけるフラッシュメッキに代えて、甲 4 文献の記載事項である表面活性化後のステンレス基板の非レジスト部上に接触材として金メッキを形成する構成を採用する場合には、なおさらステンレス基板の表面活性化処理が必要となることは技術常識である。

ステンレス基板に金メッキをする場合に活性化を施してから金メッキをし、その後金メッキ層をステンレス基板から引き剥がすことは、周知の事項であって、容易想到である。

イ 審決の認定する相違点の判断の誤り（取消事由 1－2）

(ア) 「剥離処理」とは、レジストパターンに影響を与えない程度に非レジスト部に微量に残存したレジストを除去し、かつ、ステンレス基板の表面を活性化するためにカセイソーダまたは塩化メチレン等を使用した処理である。したがって、甲 4 文献の「次にこの基板 1 を剥離処理して、基板 1 の非レジスト部 2 a に相当する表面を活性化した後」とは、「次にこの基板 1 をカセイソーダまたは塩化メチレン等を用いて剥離処理を行うことにより、基板 1 の非レジスト部 2 a に相当する表面を活性化した後」と解釈される。

「剥離処理」は、単に基板表面に「酸化被膜を付する」処理を意味するだけではなく、基板に電鍍した金属から基板を容易に剥離できる程度の適度な密着性を有するようにする表面処理を意味するから、電鍍金属との密着性が強い基板と弱い基板とでは「剥離処理」の内容は自ずから異なる。密着性が強い基板には、剥離しやすくするために「酸化被膜を付する処理」、弱い基板には、密着しやすくするために「活性化処理」を行う。ステンレス基板表面には、通常、不動態皮膜が形成されていることは周知の事項であり、かつ、ステンレス基板に金めっきをする場合に、ステンレス基板表面を活性化処理して、適度な密着性を確保するための「剥離処理」を施すことも周知の事項である。

甲 4 文献の「剥離処理」は、「適度な剥離性（＝適度な密着性）に調整する処理であって」、電鍍金属との密着性の弱いステンレス基板に対する「剥離処理」は、「酸化膜を付する処理」ではなく「活性化処理」である。

(イ) 甲 4 文献に記載されたフィンガ 5 のうちバンプ 5 d の上には半導体素子が搭載されるので、バンプ 5 d は本件特許発明 1 の半導体素子搭載用のアイランド部（2 a）及び引用例 1 記載の発明の電極層 2 a に相当する。また、甲 4 文献のフィ

フィンガ基部 5 a は、外部接続用電極であるから、本件特許発明 1 の電極部 (2 b) 及び引用例 1 記載の発明の電極層 2 b に相当する。

甲 4 文献には、リードレス表面実装半導体装置の製造方法であるか否かにかかわらず、半導体装置の製造方法における半導体素子搭載用の金属と電極を、ステンレス基板の非レジスト部の表面を活性化してから金メッキを形成し、続けて電鍍により金属層を形成した後、ステンレス基板を剥がすことにより形成するという周知の事項が記載されていることには変わりはないし、これにより、半導体装置が得られていることも明らかである。

本件特許発明 1 のアイランド部と電極部は引用例 1 記載の発明に記載されており、一致点であるから、仮に甲 4 文献に示されてないとしても、進歩性判断には問題がない。また、甲 4 文献のフィンガ 5 のうちバンプ 5 d は本件特許発明 1 のアイランド部 2 a に相当しており、フィンガ基部 5 a は電極部 2 b に相当しているので、原告の主張は理由がない。

本件特許発明 1 と引用例 1 記載の発明の課題は、①半導体装置の小型、薄膜化を達成しつつ実装時の外部電極部の導通性を向上させること、②半導体装置を量産性に優れかつ安価に生産できる製造方法を提供するという点で共通しており、さらに半導体装置製造方法の分野で常に存在する工程数削減の課題をも考慮すれば、審決の進歩性判断には誤りはない。

(2) 引用例 2 に関する認定判断の誤り (取消事由 2) に対して

ア 相違点 1 の判断の誤り (取消事由 2-1) について

引用例 1 記載の発明では、ステンレス基板にニッケル等の金属を用いて電鍍を行う場合であっても、ステンレス基板の露出面に対して化学エッチングによる表面酸化被膜除去等を行うことが望まれるのであるから、ニッケルよりも付着力の弱い「金」を用いて電鍍を行う場合には、なおさら表面酸化被膜除去等が望まれることが当業者には容易に理解される。また、ステンレス基板に金メッキをする際に、化学エッチングにより不活性膜を除去することは周知の事項であるから、ステンレス基板に

金メッキをする際に、化学エッチングにより不活性膜を除去することは、当然に行われることである。また、化学エッチングによる不活性膜除去処理をしてから電鍍した付着力の強いニッケル底面からさえステンレス基板を引き剥がしできるから、付着力の弱い「金」底面からステンレス基板を引き剥がしできることはなおさら容易である。

イ 相違点 2 の判断の誤り（取消事由 2 - 2）に対して

引用例 2 記載の発明と甲 4 文献の記載事項との間には技術分野の関連性及び課題の共通性が存在し、かつ、引用例 2 には甲 4 文献の記載事項を採用して、金属薄膜を形成した後、パターニングしたレジスト膜を除去せずに、続けて薄膜金属層を形成することへの示唆が存在する。

また、甲 4 文献の記載事項には半導体装置の製造方法が記載されているので、本件特許発明 1 や引用例 2 記載の発明と密接な関連性がある。

よって、審決の認定する相違点 2 が容易想到であることは明白である。

第 4 当裁判所の判断

1 本件特許発明について

本件特許発明は、小型・薄型化を図れ、かつ信頼性の高い樹脂封止型の半導体装置の製造方法に関するものである（【0001】）。母型基板上に半導体素子搭載用の金属層と外部導出用の電極層から成る電鍍製のリード材を形成し、リード材上に半導体素子を搭載の後結線処理を行い、母型基板上で樹脂封止した後、母型基板のみを除去し個々に切断して構成する従来の樹脂封止型の半導体装置（引用例 1 記載の発明）は、上記リード材を構成する半導体素子が搭載される金属層と外部導出用の電極層の各裏面が樹脂封止体から露出して構成され、ガラスエポキシ基板やセラミック基板等の基板を使用することなく、半導体装置の高さを低くし装置全体を小型化することができるとともに、放熱性にも優れるという利点があった（段落【0002】）。もっとも、当該半導体装置を実装するにあたって、電極導通の信頼性向上のために、あらかじめ外部導出用の電極層等に導電性に優れた金や銀等の金属薄膜

を形成しておくことが好ましく、その場合樹脂封止後に切断された個々の半導体装置をバレルメッキ等の方法で、樹脂封止体裏面から露出した金属層および電極層に金やスズ、ハンダ、パラジウムの薄膜を形成する方法が採られているが（段落【0004】）、半導体装置の製造工程と半導体装置完成後のメッキ工程とは全くの別工程となるために、量産性を阻害する要因となるとともに、バレルメッキ時におけるメッキ装置内での揺動、回転によって、半導体装置内部の半導体素子と電極層間の結線個所に外れや断線等の電氣的不良を生ずる虞もあった（段落【0005】）。

そこで、本件特許発明は、半導体装置の小型、薄型形状の形態は維持したまま実装時の外部電極部分の導通性を向上させること、また、上記半導体装置を量産性に優れかつ安価に生産できる製造方法を提供することを目的とし（段落【0006】）、前記第2、2(2)記載の特許請求の範囲に記載のとおりの方法としたものである（なお、本件特許に係る明細書の図面は別紙のとおりである。）。

2 取消事由1（引用例1に関する認定判断の誤り）について

(1) 引用例1記載の発明

ア 引用例1には次のとおりの記載がある（図は別紙のとおり。）。

「【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に、小型・薄型化を図れ、低価格化を可能とする樹脂封止型の半導体装置の製造方法に関する。

【0002】

【従来の技術】従来の半導体装置、特に、リードレス表面実装方式の樹脂封止された半導体装置については、図10に示すごとく、通常ガラスエポキシやセラミック等のプリント基板51の一面に搭載された半導体素子52と上記プリント基板51の当該一面に形成された複数の接続用電極53とを導電性のワイヤ54にて電氣的に接続するとともに、プリント基板51裏面に上記各接続用電極53と対向して形成される電極層55と上記各接続用電極53とを各々スルーホール56に配した導電体57を通して電氣的に接続する形態を呈しており、半導体素子52周りをエポ

キシ樹脂 5 8 等により樹脂封止して構成されている。

【0003】

【発明が解決しようとする課題】しかしながら、この種従来の半導体装置にあっては、その製造工程において、プリント基板 5 1 一面側の接続用電極 5 3 と裏面側の電極層 5 5 とをプリント基板 5 1 上で正確に位置合わせした状態で形成する必要がある。また各位置合わせして形成した電極 5 3 と電極層 5 5 とがスルーホール 5 6 により位置ズレなく、確実に導通されている必要もあり、製造時の精度が要求されるものである。これら精度の要求は、プリント基板 5 1 へのスルーホール 5 6 形成や導電体 5 7 の印刷のための製造工数のアップと合わせて、製造コスト低減のためのネックとなるとともに、製造時にプリント基板 5 1 上に多数隣接させて配置する半導体素子間にスルーホール形成のための領域が必要となり、一枚のプリント基板上に配設して形成できる半導体装置の個数も制限されてしまうものである。

【0004】しかも比較的厚みのあるプリント基板 5 1 上に半導体素子を搭載した上で樹脂封止するような製法であるため、プリント基板 5 1 自体の存在が半導体装置の小型化、薄型化の支障となるとともに半導体素子 5 2 の動作時に発生した熱が基板自体に蓄積され易く、放熱性に劣るという欠点もあった。

【0005】本発明の目的は、かかる従来の問題点を解決するために提案されたものであり、高精度であって、かつ小型で特に薄型の半導体装置を、量産性に優れかつ安価に生産できる製造方法を提供するにある。」

「【0011】

【作用】本発明では、基板上に半導体素子搭載用の金属層と電極層とを各々電鍍により同時形成するとともに、基板表面の金属層上に半導体素子搭載の後素子上の電極と基板上の電極層とを電氣的に接続し、素子搭載部分を樹脂封止した後基板のみを除去する工程とから半導体装置を製造するので、電着で構成される核部分の積層が極めて良好で微細な配置にも対応でき、かつ半導体装置を構成する部品としてガラスエポキシやセラミック等の高価なプリント基板を使用する必要がなく、材料費

を低減できるとともに、樹脂封止される半導体素子搭載用の構成部品としてのこの種プリント基板を必要としないため、半導体装置自体の小型化、特に薄型化を著しく推進できるものである。また、電鍍工程により金属層と電極層とを形成するための母型となる基板を、後工程である樹脂封止工程まで残存させ、その後除去するものとしている為、後工程中の金属層と電極層各々の主面を保護する役割も果たすものである。」

【0015】

【発明の実施の形態】(第1実施例) 図1乃至図3に本発明に係る半導体装置を製造する場合の第1実施例を示す。図1は、本発明に係るリードレス表面実装型の半導体装置を示しており、同図(a)は断面図、同図(b)は底面図である。同図において、Sは半導体素子であって、金属層2a上に接着されて搭載されている。Lは半導体素子S上に形成された電極であり、上記金属層2aと独立して並設された対応する電極層2bと金等の導電性のワイヤ3により結線され、電氣的に接続されている。上記半導体素子Sの搭載部分は熱硬化性エポキシ樹脂等の樹脂層4にて封止されており、上記金属層2aと電極層2bの各裏面が露出した樹脂封止体が構成されている。

【0016】 図2及び図3は上記半導体装置の製造方法を工程ごとに示しており、図2(a)はステンレスやアルミ、銅等の導電性の金属板、例えば本実施例の場合SUS430により形成された0.1mm厚の基板1の両面に約50 μ m厚のアルカリタイプの感光性フィルムレジストをラミネートする等して、感光性レジスト層5、5を密着させる工程であり、次いで図2(b)のごとく基板1の一面側の感光性レジスト層5上に所定パターンのフィルムFを配した状態で紫外線照射による両面露光を行った後現像処理を行い図2(c)に示すような、基板1の一面側に所定のパターンニングを施したレジストパターン層6とその裏面に硬化したレジスト層5を得る。

【0017】 次いで、基板1の一面側のレジストパターン層6で覆れていない露出

面に対し、必要に応じて化学エッチングによる表面酸化被膜除去や薬品による周知の化学処理等の表面活性化処理を行った後、基板1に電鍍を行い、図2（d）に示すごとく基板1のレジストパターン層6により規定された露出面より導電性金属の電着物を成長させ、半導体搭載用の金属層2aと1の金属層2aに対して1以上の独立した電極層2bを各々対として、複数組を並列形成する。なお、電着物としてはニッケルやニッケル-コバルト合金銅その他種々の金属が考えられるが、本実施例においては、スルファミン酸ニッケルの無光沢浴を使用し、レジストパターン層6の厚さ範囲内の、40～50 μ mの厚さで電着させた。上記表面活性化処理の工程については、必須の工程ではない。

【0018】次いで、必要に応じて各金属層2aおよび電極層2bの表面に結着力向上用の金メッキ等を0.3～0.4 μ m厚で行い、基板1の両面よりレジストパターン層6及びレジスト層5を除去することで、図2（e）の状態となる。なお、レジストの除去法としてはアルカリ溶液による膨潤除去の方法等が考えられる。

【0019】次いで図3（a）に示すごとく、半導体素子Sを公知の手法により金属層2a上に接着して搭載するとともに、上記半導体素子S上の電極Lにこれと対応する電極層2bとを、図3（b）のごとく、金線等の導電性のワイヤ3を用いて超音波ボンディング装置等により結線する。ここで、ワイヤ3を結線するにあたり、各電極層2bにはボンディング装置からの引き離し力が作用し、基板1から浮き上がろうとするが、上記のごとく、電鍍工程に先立って、基板1の露出面に対し表面活性化処理を行うことにより、基板1と電着層との密着力を予め向上させているため、結線時における電極層2bの脱落や浮き上がりを効果的に予防でき、製造工程時の不良品形成率を低減できる。

【0020】次いで基板1上の半導体素子S搭載部分を、図3（c）のごとく熱硬化性エポキシ樹脂等の樹脂層4でモールドし、基板1上に樹脂封止体を形成する。具体的には基板1一面側をモールド金型（上型）に装着するとともに、モールド金型内にエポキシ樹脂をキャビティにより圧入するもので、基板1上に並列して形成し

た、複数組の半導体素子搭載部が樹脂層 4 により連続して封止された形態となる。この場合基板 1 自体が樹脂モールド時における下型の機能を果たす。なお、モールド時に複数の基板 1 を並列に配置して、エポキシ樹脂をライナを通して各基板 1 と上金型との間に圧入するようにすれば、効率良く多数の樹脂封止を行うことが可能である。

【0021】次いで、図 3 (d) のごとく、樹脂封止体から基板 1 を除去することにより、樹脂封止体の底面には複数組の金属層 2 a と電極層 2 b の各裏面が露出するとともに、金属層 2 a、電極層 2 b の各裏面と樹脂層 4 の底面は略同一平面となっている。上記基板 1 を除去する方法としては、樹脂封止体から基板 1 を引き剥がす等強制的に剥離除去する方法の他、例えば基板 1 等を構成する材質に応じては、樹脂封止体側への影響のない溶剤等により基板 1 を溶解して除去する方法も含まれるものである。なお、本工程後必要に応じて、各電極層 2 b あるいは電極層 2 b と金属層 2 a の裏面のみに実装用に金、銀等の導電性金属の薄膜をフラッシュメッキ等の周知の方法により、0.3~0.5 μm 厚で形成するようにしても良い。

【0022】次いで、図 3 (e) のごとく樹脂封止体を切断線 X-X に沿って 1 つの半導体素子の対毎に切断して切り離すダイシングの工程を経て、個々の樹脂封止体すなわち半導体装置が完成するものである。」

「【0030】

【発明の効果】以上説明したように、本発明によれば、従来半導体装置を構成する部品として要していた、プリント基板を使用する必要がなく、材料費や各種加工費を低減できるとともに、半導体装置自体の小型化、特に薄型化を図ることができるものである。また半導体素子を搭載する部分や外部導出用の電極部分が電鍍により構成されるため、精度が極めて良好で、微細な配置にも対応でき、半導体の高密度化に伴う他ピン化（判決注：「多ピン化」の誤記と認める。）にも対応することができるものである。さらに、半導体素子 S を搭載する金属層が樹脂層裏面から露出する形態であるため放熱性にも優れる。」

イ 以上の引用例 1 の記載からすると、引用例 1 記載の発明は、半導体装置に関し、特に、小型・薄型化を図れ、低価格化を可能とする樹脂封止型の半導体装置の製造方法に関するものであって（【0001】）、ガラスエポキシやセラミック等のプリント基板の一面に搭載された半導体素子と上記プリント基板の当該一面に形成された複数の接続用電極とを導電性のワイヤにて電氣的に接続するとともに、プリント基板裏面に上記各接続用電極と対向して形成される電極層と上記各接続用電極とを各々スルーホールに配した導電体を通して電氣的に接続し、半導体素子周りをエポキシ樹脂等により樹脂封止して構成されている従来のリードレス表面実装方式の樹脂封止された半導体装置は（【0002】）、その製造工程において、プリント基板一面側の接続用電極と裏面側の電極層とをプリント基板上で正確に位置合わせした状態で形成する必要があり、また、各位置合わせして形成した電極と電極層とがスルーホールにより位置ズレなく、確実に導通されている必要もあり、製造時の精度が要求され、これら精度の要求は、プリント基板へのスルーホール形成や導電体の印刷のための製造工数のアップと合わせて、製造コスト低減のためのネックとなるとともに、製造時にプリント基板上に多数隣接させて配置する半導体素子間にスルーホール形成のための領域が必要となり、一枚のプリント基板上に配設して形成できる半導体装置の個数も制限されてしまう（【0003】）。しかも比較的厚みのあるプリント基板上に半導体素子を搭載した上で樹脂封止するような製法であるため、プリント基板自体の存在が半導体装置の小型化、薄型化の支障となるとともに半導体素子の動作時に発生した熱が基板自体に蓄積され易く、放熱性に劣るという欠点もあった（【0004】）

そこで、引用例 1 記載の発明は、かかる従来の問題点を解決するために提案されたものであり、高精度であって、かつ小型で特に薄型の半導体装置を、量産性に優れかつ安価に生産できる製造方法を提供することを目的として（【0005】）、前記第 2、2(3)に記載のとおりの方法を採用したものである。

(2) 本件特許発明 1 と引用例 1 記載の発明との相違点認定の誤り（取消事由 1

－ 1) について

ア 原告は、審決には電極部の形成工程とメッキ工程のそれぞれにおいて、相違点の認定に誤りがあると主張している。

イ まず、原告が主張する電極の形成工程での相違点について検討する。

審決は、本件特許発明 1 と引用例 1 記載の発明との相違点を、「アイランド部および電極部の形成について、本件特許発明 1 では、「アイランド部および電極部を独立して形成する工程」において、ステンレス基板 (1) の不活性膜を除去した露出面に実装用金属薄膜 (1 1) として 0.05～1 μm 厚で金をメッキ成長させ、実装用金属薄膜 (1 1) 上に電鍍工程によりリード層 (1 2) を積層して成長させ一体化して、実装用金属薄膜 (1 1) とこの上面に一体に積層されるリード層 (1 2) の少なくとも二層構造から成るアイランド部 (2 a) および電極部 (2 b) を独立して形成し…のに対し、引用例 1 記載の発明では、「アイランド部および電極部を独立して形成する工程」において、ステンレス基板 1 のレジストパターン層 6 を除く露出面に導電性金属を電着することで、ステンレス基板 1 上に半導体素子搭載用の金属層 2 a と 1 以上の電極層 2 b とをそれぞれ独立して並設形成し…ている点。」と認定しているから、審決においても、本件特許発明 1 は、アイランド部及び電極部を実装用金属薄膜 (1 1) とリード層 (1 2) の少なくとも二層構造で形成しており、他方、引用例 1 記載の発明は、アイランド部及び電極部を半導体素子搭載用の金属層 2 a と 1 以上の電極層 2 b により形成していることを認定している。

そうすると、審決は、本件特許発明 1 と引用例 1 記載の発明とが、アイランド部及び電極部の形成工程において相違することを認定しているといえ、この点に関する原告の主張は採用の限りではない。

ウ 次に、原告が主張するメッキ工程での争点について検討する。

この点、審決は、本件特許発明 1 と引用例 1 記載の発明との相違点を、「アイランド部および電極部の形成について、本件特許発明 1 では、「アイランド部および電極部を独立して形成する工程」において、ステンレス基板 (1) の不活性膜を除去し

た露出面に実装用金属薄膜（11）として0.05～1μm厚で金をメッキ成長させ、実装用金属薄膜（11）上に電鍍工程によりリード層（12）を積層して成長させ一体化して、実装用金属薄膜（11）とこの上面に一体に積層されるリード層（12）の少なくとも二層構造から成るアイランド部（2a）および電極部（2b）を独立して形成し、「ステンレス基板（1）を引き剥がし除去して、アイランド部（2a）および電極部（2b）の実装用金属薄膜（11）の各裏面が、樹脂層（4）の底面と略同一平面で露出した状態で形成される」のに対し、引用例1記載の発明では、「アイランド部および電極部を独立して形成する工程」において、ステンレス基板1のレジストパターン層6を除く露出面に導電性金属を電着することで、ステンレス基板1上に半導体素子搭載用の金属層2aと1以上の電極層2bとをそれぞれ独立して並設形成し、「ステンレス基板1を除去して、金属層2aと電極層2bの各裏面が、樹脂層4の底面と略同一平面で露出した樹脂封止体を得る工程」のあとに、電極層2bと金属層2aの裏面のみに実装用に0.3～0.5μm厚で金の薄膜をフラッシュメッキ等している点」と認定しているから、審決は、本件特許発明1においては、メッキ工程の後に、ステンレス基板を引き剥がしており、他方、引用例1発明においては、ステンレス基板を引き剥がした後に、メッキ工程を行っていることを認定している。

そうすると、審決は、本件特許発明1と引用例1記載の発明とが、ステンレス基板を引き剥がし除去した後のメッキ工程の有無において相違することも認定しているといえ、この点に関する原告の主張も採用の限りではない。

エ したがって、審決の相違点の認定に誤りはないから、この点に関する原告の主張は採用できない。

(3) 取消事由1-2（審決の認定する相違点の判断の誤り）

ア 審決は、その認定に係る本件特許発明1と引用例1記載の発明との間の相違点は、引用例1記載の発明に甲4文献に記載の事項及び周知の事項に基づいて当業者が容易に想到することができたと判断している。

イ(ア) 甲4文献には次のとおりの記載がある(図は別紙のとおり)。

「第4図は、本出願人が先に提案した電鍍技術を用いたリードフレームの製造方法を説明するための断面図で、特開昭61-234060号公報に記載されたものである。

まず第4図(a)に示すように、ステンレス等の導電性金属からなる基板1の表面に所望のパターンを有するレジスト層2を形成する。基板1は同図の紙面に向かって垂直方向に長尺になったテープ状のもので、レジスト層2が形成されていない非レジスト部2aは製造すべきリードフレームの形状と同じパターンを有しており、図示せぬが基板1の両端にはスプロケット孔形成用の非レジスト部が紙面に向かって垂直方向に所定間隔を存して多数形成される。

次にこの基板1を剥離処理して、基板1の非レジスト部2aに相当する表面を活性化した後、同図(b)に示すように、該非レジスト部2a上に金、すず、半田等の接触材3を塗布もしくはメッキにより形成し、その後に電鍍を施して、同図(c)に示すように、接触材3上に電鍍金属層4を形成する。

このようにして一枚の板状に形成された基板2及び金属層の積層体の一部にプレス加工を施し、同図(d)に示すように、フィンガ5相当部分を折り曲げる。この折り曲げ形状は、平坦なフィンガ基部5aと、フィンガ基部5aから斜めに延びる起立部5b、及び起立部5bから平行に延びる先端部5cから構成されるものであるが、先端部5cの下面には同時にバンプ5dをプレスにより形成する。

次いで第二次の電鍍を施し、同図(e)に示すように前記電鍍金属層4上に新たな電鍍金属層6を形成する。この際、フィンガ5の起立部5bは傾斜した位置にあるため電鍍金属層6の成長速度は遅く、また先端部5cは細い頸部によって起立部5bに連結されているため、この部分で電鍍金属層6はより成長し、よってフィンガ5は先端部5c、フィンガ基部5a、起立部5bの順でその肉厚が大きく形成される。

最後に同図(f)に示すように、基板1を接触材3から剥がすと、レジスト層2

は基板 1 に残り，接触材 3 及び両電鍍金属層 4，6 は基板 1 から離れ，図示の如き形状のバンプ付きフィンガを有するリードフレームが得られる。これは，前述のように予め非レジスト部 2 a の表面に剥離処理が施されているためである。

なお，このようにして得られたリードフレームは，例えばロール状に巻き取られて半導体装置の製造ラインに搬送・供給される。そして，リードフレームに形成した図示せぬスプロケット孔を位置決め基準として，半導体チップの各電極と前記フィンガ 5 のバンプ 5 d とを熱圧着し，その後のモールド成形工程及びリードの切断工程を経て半導体装置が得られる。」（2 頁左上欄 2 行～同頁左下欄 1 4 行）

(イ) 以上のとおり，甲 4 文献には，ステンレス等の基板 1 を剥離処理して，基板 1 の非レジスト部 2 a に相当する表面を活性化した後，該非レジスト部 2 a 上に金，すず，半田等の接触材 3 を塗布もしくはメッキにより形成し，その後に電鍍を施して，接触材 3 上に電鍍金属層 4 を形成することを含むリードフレームの製造方法が記載されている。

また，上記リードフレームの製造方法は，特開昭 6 1 - 2 3 4 0 6 0 号公報（甲 3 5）に記載されたものであって，同公報には，「次にこの基板 8 上に，レジストがアルカリ現像タイプではカセイソーダを，溶剤タイプの場合は塩化メチレン等の溶剤を用いて剥離処理を行う。」（2 頁左下欄 3 ～ 5 行）と記載されている。

したがって，甲 4 文献には，ステンレス等の基板 1 をカセイソーダや塩化メチレンを用いて剥離処理して，基板 1 の非レジスト部 2 a に相当する表面を活性化した後，該非レジスト部 2 a 上に金，すず，半田等の接触材 3 を塗布もしくはメッキにより形成し，その後に電鍍を施して，接触材 3 上に電鍍金属層 4 を形成することを含む樹脂モールド型の半導体装置の製造に用いるリードフレームの製造方法が記載されているものと認められる。

ウ(ア) 引用例 1 記載の発明の解決課題は，前記のとおり，従来のリードレス表面実装方式の樹脂封止された半導体装置は，その製造工程において，プリント基板一面側の接続用電極と裏面側の電極層とをプリント基板上で正確に位置合わせした状

態で形成する必要がある、また、各位置合わせして形成した電極と電極層とがスルーホールにより位置ズレなく、確実に導通されている必要もあり、製造時の精度が要求されるものであり、これら精度の要求は、プリント基板へのスルーホール形成や導電体の印刷のための製造工数のアップと合わせて、製造コスト低減のためのネックとなるとともに、製造時にプリント基板上に多数隣接させて配置する半導体素子間にスルーホール形成のための領域が必要となり、一枚のプリント基板上に配設して形成できる半導体装置の個数も制限されてしまう。しかも比較的厚みのあるプリント基板上に半導体素子を搭載した上で樹脂封止するような製法であるため、プリント基板自体の存在が半導体装置の小型化、薄型化の支障となるとともに半導体素子の動作時に発生した熱が基板自体に蓄積され易く、放熱性に劣るという欠点もあったというものである。このように、引用例1記載の発明の解決課題は、プリント基板を用いたリードレス実装方式の樹脂封止された半導体装置におけるものである。

他方、甲4文献の記載事項は、リードフレームを用いた樹脂封止型の半導体装置の製造方法に関するものであって、そもそも、プリント基板を用いたリードレス実装方式の樹脂封止された半導体装置の製造方法に関するものではない。

このように、プリント基板を用いたリードレス実装方式の樹脂封止された半導体装置に関する引用例1記載の発明の解決課題からは、甲4文献の記載事項を適用することについての何らの示唆も動機も得ることができず、他に引用例1に甲4文献の記載事項を適用すべきことが記載又は示唆されているとも認められない。

また、引用例1記載の発明は、樹脂封止型の半導体装置の製造方法に関するものである。他方、甲4文献の記載事項は、樹脂モールド型の半導体装置の製造に用いるリードフレームの製造方法に関するものである。そうすると、両者が半導体装置の製造方法としては共通するとしても、リードレス表面実装型半導体装置の製造方法である引用例1に接した当業者が、引用例1における課題を解決するためにリードフレームを用いた樹脂封止型の半導体装置の製造方法に関する甲4文献の記載事

項を適用することが容易であるとも認められない。

(イ) さらに、それぞれの実装形態について検討すると、引用例 1 記載の発明は、電着金属層側が半導体素子搭載面、金メッキ薄膜側が実装面となっている。他方、甲 4 文献に記載の半導体装置は、金等の接触材 3 に形成されたバンプ 5 d に半導体チップが搭載されるものと認められるから、金メッキ接触材側が半導体素子搭載面、電着金属層側が実装面であると認められる。そうすると、引用例 1 記載の発明の半導体素子の搭載面及び実装面と、甲 4 文献の記載事項における半導体素子の搭載面及び実装面とは逆の関係になっており、引用例 1 記載の発明に、甲 4 文献の記載事項を組み合わせることは容易でもないし、仮に組み合わせることが容易であったとしても、それぞれの金メッキ層及び電着（電着）金属層の機能も異なるものであるから、本件特許発明 1 に至るものではない。

エ 以上のとおり、引用例 1 には、甲 4 文献の記載事項を適用することについての記載も示唆もなく、また、引用例 1 記載の発明に甲 4 文献の記載事項を適用したとしても、本件特許発明 1 に至るものでもないから、本件特許発明 1 が引用例 1 記載の発明に甲 4 文献の記載事項を適用することで容易想到であるとする審決は、この限度では誤っている。

3 取消事由 2（引用例 2 に関する認定判断の誤り）について

(1) 引用例 2 記載の発明

ア 引用例 2 には次のとおりの記載がある（図は別紙のとおり。）。

「【請求項 5】可撓性平板状の金属基板に、パターニングされた金属層を形成した電着フレームを形成する工程と、

前記電着フレームのパターニングされた前記金属層に複数の半導体素子を隣接して搭載する工程と、

前記パターニングされた金属層に搭載される各半導体素子間に形成された外部導出用の金属層に、前記隣接する各半導体素子の電極パッドをワイヤで所定間隔を設けて電氣的に共通接続するワイヤボンディング工程と、

前記電着フレームに搭載されて配線がなされた半導体素子を樹脂封止する樹脂封止工程と、

前記金属基板を剥離して樹脂封止体を得る剥離工程と、

前記半導体素子が複数封止された樹脂封止体を、パターニングされた金属層の切断マークで個々の半導体装置に切断する切り出し工程と、

を含むことを特徴とする半導体装置の製造方法。」

【0001】

【発明の属する技術分野】本発明は、半導体装置、その製造方法及び電着フレームに関し、特にリードレス表面実装型の樹脂封止された半導体装置と、その製造方法、及び半導体素子搭載用の電着フレームに関するものである。

【0002】

【従来の技術】図8は、従来の半導体装置を示す断面図であり、この半導体装置は、樹脂封止したリードレス表面実装型の半導体装置である。同図において、ガラスエポキシ基板（又はセラミック基板）1の一面に金属層3₁、3₂が形成され、かつ金属層3₂に対応するガラスエポキシ基板1の裏面に電極金属層5aが形成され、金属層3₂と電極金属層5aとがスルーホール6で電氣的に接続されている。ガラスエポキシ基板1の一面の金属層3₁には、半導体素子2が接着され、半導体素子2の電極パッド2aと金属層3₂とがワイヤ4で電氣的に接続されている。ワイヤ4で配線がなされた半導体素子2は、エポキシ樹脂7で樹脂封止されている。

【0003】

【発明が解決しようとする課題】従来のリードレス表面実装型の半導体装置では、図8に示したように、ガラスエポキシ基板1に多数のスルーホール6が形成され、ガラスエポキシ基板1上に金属層3₁が多数形成され、それぞれに半導体素子2が接着されてワイヤ4で電極パッド2aと金属層3₂との配線がなされている。この半導体装置の製造工程では、一枚のガラスエポキシ基板に数百個単位で半導体素子が搭載されてワイヤボンディングされて、樹脂封止されている。従って、この構造

の半導体装置では、スルーホール6の個数が半導体素子2の個数の数倍の数となり、スルーホール形成のための製造工数を無視することができず、この種の半導体装置の製造原価が高騰する要因となっていた。

【0004】また、従来のリードレス表面実装型の半導体装置では、スルーホールが形成されており、隣接する半導体素子間の隙間にスルーホールを形成するには、半導体素子間の隙間にスルーホールを形成するための領域を用意しなければならないので、実質的に一枚のガラスエポキシ基板に搭載される半導体素子の個数は制限され、製造原価を高騰させる要因となっていた。

【0005】更に、従来のリードレス表面実装型の半導体装置では、ガラスエポキシ基板上に半導体素子が搭載されて樹脂封止されている。そのため、半導体素子の動作時に発生した熱を発散させることができずガラスエポキシ基板に蓄積され、熱の放熱性が悪いという欠点があった。

【0006】本発明は、上記のような課題に鑑みてなされたものであって、リードレス表面実装型の半導体装置であって、製造原価が安価であって、放熱性が良い半導体装置、その製造方法及び電着フレームを提供することを目的とするものである。」

「【0034】先ず、リードレス表面実装型の半導体装置を製造するにあたり、図3(a)に示した可撓性平板状の金属基板9を用意する。金属基板9は、薄いステンレス鋼板であり、その厚さは、0.1mmである。金属基板9には、金属基板9の自動搬送用の孔9a、9b等が形成され、金属基板9を自動搬送させるための孔が形成され、かつ金属基板9を金型に固定するための孔が形成されている。

【0035】図3(b)は、金属基板9に金属層によるパターンが形成され、半導体素子が搭載されるパターンが形成される電着フレームを示している。電着フレームは、金属基板9の片面に搭載された半導体素子を樹脂封止することで、金属基板9の片面に樹脂封止体が形成される。

【0036】以下、図4、図5を参照して、半導体装置の製造方法を、第1から第8の工程に大別して説明する。

【0037】1) 第1の製造工程は、図4(a)に示すように、ステンレス鋼板等による平板状の金属基板9の片面側全面に金属層8を電着して成膜する電着工程である。まず、金属基板9の一面には、スピコート法によって光感光性のレジストを塗布して、レジスト膜の全面に露光して硬化させる。続いて、マスクを施した金属基板9を電着槽に浸漬し、金属基板9の他面に金属層8を形成する。金属層8は、Ni又はNi・Co合金を電着したNi又はNi・Co合金薄膜層であり、その後、Ni・Co合金薄膜層上には、金をフラッシュ法等による真空蒸着或いはスパッタリング法等によって成膜される。電着工程は、金属基板9と電着槽内の電極間に通電することによって、金属基板9にNi又はNi・Co合金薄膜層の金属層8が形成される。Ni・Co合金薄膜は、例えば20～35 μ mの厚さとし、金薄膜層を0.3 μ mの厚さとする。なお、金属基板9にNi又はNi・Co合金を電着する前に、金を含む合金をフラッシュ法等で真空蒸着することによって、後の電極金属層を形成する成膜工程を省略することができる。

【0038】2) 第2の製造工程は、金属層8のエッチング工程である。このエッチング工程では、図4(b)に示すように、金属基板9の片側にレジスト膜10によるマスクを形成し、金属基板9の金属層8上には、レジスト膜10a、10bが選択的に形成される。

【0039】その後、このエッチング工程では、金属層8を選択的にエッチングして除去する。図4(c)に示したように、金属基板9の片側に金属層8a、8bが形成された電着フレームが形成する。電着フレームには、図3(b)に示したように、半導体素子が搭載されて金線をワイヤーボンディングする領域Eが形成される。領域Eは、金属層8a、8bとがマトリック状に形成されている。図3(c)には、その詳細なパターンを示した。

【0040】図3(C)は樹脂封止体裏面の金属基板を剥離した場合におけるワイヤーボンディング領域E裏面のパターンを示す。このパターンには半導体素子が複数封止された樹脂封止体を個々の半導体装置に切断するための切断マーク9d、9

cがマーキングされている。切断時には切断マーク9 d，9 cの間に切断部位が設定させる。

【0041】3) 第3の製造工程は、素子搭載工程である。この工程では、図4(d)に示したように、半導体素子2が、公知の手法によって金属層8 bに搭載される。半導体素子2は、図1に示したように、その表面には、電極パッド2 aが形成されている。

【0042】4) 電着フレームに半導体素子2が搭載された後、第4の製造工程のワイヤボンディング工程に進む。第4の製造工程では、図4(e)に示したように、半導体素子2に金ワイヤ4をワイヤボンディングする工程であり、ワイヤ4は、半導体素子2の電極パッド2 aと金属層8 aとを超音波ボンディング等によって電氣的に接続される。

【0043】5) 図4(e)のワイヤボンディング工程に続いて、図5(a)に示した第5の製造工程である樹脂モールド工程に進む。樹脂モールド工程は、図5(a)に示したように、金属基材9に半導体素子2が搭載されて、ワイヤボンディングされた後の電着フレームが、モールド金型(上型)に装着される。モールド金型内には、エポキシ樹脂がモールド金型(上型)に形成されたキャビティ(図示しなし)により圧入される。この樹脂モールドでは、金属基材9が樹脂モールドにおける下型としての機能を果たす。

【0044】なお、半導体素子2が搭載された金属基材9を並列に配置して、エポキシ樹脂がライナを通してそれぞれの金属基材9と上金型との間に圧入することで、半導体素子が搭載された電着フレームを多数樹脂封止することができる。

【0045】6) 樹脂モールド工程の後、第6の製造工程に進む。第6の製造工程は、図5(b)に示した金属基材9の剥離工程である。図5(b)に示したように、樹脂封止体11から金属基材9を引き離す。・・・なお、Ni又はNi・Co合金薄膜層が露呈している場合は、剥離工程に続いて、第7の製造工程であるダイシング工程に進む。

【0046】7) 第7の製造工程は、図5(d)に示した樹脂封止体11を切断線Sに沿って切断することで、樹脂封止体を半導体素子毎に切り出す。樹脂封止体11は、半導体素子2間の金属層8aが中央部から切断されて個々の半導体装置に切り出される。)」

「【0051】ダイシング工程に続いて電極を形成する第8の製造工程に進む。

8) この第8の製造工程は、図1, 2に示すように、切り出された個々の半導体装置の樹脂封止体2の底面の金属層8a, 8bに金薄膜層8cをフラッシュ法または電解メッキあるいは無電解メッキは等によって蒸着する。

【0052】なお、電着フレームの形成は、上記の実施形態による製造方法に限定されることなく、金属基板の金または金と他の金属とを混合した薄膜層を形成した後、パターンニングして、その後、NiまたはNi・Coの薄膜金属層を電着して形成してもよい。

【0053】金属基板の金または金と他の金属を混合した薄膜層は、金属基板の一方の面にレジスト膜を全面に形成して、他方の面にレジスト膜をパターンニングして、半導体素子の搭載部と外部導出用の金属層とを形成する金属基板面を露呈させて、他はレジスト膜で覆って選択的に金薄膜層に電着して形成する。

【0054】その後、パターンニングしたレジスト膜を除去して、金薄膜層が選択的に形成された面、全面にNiまたはNi・Coの薄膜金属層を形成し、続いて、NiまたはNi・Co薄膜金属層を選択的に除去する。

【0055】このような製造工程を経て、先の実施形態で説明したように、金属基板9に金属層8aと金属層8bとを形成する。その後の製造工程は、先に説明した製造工程と同様であるので説明を省略する。」

「【0065】また、請求項5の発明によれば、ガラスエポキシ基板やセラミック基板等を用いることなく、半導体装置を製造する製造工程であり、電着フレームの平板状金属基板を剥離することによって、多数の半導体素子が樹脂封止された樹脂封止体を形成することができ、従来の製造工程と比較して製造工数を簡素化するこ

とができる利点がある。」

イ 以上のとおりの引用例2の記載によれば、引用例2記載の発明は、半導体装置の製造方法に関し、特にリードレス表面実装型の樹脂封止された半導体装置の製造方法に関するものであり（段落【0001】）、ガラスエポキシ基板（又はセラミック基板）の一面に金属層が形成され、かつ金属層に対応するガラスエポキシ基板の裏面に電極金属層が形成され、金属層と電極金属層とがスルーホールで電氣的に接続され、ガラスエポキシ基板の一面の金属層には、半導体素子が接着され、半導体素子の電極パッドと金属層とがワイヤで電氣的に接続され、ワイヤで配線がなされた半導体素子は、エポキシ樹脂で樹脂封止されている従来のリードレス表面実装型の半導体装置では（段落【0002】）、ガラスエポキシ基板に多数のスルーホールが形成され、ガラスエポキシ基板上に金属層が多数形成され、それぞれに半導体素子が接着されてワイヤで電極パッドと金属層との配線がなされており、この半導体装置の製造工程では、一枚のガラスエポキシ基板に数百個単位で半導体素子が搭載されてワイヤボンディングされて樹脂封止されているので、スルーホールの個数が半導体素子の個数の数倍の数となり、スルーホール形成のための製造工数を無視することができず、製造原価が高騰する要因となっていた（段落【0003】）。また、隣接する半導体素子間の隙間にスルーホールを形成するには、半導体素子間の隙間にスルーホールを形成するための領域を用意しなければならないので、実質的に一枚のガラスエポキシ基板に搭載される半導体素子の個数は制限され、製造原価を高騰させる要因となっていた（段落【0004】）。さらに、ガラスエポキシ基板上に半導体素子が搭載されて樹脂封止されているため、半導体素子の動作時に発生した熱を発散させることができずガラスエポキシ基板に蓄積され、熱の放熱性が悪いという欠点があった（段落【0005】）。

そこで、引用例2記載の発明は、上記のような課題に鑑みてなされたものであって、リードレス表面実装型の半導体装置において、製造原価が安価であって、放熱性が良い半導体装置の製造方法を提供することを目的として（段落【0006】）、

前記第2, 2(4)に記載のとおりの方法を採用したものである。

(2) 取消事由2-1(相違点1の判断の誤り)について

ア 審決は, その認定に係る本件特許発明1と引用例2記載の発明との間の相違点1について, 引用例2記載の発明について, 金薄膜を形成する前に「ステンレス基板の露出面に対し, 化学エッチングにより不活性膜を除去する工程」を加えることは, 当業者にとって容易に想到し得ることであるとする。

イ 甲9ないし11の記載

(ア) 特開昭60-234380号公報(甲9)には, 以下の記載がある。

『実施例』

(1) 0.1mm tのSUS304機械研磨剤(Rmax 0.07 μ m)をアルカリ脱脂, 電解脱脂, 酸による活性化処理を施した後, 以下に示すめつき浴及びめつき条件によりAu, Ag, Pd, Rh, Pt, Inの各めつきを施した。(3頁右上欄9~14行)

(イ) 特開昭61-243193号公報(甲10)には, 以下の記載がある。

「種々のステンレス鋼を次の(1)~(3)の工程で前処理した後, (4)の工程で純金ストライクめつきを, また(5)の工程で純金めつきをそれぞれ施し, 本発明法によりステンレス鋼に純金めつきを行った。」(3頁右下欄14~18行)

「酸性電解浴中にステンレス鋼を浸漬した後, 該ステンレス鋼を陰極として, 電流密度10A/dm²で20秒間陰極電解を行い, 表面を活性化した。」(4頁左上欄12~15行)

(ウ) 特公昭61-42796号公報(甲11)には, 以下の記載がある。

「ステンレス鋼に金属メッキを施す場合ステンレス鋼の表面は通常特有の強固な不働態皮膜で覆われているため, メッキ前に次のような各種の方法により活性化処理を行うことが不可欠となっている。」(第1欄第12~16行)

「本発明においては単に被メッキステンレス鋼を塩酸に浸漬するのみでなく電気エネルギーを投入して陰極処理を行い塩酸溶液中の塩素イオンの活性化エネルギー

を増大させるので、低濃度の塩酸溶液でもステンレス鋼表面を均一に活性化することができる。また溶液中に存在する錫イオン、インジウムイオン及びコバルトイオンの1種又は2種以上は陰極電解処理の際ステンレス鋼表面に極微量核状析出して、これがステンレス鋼表面との間に局部電池を形成してアノード部分となり、カソード部分となる活性化したステンレス鋼表面の活性状態を維持して不働態化を防止するものと考えられる。

このような前処理を受けたステンレス鋼表面には密着性の優れた、強固かつ平滑美しい金属メッキを施すことができる。」(第2欄26行～第3欄14行)

「実施例 2

実施例1で記述した脱脂工程まで同様で、その後Coイオン(Co^{2+})を0.005mol/l含んだ5.5mol/l塩酸でその素材を陰極電解処理(20A/dm²×30秒)を行い、水洗後Auストライク(青化金1.2g/l, KCN20g/l, Na₃PO₄4g/l; Dc1A/dm², 浴温65℃)0.1μ, その後青化金8.5g/l, KCN11g/lの液組成を用い、メッキ条件、浴温60～70℃, 陰極電流密度0.5A/dm²で1μのAuメッキを行つた。」(5欄22～31行)

(エ) 以上の各記載からすると、ステンレスに金メッキをする際に、化学エッチングにより不活性膜を除去することは、本件出願前に周知の技術であったといえる。引用例2記載の発明においても、選択的に金薄膜層を形成する前に、ステンレス基板の表面を化学エッチングによる表面酸化被膜除去等の表面活性化処理をすること、すなわち、「ステンレス基板の露出面に対し、化学エッチングにより不活性膜を除去する工程」を行うことは、当業者であれば、必要に応じて適宜なし得るものである。

したがって、審決の相違点1の判断に誤りはない。

(3) 取消事由2-2(相違点2の判断の誤り)について

ア 審決は、その認定に係る本件特許発明1と引用例2記載の発明との間の相違点2について、甲4文献には「ステンレス基板を剥離処理して、活性化した後に、

金等をメッキ，その後電鍍を施して，電鍍金属層を形成する」ことが記載されており，引用例 2 記載の発明において「半導体素子の搭載部と外部導出用の金属層とを形成する金属基板面を露呈させて，選択的に金薄膜層を形成した後，パターンニングしたレジスト膜を除去して，金薄膜層が選択的に形成された面，全面にNiまたはNi・Coの薄膜金属層を形成し，続いて，NiまたはNi・Co薄膜金属層を選択的に除去して電着フレームを形成する工程」に代えて，金薄膜層を形成した後，パターンニングしたレジスト膜を除去せずに，続けて薄膜金属層を形成した後，レジスト膜を除去するようにすることは，当業者にとって容易に想到し得ることであると判断する。

イ 引用例 2 記載の発明の「半導体素子の搭載部と外部導出用の金属層」は，「半可撓性平板状のステンレス基板の一面に，レジスト膜をパターンニングして半導体素子の搭載部と外部導出用の金属層とを形成する金属基板面を露出させて，選択的に金薄膜層を形成した後，パターンニングしたレジスト膜を除去して，金薄膜層が選択的に形成された面，全面にNi又はNi・Coの薄膜金属層を形成し，続いて，Ni又はNi・Co薄膜金属層を選択的に除去」することによって形成されるものであるから，金薄膜層とNi又はNi・Co薄膜金属層のそれぞれが別工程でパターンニングされた積層膜から形成されているものである。

ここで，積層膜の形成方法として，レジストパターンを形成したステンレス基板上にメッキにより膜を連続して形成して，その後，レジストパターンを除去することは，甲 4 文献及び引用例 1 に記載されているほか，次のとおり，特開昭 6 3 - 8 6 3 2 2 (甲 5)，特開 2 0 0 2 - 1 9 8 4 6 2 (甲 8) 及び特開 2 0 0 2 - 2 8 9 7 3 9 (甲 1 3) にも記載されているところであり，慣用手段であると認められる。

(ア) 特開昭 6 3 - 8 6 3 2 2 (甲 5) には以下の記載がある。

「ステンレス基板 (1 1) 上にフォトリソ (1 2) を重ね，…Au (1 3)，Cu (1 4)，Au (1 5) の順で…柱状導電体 (1 6) をメッキにより形成した。」
(3 頁右上欄 5 行目から 9 行目)，

(イ) 特開2002-198462(甲8)には以下の記載がある。

【0098】まず、図14(a)に示すように、ステンレス鋼(例えば日新製鋼製; SUS304)からなる基板1上に、メッキ膜形成用のレジスト層を形成し、このレジスト層をパターンニングして所定の電極パターンに相応した開口部3を有するレジストマスク2を形成する。

【0099】ここで、基板1の好ましい板厚は0.1mm~1.0mmであり、より好ましくは0.2mm~0.8mmである。その理由は、板厚が薄すぎると、配線基板の製造工程において反りが発生しやすく、精度が低下して微細な配線形成が困難となってしまうためであり、また、板厚が厚すぎると、重量が大きくなるために取り扱い性が低下してしまうからである。

【0100】次に、図14(b)に示すように、電解めっき法あるいは無電解めっき法により、開口部33内の基板1上に、Auメッキ層4a、Niメッキ層4b、Cuメッキ層4cをこの順で形成する。それぞれのメッキ層の厚さは、Auメッキ層が0.3 μ m~3 μ m、Niメッキ層が1 μ m~7 μ m、Cuメッキ層が5 μ m以上とすることが好ましい。

【0101】次に、図14(c)に示すように、基板1上からレジストマスク2を除去し、基板1上にレジストマスク2の開口部パターンに相応した所定の電極パターンを持つメッキ層を残して、Au/Ni/Cuの3層構造の電極5とする。」

(ウ) 特開2002-289739(甲13)には以下の記載がある。

【0041】半導体装置用回路部材の製造方法 次に、本発明の半導体装置用回路部材の製造方法について説明する。図11は、図4および図5に示される半導体装置用回路部材51を例とした本発明の半導体装置用回路部材の製造方法の一実施形態を示す工程図である。図11において、まず、基板52上にレジストパターン59を形成する(図11(A))。このレジストパターン59は、回路部53の形成部位に相当する箇所に開口部59aをもち、この開口部59aには基板52が露出している。基板52は、鉄-ニッケル合金、鉄-ニッケル-クロム合金、鉄-ニッ

ケルカーボン合金等の導電性基板，表面にCu，Ni，Ag，Pd，Auあるいはこれらの合金からなる導電性層を備えた絶縁性基板を使用することができる。

【0042】尚，後述する基板52からの回路部53の剥離が容易となるように，予め基板52の一面に凹凸をつける表面処理を行い，かつ，剥離性をもたせる剥離処理を行っておく等の処置をとることが好ましい。ここでの表面処理としては，サンドブラストによるブラスト処理，剥離処理としては，基板52の表面に酸化膜を形成する方法等が挙げられる。

【0043】次に，電解めっき法により，レジストパターン59を介して基板52上に金属を析出させて，ダイパッド54と複数の端子部55からなる回路部53を形成する（図11（B））。この回路部53は，Cu，Ni，Ag，Pd，Auのいずれか1種の金属からなる単層構造，あるいは，これらの2種以上の金属からなる多層構造とすることができる。多層構造の場合，例えば，基板52側から，Pd，Ni，Pdの順に積層することができる。また，溶解除去可能な金属層（例えば，銅層等）を予め形成した基板52を用いた場合，例えば，基板52側から，Au，Ni，Pdの順に積層して回路部53を形成してもよい。

【0044】本発明では，電解めっきによる回路部53の形成において，レジストパターン59の厚みよりも厚く金属を析出させる。これにより，レジストパターン59の開口部59a内に析出した金属は，開口部59aの内壁に沿って上方に堆積した後，レジストパターン59から盛り上がりながらレジストパターン59の表面に沿って横方向にも析出する。

【0045】次いで，レジストパターン59を除去する。これにより得られた回路部53は，上記の横方向への金属析出により，基板52との接触面と反対側の表面の周囲に突起部を備えたものとなる。すなわち，内部表面54bの周囲に突起部54aが形成されたダイパッド54，および，内部端子面55bの周囲に突起部55aが形成された端子部55が得られる（図11（C））。」

(エ) 以上のとおり，これらの文献には，積層膜の形成方法として，レジストパタ

ーンを形成したステンレス基板上にメッキにより膜を連続して形成して、その後、レジストパターンを除去することが記載されている。

金薄膜層とNi又はNi・Co薄膜金属層のそれぞれが別工程でパターンニングして積層する引用例2記載の発明の方法が、一旦レジスト膜を除去して再度レジスト膜を形成する点において、膜を連続して形成する慣用手段と比較して、より工程数が多いことは自明である。そうすると、当業者は、「半可撓性平板状のステンレス基板の一面に、レジスト膜をパターンニングして半導体素子の搭載部と外部導出用の金属層とを形成する金属基板面を露出させて、選択的に金薄膜層を形成した後、パターンニングしたレジスト膜を除去して、金薄膜層が選択的に形成された面、全面にNi又はNi・Coの薄膜金属層を形成し、続いて、Ni又はNi・Co薄膜金属層を選択的に除去」する工程に代えて、上記の慣用手段を適用して相違点2に係る構成とすることを容易に想到すると認められる。

ウ 以上よりすると、本件特許発明1は、引用例2記載の発明と上記の慣用手段から容易に想到することができたというべきである。また、引用例1の【0018】に、「次いで、必要に応じて各金属層2aおよび電極層2bの表面に結着力向上用の金メッキ等を0.3～0.4μm厚で行い」とあることからすると、本件特許発明2ないし3も、本件特許発明1と同様に、引用例2記載の発明と上記の慣用手段から容易に発明することができたものである。なお、審決は、相違点2について、甲4文献に記載された技術から容易想到性を肯定しているものの、甲4文献に記載された技術は、上記のとおり、周知技術（慣用手段）であるから、審決の相違点2についての判断は、その結論において誤りはないというべきである。

4 結論

したがって、本件特許発明1ないし3についての特許を無効であるとする審決は、結論においては誤りがない。よって、原告の請求を棄却することとし、主文のとおり判決する。

知的財産高等裁判所第1部

裁判長裁判官 設 樂 隆 一

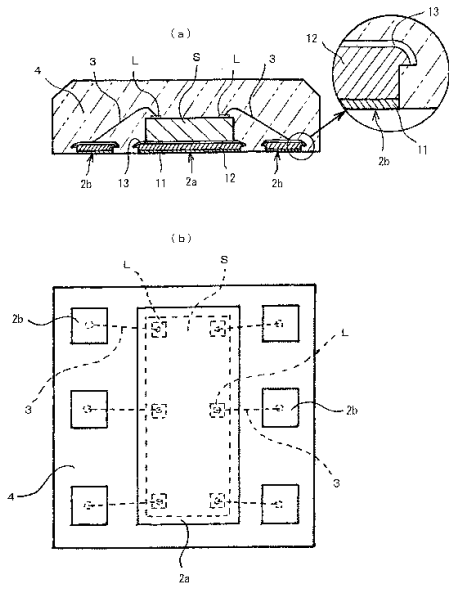
裁判官 大 須 賀 滋

裁判官小田真治は、転補のため署名押印することができない。

裁判長裁判官 設 樂 隆 一

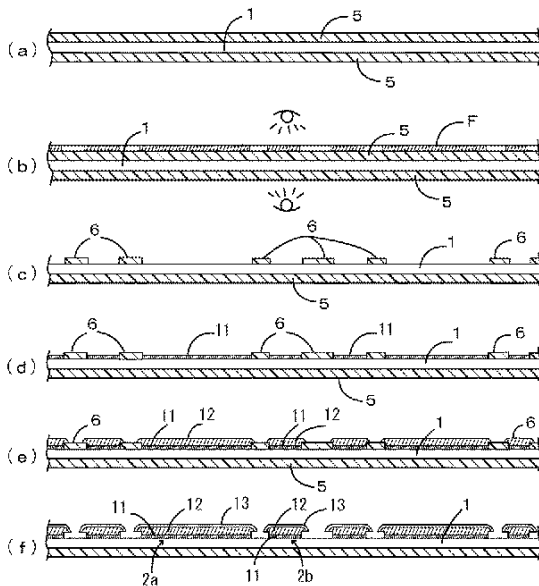
(別紙)

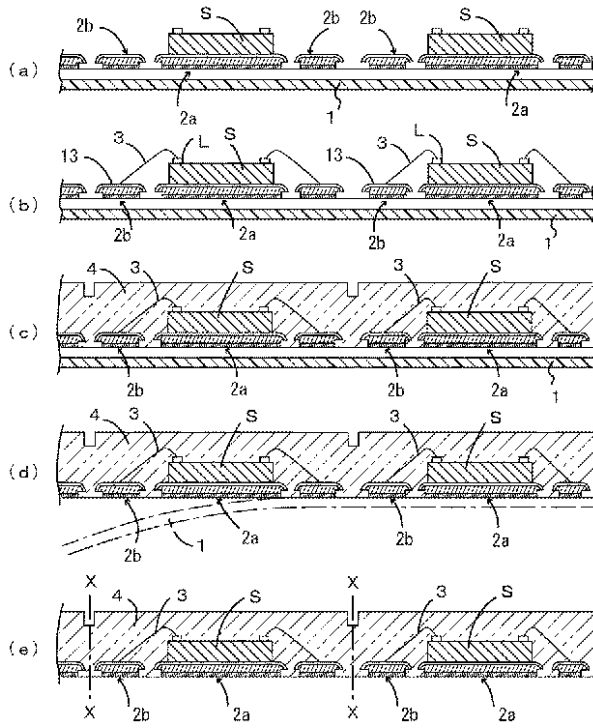
本件特許に係る明細書の【図1】



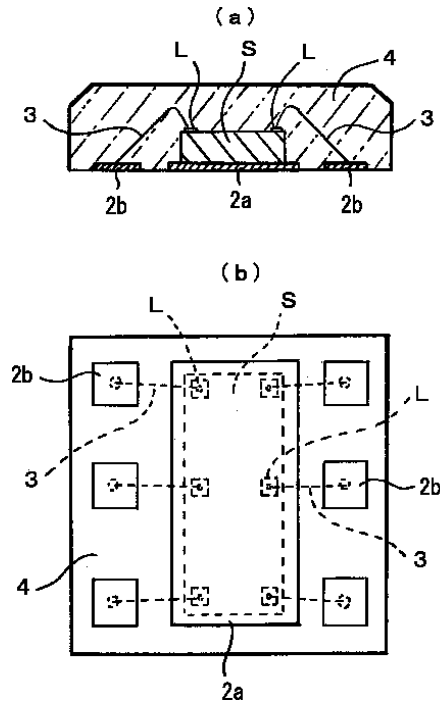
本件特許に係る明細書の【図2】

本件特許に係る明細書の【図3】

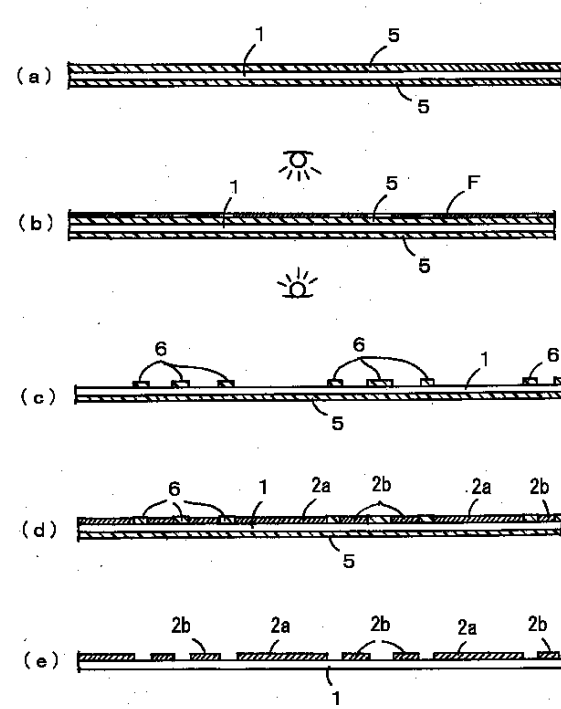




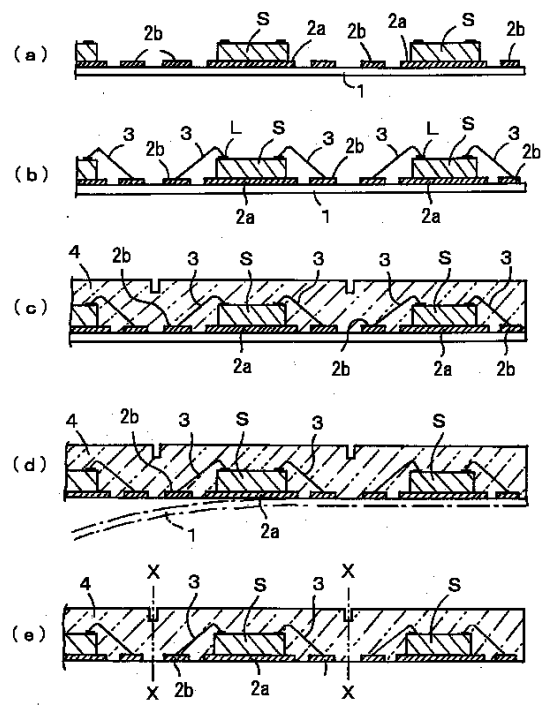
引用例1の【図1】



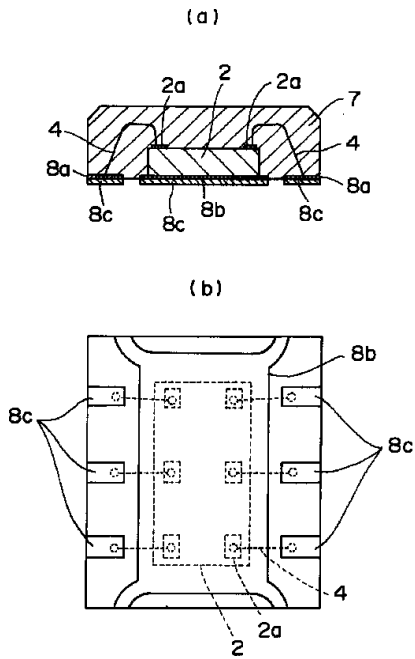
引用例1の【図2】



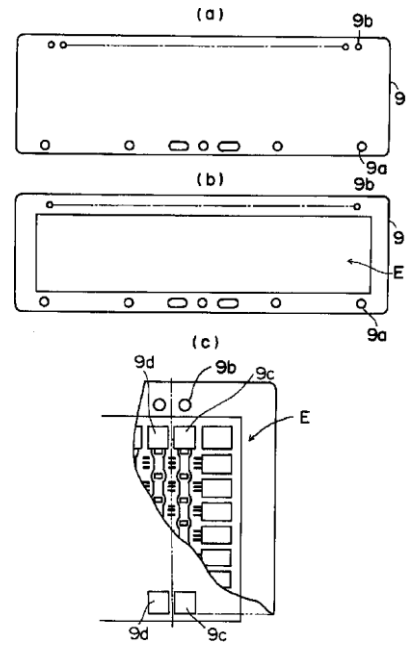
引用例1の【図3】



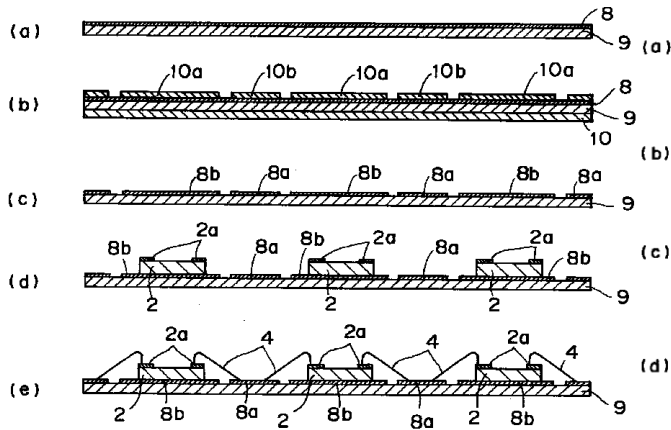
引用例2の【図1】



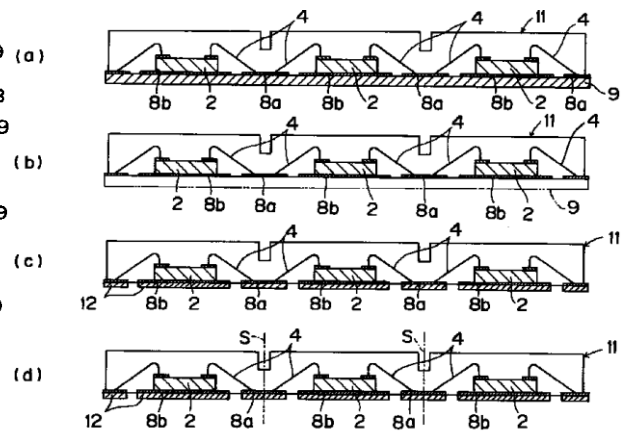
引用例2の【図3】



引用例2の【図4】



引用例2の【図5】



甲4文献の第4図 第4図

