

平成24年6月27日判決言渡

平成23年(行ケ)第10015号 審決取消請求事件

口頭弁論終結日 平成24年5月7日

判 決

原 告

エルジー ディスプレイ  
カンパニー リミテッド

訴訟代理人弁理士

岡 部 讓  
岡 部 正 夫  
脇 村 善 一  
臼 井 伸 一  
三 山 勝 巳  
濱 口 岳 久

被 告  
指 定 代 理 人

特 許 庁 長 官  
後 藤 亮 治  
飯 野 茂  
樋 口 信 宏  
田 村 正 明

主 文

原告の請求を棄却する。

訴訟費用は原告の負担とする。

この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

## 事 実 及 び 理 由

### 第1 原告の求めた判決

特許庁が不服2008-32301号事件について平成22年9月8日にした審決を取り消す。

### 第2 事案の概要

本件は、特許出願に対する拒絶審決の取消訴訟である。争点は、容易想到性である。

#### 1 特許庁における手続の経緯

原告は、平成16年12月2日、名称を「データ駆動集積回路及びその駆動方法と、それを利用した液晶表示装置及びその駆動方法」とする発明につき特許出願（甲1、特願2004-349822、パリ条約による優先権主張2003年12月11日、2004年4月28日、大韓民国）をし、平成19年12月12日付けで拒絶の理由が通知され、平成20年3月17日付けで手続補正書（甲3）を提出したが、同年9月16日付けで拒絶査定を受けたので、同年12月22日に不服の審判（不服2008-32301号）を請求するとともに、本件補正（甲2）をした。特許庁は、平成22年9月8日付けで、本件補正を却下した上で、「本件審判の請求は、成り立たない。」との審決をし、その謄本は、同月21日、原告に送達された（出訴期間90日附加）。

#### 2 本願発明の要旨

(1) 本件補正による請求項1の発明（補正発明。補正後の請求項1の記載を審決が修正認定したものであり、原告もこの点について争わない。）。

表示装置の多数のデータラインと接続されたデータ駆動集積回路において、  
N個のデータ出力チャンネルと、

前記N個のデータ出力チャンネルから、一部のデータ出力チャンネルを、画素データを出力するデータ出力チャンネルとして選択する選択部であって、Nは整数で

あり、前記表示装置の所望の解像度に従い、画素データを前記N個のデータラインの中の対応する数へ供給し、前記データ出力チャネルの残りは画素データを供給されないようにする選択部と、

サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部と、及び

前記シフトレジスタ部から前記サンプリング信号に応答して前記画素データをラッチするためのラッチ部であって、前記画素データは前記タイミングコントローラから供給されるラッチ部とを含み、

前記選択部は、第1及び第2のチャネル選択信号に応答して前記シフトレジスタ部から次のデータ駆動集積回路へ前記サンプリング信号を供給し、

前記選択部は、前記N個のデータ出力チャネルから前記画素データを出力するデータ出力チャネル数を決定するためのチャネル選択信号が入力されるために配置されており、かつ、入力されたチャネル選択信号を保持して、保持したチャネル選択信号を発生する、第1及び第2オプションピンを具備し、

前記選択部は、前記チャネル選択信号に従って前記N個のデータ出力チャネルを調節し、

前記選択部は第1乃至第4論理値を発生し、

前記第4論理値の場合には前記選択部は前記データ出力チャネルの総数Nより小さなI個を、ここでNは定数であり、

前記第3論理値の場合には前記Iより小さなJ個を、

前記第2論理値の場合には前記Jより小さなK個を、

前記第1論理値の場合には前記Kより小さなM個を前記画素データを出力するデータ出力チャネルとして選択し、

前記画素データの供給される前記データ出力チャネルの数は、I個、J個、K

個，M個の間で変更可能とされた

ことを特徴とするデータ駆動集積回路。

(2) 本件補正前の請求項1の発明（補正前発明。補正前の請求項1の記載を審決が修正認定したものであり，原告もこの点について争わない。）。

表示装置の多数のデータラインと接続されたデータ駆動集積回路において，  
N個のデータ出力チャンネルと，

前記N個のデータ出力チャンネルから，一部のデータ出力チャンネルを，画素データを出力するデータ出力チャンネルとして選択する選択部であって，Nは整数であり，前記表示装置の所望の解像度に従い，画素データを前記N個のデータラインの中の対応する数へ供給し，前記データ出力チャンネルの残りは画素データを供給されないようにする選択部と，

サンプリング信号を順次供給するシフトレジスタ部であって，前記サンプリング信号は，ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部と，及び

前記シフトレジスタ部から前記サンプリング信号に応答して前記画素データをラッチするためのラッチ部であって，前記画素データは前記タイミングコントローラから供給されるラッチ部とを含み，

前記選択部は，第1及び第2のチャンネル選択信号に応答して前記シフトレジスタ部から次のデータ駆動集積回路へ前記サンプリング信号を供給する

ことを特徴とするデータ駆動集積回路。

### 3 審決の理由の要点

(1) 審決は，「補正発明は，引用発明1，引用発明2，並びに，周知技術及び周知・慣用の技術に基づいて当業者が容易に発明をすることができたので独立特許要件を欠く」，「補正前発明は，引用発明1及び周知技術に基づいて当業者が容易に発明をすることができた」と判断した。

(2) 上記判断に際し、審決が認定した引用刊行物 1（特開平 06-043424 号公報，甲 4）記載の発明（引用発明 1），引用刊行物 2（特開昭 61-292127 号公報，甲 5）記載の発明（引用発明 2），補正発明と引用発明 1 との一致点及び相違点並びに相違点についての判断，補正前発明と引用発明 1 との対比・判断は，以下のとおりである。

ア 引用発明 1

「パネルを駆動することができる液晶駆動用 IC において，

液晶駆動信号を出力する  $Y_1$  端子…… $Y_{80}$  端子と，

80 個のフリップフロップ  $FF_1 \sim FF_{80}$  からなるシフトレジスタ 1 であって，入力端子 IN への直列ビットデータを CLK 端子へのシフトクロックに同期してフリップフロップ  $FF_1 \sim FF_{80}$  に順次に記憶するシフトレジスタ 1 と，

前記シフトレジスタ 1 が記憶する 80 ビットデータを取り込むラッチ回路 2 であって，前記シフトレジスタ 1 中の 72，もしくは，80 ビットデータを記憶するラッチ回路 2 と，

1 種類の IC であらゆるドット数のパネルを駆動するために，前記シフトレジスタ 1 を 80 段または 72 段のシフトレジスタに設定できるシフト段数選択回路 3 とを含み，

前記シフト段数選択回路 3 は 80 出力選択信号 SELECT 2 及び 72 出力選択信号 SELECT 1 に応じて，80 段目のフリップフロップ  $FF_{80}$  及び 72 段目のフリップフロップ  $FF_{72}$  の出力の一方を出力端子 OUT に導出し，80 出力選択信号 SELECT 2 が H レベル，72 出力選択信号 SELECT 1 が L レベルであれば，シフトレジスタ 1 を 80 段に設定し，80 出力選択信号 SELECT 2 が L レベル，72 出力選択信号 SELECT 1 が H レベルであれば，シフトレジスタ 1 を 72 段に設定する

液晶駆動用 IC。」

イ 引用発明 2

「大形ドットマトリックス液晶表示器を駆動するための液晶駆動用集積回路であつ

て、

64の駆動出力端と、

種々の表示器に適用するために、ビット数設定信号GS<sub>1</sub>、GS<sub>2</sub>により後述するシフトレジスタ11のビット長を可変できるデコード回路19及びマルチプレクサ20と、

後述する駆動回路14に各ビット毎の転送データ（同期信号SC）を並列的に供給するシフトレジスタ11であって、コントローラから供給される同期信号SCを同期信号シフトクロックパルスSPに同期してシフトレジスタ11中を順次転送することにより、シフトレジスタ11の各ビット毎の同期信号SCを生成するシフトレジスタ11と、

前記シフトレジスタ11の転送データに基づいて液晶駆動信号LCを得る駆動回路14とを具備し、

前記デコード回路19及びマルチプレクサ20は、ビット数設定信号GS<sub>1</sub>、GS<sub>2</sub>に応じて前記シフトレジスタ11からの同期信号SCを次段に供給し、外部からの前記ビット数選択信号GS<sub>1</sub>、GS<sub>2</sub>が供給されるビット数選択端子23<sub>1</sub>、23<sub>2</sub>を具備し、前記ビット数選択信号GS<sub>1</sub>、GS<sub>2</sub>に基づいて前記シフトレジスタ11の、例えば40ビット、48ビット、50ビットおよび64ビット目の出力端に接続されたアンドゲート21a～21dへの出力をハイレベルに設定する

液晶駆動用集積回路。」

ウ 補正発明と引用発明1との対比

(ア) 一致点

「表示装置の多数のデータラインと接続されたデータ駆動集積回路において、

N個のデータ出力チャンネルと、

前記N個のデータ出力チャンネルから、一部のデータ出力チャンネルを、画素データを出力するデータ出力チャンネルとして選択する選択部であって、前記表示装置の所望の解像度に従い、画素データを前記80個のデータラインの中の対応する

数へ供給し、前記データ出力チャンネルの残りは画素データを供給されないようにする選択部と、

クロック信号に応答して所定の信号をシフトするシフトレジスタ部と、及び画素データをラッチするラッチ部とを含み、

前記選択部は、第1及び第2のチャンネル選択信号に応答して、次のデータ駆動集積回路へ、前記シフトレジスタ部からの出力信号を供給し、

前記選択部が、前記チャンネル選択信号に従って前記N個のデータ出力チャンネルを調節し、

前記画素データの供給される前記データ出力チャンネルの数は、所定の個数の間で変更可能とされた

データ駆動集積回路（N=80の場合）。」の点。

(イ) 相違点1

シフトレジスタ部とラッチ部に関し、補正発明では「サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に응答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部」と「シフトレジスタ部からサンプリング信号に응答して画素データをラッチするためのラッチ部であって、前記画素データはタイミングコントローラから供給されるラッチ部」であるのに対し、引用発明1では「80個のフリップフロップ $FF_1 \sim FF_{80}$ からなるシフトレジスタ1であって、入力端子INへの直列ビットデータをCLK端子へのシフトクロックに同期してフリップフロップ $FF_1 \sim FF_{80}$ に順次に記憶するシフトレジスタ1」と「シフトレジスタ1が記憶する80ビットデータを取り込むラッチ回路2であって、前記シフトレジスタ1中の72、もしくは、80ビットデータを記憶するラッチ回路2」である点。これに付随して、シフトレジスタ部から次のデータ駆動集積回路に供給される信号に関し、補正発明では「サンプリング信号」であるのに対し、引用発明1では「ビットデータ」である点。

(ウ) 相違点 2

チャンネル選択信号に関し、補正発明では「選択部に、チャンネル選択信号が入力されるために配置されており、かつ、入力されたチャンネル選択信号を保持して、保持したチャンネル選択信号を発生する、第 1 及び第 2 オプションピンを具備する」のに対し、引用発明 1 では、単に、シフト段数選択回路（選択部）に 8 0 出力選択信号 SELECT 2 及び 7 2 出力選択信号 SELECT 1（第 1 及び第 2 のチャンネル選択信号）が入力されていることが特定されているにとどまる点。

(エ) 相違点 3

画素データを出力するデータ出力チャンネルの選択に関し、補正発明では「前記選択部は第 1 乃至第 4 論理値を発生し、前記第 4 論理値の場合には前記選択部は前記データ出力チャンネルの総数 N より小さな I 個を、ここで N は定数であり、前記第 3 論理値の場合には前記 I より小さな J 個を、前記第 2 論理値の場合には前記 J より小さな K 個を、前記第 1 論理値の場合には前記 K より小さな M 個を前記画素データを出力するデータ出力チャンネルとして選択し、前記画素データの供給される前記データ出力チャンネルの数は、I 個、J 個、K 個、M 個の間で変更可能とされ」ているのに対し、引用発明 1 では「8 0 出力選択信号 SELECT 2 が H レベル、7 2 出力選択信号 SELECT 1 が L レベルであれば、シフトレジスタ 1 を 8 0 段に設定し、8 0 出力選択信号 SELECT 2 が L レベル、7 2 出力選択信号 SELECT 1 が H レベルであれば、シフトレジスタ 1 を 7 2 段に設定して、液晶駆動信号を出力する端子数が 7 2 個と 8 0 個の間で切り換え可能とされ」ている点。

エ 相違点についての審決の判断

(ア) 相違点 1 について

「液晶表示装置の制御」の技術分野において、データ側駆動回路におけるシフトレジスタ部とラッチ部として、「サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトする



ことにより発生するシフトレジスタ部と、前記シフトレジスタ部から前記サンプリング信号に応答して画素データをラッチするためのラッチ部であって、前記画素データは前記タイミングコントローラから供給されるラッチ部」は、例えば、

- ・特開平04-170515号公報（甲6）の第2頁左下欄第12行～右下欄第18行、第6A、6B図に、シフトデータ入力信号S I（「ソーススタートパルス」に相当）とクロック信号C L K（「ソースサンプリングクロック信号」に相当）が入力され、クロック信号C L Kに応じてシフトデータ入力信号S Iをシフトするシフトレジスタ61（「シフトレジスタ部」に相当）と、三原色のデータ（「画素データ」に相当）をシフトレジスタ61からの信号（「サンプリング信号」に相当）によりオンオフされるサンプリングスイッチ63とサンプルホールド回路64（「ラッチ部」に相当）として記載され、

- ・特開平10-214061号公報（甲7）の段落【0003】、【0004】、【図6】、【図7】に、スタート信号（「ソーススタートパルス」に相当）とクロック信号（「ソースサンプリングクロック信号」に相当）が入力され、スタート信号がクロック信号の立ち上がりで読み込まれて各段でサンプリング信号（「サンプリング信号」に相当）を順次出力する4段のフリップフロップ20（「シフトレジスタ部」に相当）と、各段のフリップフロップ20からのサンプリング信号に応じてデータ（「画素データ」に相当）を取り込む4段のデータレジスタ30（「ラッチ部」に相当）として記載され、

- ・特開2003-208135号公報（甲8）の段落【0005】～【0009】、【図2】に信号制御部（10）（「タイミングコントローラ」に相当）からのソース・スタート・パルス（S S P）（「ソーススタートパルス」に相当）をソース・サンプリング・クロック信号（S S C）（「ソースサンプリングクロック信号」に相当）により順次シフトさせ、サンプリング信号（「サンプリング信号」に相当）として出力するシフトレジスタ部（14）（「シフトレジスタ部」に相当）と、シフトレジスタ部（14）からのサンプリング信号に応じて信号制御部（10）から

の画素データ（VD）（「画素データ」に相当）を一定の単位ずつ順次サンプリングしてラッチするラッチ部（16）（「ラッチ部」に相当）として記載されているように、

周知技術である。

よって、引用発明1において、データ側の液晶駆動用ICにおけるシフトレジスタ部とラッチ部として、上記周知技術を適用し、サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部と、前記シフトレジスタ部から前記サンプリング信号に応答して画素データをラッチするためのラッチ部であって、前記画素データは前記タイミングコントローラから供給されるラッチ部からなる構成を採用することは、当業者が容易になし得たことである。

そして、かかる上記周知技術の適用に伴い、シフトレジスタ1（シフトレジスタ部）から次の液晶駆動用IC（データ駆動集積回路）に供給される信号は、サンプリング信号となる。

#### （イ）相違点2について

一般に、信号入力部に、入力される信号を保持するバッファを設け、信号の入力後も、入力された信号の値を出力可能とすることは、例示するまでもなく、周知・慣用の技術である。

よって、引用発明1において、それぞれがHレベルとLレベルの2値を有する80出力選択信号SELECT2と72出力選択信号SELECT1が入力されているところ、それぞれの入力端に上記周知・慣用の技術を適用して、入力される信号を保持・出力するためのバッファであるオプションピンを設けることは、当業者が容易になし得たことである。

#### （ウ）相違点3について

引用発明1と引用発明2とは「液晶表示装置の制御」という同一の技術分野に属

し、「異なる解像度の表示装置に対して同一の駆動 I C に対応する」との課題も共通する。

よって、引用発明 1 は、シフト段数選択回路 3（選択部）により液晶駆動信号を出力する Y 端子（画素データを出力するデータ出力チャンネル）を選択しているところ、「シフト段数選択回路 3（選択部）」に対して、引用発明 2 の、シフトレジスタ 11 のビット長を可変できる「デコード回路 19 及びマルチプレクサ 20」に関する技術を適用することにより、2 つのチャンネル選択信号をデコードして、シフトレジスタ部の 4 個の異なる段における出力を選択する論理値を発生させ、各論理値に応じて、ラッチ部に対して 4 個の異なる段に対応する数の画素データを保持させることにより、画素データを出力するデータ出力チャンネルの数を 4 個の異なる数の間で変更可能とすることは、当業者が容易になし得たことである。

(エ) ここで、画素データを出力するデータ出力チャンネルの数をデータ駆動集積回路が具備するデータ出力チャンネルの総数 (N) よりも小さい数とするこの技術的意義について検討する。

本願の発明の詳細な説明において、第 1 ないし第 3 実施例の画素データを出力するデータ出力チャンネルの数とデータ駆動集積回路が具備するデータ出力チャンネルの総数は、共に 642 個で同数であり、画素データを出力するデータ出力チャンネルの数をデータ駆動集積回路が具備するデータ出力チャンネルの総数 (N) よりも小さい数とすることを支持する記載は、段落【0120】、【0121】における「本発明の第 1 及び第 3 実施例による液晶表示装置では第 1 及び第 2 チャンネル選択信号 (P1, P2) につれて 642 個の出力チャンネルを有するデータ IC (116, 216, 1016) の出力チャンネルを変更することに限り限定されることではなく、642 個の以下及び以上の出力チャンネルを有するデータ IC (116, 216, 1016) に同一に適用されることができる。また、第 1 及び第 2 チャンネル選択信号 (P1, P2) につれて設定されるデータ IC (116, 216, 1016) の出力チャンネルは 600, 618, 630 及び 642 個の出力チャンネ

ルにだけ限定されることではなく、どんな場合にも適用することができる。」なる記載のみである。すなわち、本願の発明の詳細な説明においては、画素データを出力するデータ出力チャンネルの数とデータ駆動集積回路が具備するデータ出力チャンネルの総数の関係に関して、適宜変更可能であることが記載されているものの、画素データを出力するデータ出力チャンネルの数をデータ駆動集積回路が具備するデータ出力チャンネルの総数よりも小さい数とすることにより奏される効果に関する記載は無い。また、優先日当時の技術常識を考慮しても、そのような構成により奏される有利な効果は見いだせない。

そして、引用発明 1 の認定の根拠となった上記記載事項 5 に「【0 0 1 7】なお、図 1 の回路では、シフトレジスタ 1 を 8 0 段または 7 2 段に設定できるだけであるが、これは一例を示したものに過ぎず、例えば、1 6 段、3 2 段、4 8 段、6 4 段、8 0 段の内の任意の段数に設定できるようにしてもよい。・・・」と、また、引用発明 2 の認定の根拠となった上記記載事項 1 0 に「なお、上記実施例では、シフトレジスタ 1 1 の 4 0 ビット目、4 8 ビット目、5 0 ビット目、および 6 4 ビット目のいずれかを選択するようにしたが、これらのビット数に限られないのはもちろんである。」と記載されているように、異なる解像度の表示装置に同一の駆動 I C で対応するために、シフトレジスタで切り換え可能とされる段数としては、任意のものが設定可能であるとの技術思想が開示されている。

したがって、引用発明 1 に引用発明 2 の技術を適用するに際し、画素データを出力するデータ出力チャンネルの数をデータ駆動集積回路が具備するデータ出力チャンネルの総数内で適宜設定可能であるところ、画素データを出力するデータ出力チャンネルの数をデータ駆動集積回路が具備するデータ出力チャンネルの総数よりも小さい数とすることに格別の困難性は認められない。また、そのような構成を採用したことによりもたらされる効果も、引用発明 1、引用発明 2 から想定することができない格別のものと認めることもできない。

(オ) したがって、上記相違点 3 に係る補正発明の発明特定事項は、当業者

が引用発明 1 及び引用発明 2 に基づいて容易に想到し得たことである。

(カ) そして、補正発明によってもたらされる効果は、引用発明 1，引用発明 2，並びに、上記周知技術及び上記周知・慣用の技術から想定することができない格別のものと認めることもできない。

(キ) したがって、補正発明は、引用発明 1，引用発明 2，並びに、上記周知技術及び上記周知・慣用の技術に基づいて当業者が容易に発明をすることができたものであり、独立特許要件を欠くので、本件補正を却下する。

#### オ 補正前発明と引用発明 1 との対比・判断

補正前発明は、補正発明から、選択部に関し、「前記選択部は、前記N個のデータ出力チャンネルから、画素データを出力するデータ出力チャンネル数を決定するためのチャンネル選択信号が入力されるために配置されており、かつ、入力されたチャンネル選択信号を保持して、保持したチャンネル選択信号を発生する、第1及び第2オプションピンを具備し、前記選択部は、前記チャンネル選択信号に従って前記N個のデータ出力チャンネルを調節し、前記選択部は第1乃至第4論理値を発生し、前記第4論理値の場合には前記選択部は前記データ出力チャンネルの総数Nより小さなI個を、ここでNは定数であり、前記第3論理値の場合には前記Iより小さなJ個を、前記第2論理値の場合には前記Jより小さなK個を、前記第1論理値の場合には前記Kより小さなM個を前記画素データを出力するデータ出力チャンネルとして選択する」との発明特定事項を省き、かつ、「前記画素データの供給される前記データ出力チャンネルの数は、I個、J個、K個、M個の間で変更可能とされた」との発明特定事項を省いたものである。

そうすると、補正前発明と引用発明 1 とを比較すると、両者は検討済みの相違点 1 においてのみ相違し、その余の点で一致する。

したがって、補正前発明は、引用発明 1 及び上記周知技術に基づいて当業者が容易に発明をすることができたものである。

### 第3 原告主張の審決取消事由

審決には、①補正発明と引用発明1との構成要素の対応関係の誤り、及び、②相違点1についての判断の誤りがあり、いずれも審決の結論に影響するから、審決は取り消されるべきである。

#### 1 取消事由1（補正発明と引用発明1との構成要素の対応関係の誤り）

引用発明1では、画像データは図面上シフトレジスタ1で左から右へと順次シフトしていくが、補正発明ではサンプリングスタートパルスがシフトするにすぎず、画像データ自体はシフトしていない。すなわち、引用発明1のラッチはシフトレジスタのデータをパラレルに同時に読み込むものであるのに対し、補正発明のラッチ部はデータをシリアルに順次クロックに応じサンプリング信号によって読み込むものであるから、補正発明の「ラッチ部」と対比すべきは引用発明1の「シフトレジスタ1」である。したがって、審決の認定には誤りがある。

この点につき、被告は機能と役割の共通性に基づき、引用発明1の「シフトレジスタ1」と補正発明の「シフトレジスタ部」とを対応させ、引用発明1の「ラッチ回路2」と補正発明の「ラッチ回路」とを対応させている。しかし、引用発明1の「ラッチ回路2」と補正発明の「シフトレジスタ部」とは、それぞれの機能において相違し、対比されるべきではない。

また、被告が予備的に主張するように、ラッチ部が2段である構成が仮に周知であったとしても、必ずしも、当該構成を引用発明1に適用することが容易想到であるとは限らない。例えば、被告が周知技術であると指摘した特開平11-1934737号公報（乙2）における記載箇所は64階調表を行うためのものであって、1ビットデータ（直列ビットデータ）をシフトする引用発明1とは異なる。したがって、乙2を引用発明1に適用することは必ずしも容易ではない。

#### 2 取消事由2（相違点1についての判断の誤り）

##### (1) 甲6の認定の誤り

甲6に記載の発明において、シフトレジスタの信号 $Q_1 \sim Q_{182}$ はサンプリングス



スイッチ63のオンオフを制御するにすぎず、サンプルホールド回路64はアナログ信号をサンプルホールドするものである。すなわち、サンプルホールド回路64は画素データ、若しくは直列ビットデータをラッチするものではない。審決は甲6に関し、「三原色のデータ（「画素データ」に相当）をシフトレジスタ61からの信号（「サンプリング信号」に相当）によりオンオフされるサンプリングスイッチ63とサンプルホールド回路64（「ラッチ部」に相当）として記載され」と認定しているが、甲6のシフトレジスタ61に接続されたサンプルホールド回路はアナログ信号をサンプルホールドするものであって、「画素データをラッチするラッチ部」ではない。したがって、甲6に関する審決の認定「サンプリングスイッチ63とサンプルホールド回路64（「ラッチ部」に相当）」には誤りがある。

(2) 周知技術であるとの認定は誤りであること

審決のした甲6の認定に誤りがあり、相違点1が周知であるとの認定も誤りである。

(3) 引用発明1と甲6に記載の周知技術とを組み合わせる動機付けが存在しないこと

被告は、「すなわち、甲6に記載の周知技術におけるアナログドライバIC60がカスケードに接続された構成では・・・甲6に記載の周知技術の『シフトデータ入力信号SI』は、補正発明の『ソーススタートパルス』に相当し、甲6に記載の周知技術の『シフトレジスタ61から出力される信号』である『シフトデータ出力信号SO』及び『シフトデータ』は、補正発明の『サンプリング信号』に相当するものである。」、「引用発明1に上記周知技術を適用する際に、前段のシフトレジスタ1から次段のシフトレジスタ1に転送される信号が、甲6に記載の周知技術においてかかる役割を有し、同じように、前段のシフトレジスタ61から次段のシフトレジスタ61に転送される信号である、シフトデータ出力信号SO、すなわち、サンプリング信号となることは、至極当然のことである。」と主張する。

しかし、甲6の「シフトデータ入力信号SI」はサンプリングスイッチ63をオ

ンオフするためのシフトレジスタ 6 1 に入力されるものであって、複数ビットからなり直接に液晶駆動用信号として用いられる引用発明 1 の「直列ビットデータ」とは異なる。また、上記のとおり、甲 6 のシフトレジスタ 6 1 に接続されたサンプルホールド回路はアナログ信号をサンプルホールドするものであって、「画素データをラッチするラッチ部」ではない。甲 6 におけるシフトレジスタ 6 1 は引用発明のシフトレジスタ 1 とはそれぞれの使用目的および作用効果においてまったく異なる。したがって、甲 6 に記載の周知技術を引用発明 1 に適用することの動機付けは存在しない。

なお、本件において甲 6 の認定には誤りがあり、相違点 1 が慣用技術であるとはいえない。

#### (4) 効果の看過について

構成上の相違から、引用発明 1 に対し補正発明では以下の固有な利点も有している。引用発明 1 では、補正発明に記載された「前記選択部は、第 1 及び第 2 のチャンネル選択信号に応答して前記シフトレジスタ部から次のデータ駆動集積回路へ前記サンプリング信号が供給し」を開示していない。

すなわち、補正発明の選択部 1 3 0 は、チャンネル選択信号 (P 1, P 2) に応答してシフトレジスタ 1 3 4 にチャンネル制御信号 (C S 1 ~ C S 4) を出力し、データ信号を出力しようとするチャンネルだけ全チャンネルから選択するものである。補正発明の図 9 を参照すると、例えば、P 1 = 0 で、P 2 = 1 である場合、選択部 1 3 0 は、C S 2 をチャンネル制御信号として出力し、シフトレジスタ 1 3 4 の S R 6 1 8 を制御するようになる。すなわち、S R 1 ~ S R 6 1 8 まではチャンネルを選択するために駆動されるが、S R 6 1 9 ~ S R 6 4 2 までは駆動されない。

一方、引用発明 1 の場合、シフト段数選択回路 3 は、補正発明のようにチャンネルを選択するための選択信号をシフトレジスタ 1, 2 1 に出力するのではなく、選択しようとするフリップフロップ (F F<sub>72</sub>) から直列ビットデータを読み出し、最後のフリップフロップ (F F<sub>80</sub>) の直列ビットデータを読み出して出力選択信号 (S



ELECT 1, SELECT 2) とAND及びORで組み合わせた後、最終的なデータ出力端子 (OUT) に直列ビットデータが出力される。すなわち、チャンネルの選択有無とは関係なく、シフトレジスタ1のフリップフロップの全て (FF<sub>1</sub> ~ FF<sub>80</sub>) はクロックCLの印加により、全て駆動される。換言すると、クロックCL毎に全てのフリップフロップが動作している。引用発明1の [0015] を参照して詳細に説明すると、出力選択信号1 (SELECT 1) がHレベルで、出力選択信号2 (SELECT 2) がLレベルであると、シフト段数選択回路3のAND (4) ロジック回路にはフリップフロップ72 (FF<sub>72</sub>) の出力値 (例えば”0”) と出力選択信号 (H=”1”) が入力され、最終的にOR (6) 論理回路の入力端子に”0”を出力する。また、シフト段数選択回路3のAND (5) ロジック回路には、フリップフロップ80 (FF<sub>80</sub>) の出力値 (例えば”1”) と出力選択信号2 (L=”0”) が入力され、最終的にOR (6) 論理回路の入力端子に”0”を出力する。結局、OR (6) 論理回路の入力端子に全て”0”が入力されるので、データ出力端子 (OUT) には”0”が出力される。

したがって、上述したように、引用発明1の場合は、チャンネル選択信号 (SELECT 1, SELECT 2) とは関係なく、シフトレジスタ1, 21の全てのフリップフロップが駆動されるが、補正発明の場合、チャンネル制御信号 (CS1 ~ CS4) によってシフトレジスタ134の一部のみが駆動される。これは、シフトレジスタ134のみに影響を与えるのではなく、シフトレジスタとワンチップIC内に構成されて以後に駆動されるラッチ部136, DAC部138, 出力バッファ部146もチャンネル制御信号 (CS1 ~ CS4) によって一部のみが駆動される。

このような補正発明と引用発明1との相違点は、データドライバーの消費電力に莫大な影響を及ぼすようになる。また、消費電力の増加からデータドライバーの発熱が生じ、駆動エラーを誘発する原因となる。

この作用効果は特許請求の範囲には直接に記載していないが、特許請求の範囲の記載から必然的に導かれるものであって、進歩性判断において参酌されるべきであ

る。

#### 第4 被告の反論

1 取消事由1（補正発明と引用発明1との構成要素の対応関係の誤り）に対して

(1) 補正発明に係るデータ駆動集積回路はシフトレジスタ部及びラッチ部を備え、引用発明1に係る液晶駆動用ICはシフトレジスタ1及びラッチ回路2をそれぞれ備えているところ、両者を対比・判断するにあたっては、補正発明のデータ駆動集積回路におけるシフトレジスタ部及びラッチ部の機能・役割と、引用発明1の液晶駆動用ICにおけるシフトレジスタ1とラッチ回路2の機能・役割をそれぞれ考慮して行うことが必要である。

機能について検討すると、シフトレジスタとは、レジスタにセットされている内容を、指定されたけた数だけ左または右にけた移動させる機能をもっている装置をいい、補正発明の「シフトレジスタ部」と、引用発明1の「シフトレジスタ1」とは共に、データのけた移動機能を有している。また、ラッチとは、デジタル回路において、ある時刻の信号の状態を一時的に保持、記憶するような動作あるいは機構をいい、補正発明の「ラッチ部」と、引用発明1の「ラッチ回路2」とは共に、データの保持機能を有している。

役割について検討すると、引用発明1の「液晶駆動用IC」において、引用発明1の「シフトレジスタ1」と「ラッチ回路2」の回路は、いずれも、デジタルデータであるビットデータを扱い、「ラッチ回路2」の出力を受けるレベルシフタ23が、デジタルデータであるビットデータを、実際の液晶に印加されるアナログデータに変換し、その後段の液晶駆動回路24では、該アナログデータとして扱うものである。また、補正発明の「データ駆動集積回路」においても、引用発明1と同様に、補正発明の「シフトレジスタ部」及び「ラッチ部」は、協働して、デジタルデータである画素データを扱い、「ラッチ部」からの画素データを受けるDAC部(1

38) が、デジタルデータである画素データを、アナログデータである画素電圧信号に変換し、その後段の出力バッファ(146)では、該アナログデータである画素電圧信号を扱うものである。

したがって、両者を対比する上で、データ駆動集積回路(引用発明1の「液晶駆動用IC」)内における、画素データ1ライン分のうち当該データ駆動集積回路(引用発明1の「液晶駆動用IC」)に割り当てられた画素数分の画素データの扱いに関して、

① 画素データをデジタルデータとして扱う部分と、

② その後段の、デジタルデータである画素データがアナログデータである画素電圧信号に変換され、該アナログデータである画素電圧信号を扱う部分

という、データ駆動集積回路(引用発明の「液晶駆動用IC」)内での①と②の各部分における役割分担に着目して、データ駆動集積回路(引用発明1の「液晶駆動用IC」)内で画素データをデジタルデータとして扱う①の部分どうしを共通部分として把握することは、妥当である。

そして、かかる機能と役割の共通性の認識のもとに、引用発明1の「シフトレジスタ1」と補正発明の「シフトレジスタ部」との、シフトレジスタとしてののけた移動機能を共通部分とし、また、引用発明1の「ラッチ回路2」と補正発明の「ラッチ部」との、ラッチとしてのデータ保持機能を共通部分として、一致点を認定したのであるから、引用発明1の「シフトレジスタ1」が補正発明の「シフトレジスタ部」に対応し、引用発明1の「ラッチ回路2」が補正発明の「ラッチ部」に対応するとした、審決の認定に誤りはない。

(2) 予備的に、原告の主張のとおり、引用発明1の「シフトレジスタ1」が、補正発明の「シフトレジスタ部」と「ラッチ部」とを合わせたものに対応しているとした場合に審決の結論に影響があるか否かについて、検討すると、「液晶表示装置の駆動制御」の技術分野において、液晶表示装置のデータ駆動集積回路として、デジタルデータである画素データを扱う回路部分を、前記「サンプリング信号を順

次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部と、前記シフトレジスタ部から前記サンプリング信号に応答して画素データをラッチするための第1のラッチ部であって、前記画素データは前記タイミングコントローラから供給される第1のラッチ部と、前記第1のラッチ部から所定の信号に応答して画素データをラッチするための第2のラッチ部」とした構成は、周知である。

よって、引用発明1の「シフトレジスタ1」が、補正発明の「シフトレジスタ部」と「ラッチ部」とを合わせたものに対応しているとして、引用発明1の「シフトレジスタ1」に対して、上記周知技術を適用し、該適用後の回路構成において、ラッチ部が2段（第1のラッチ部、第2のラッチ部）となったとしても、データ駆動集積回路においてデジタルデータである画素データを扱う機能を果たす回路部分として、かかる回路構成も、周知の構成である。

したがって、引用発明1の「シフトレジスタ1」が、補正発明の「シフトレジスタ部」と「ラッチ部」とを合わせたものに対応しているとしても、シフトレジスタ部及びラッチ部に係る相違点は、依然として容易想到であるから、審決の結論に影響を及ぼすものではない。

(3) したがって、補正発明と引用発明1との構成要素の対応関係についての原告の主張は失当である。

## 2 取消事由2（相違点1についての判断の誤り）に対して

(1) 同種の回路を直列に接続して、前段の回路からの信号を次段の回路に順次転送するような接続のことを、カスケード接続という。

補正発明において、かかるカスケード接続されたデータ側駆動集積回路で、前段のデータ側駆動集積回路から次段の駆動回路に順次転送する信号として、サンプリング信号とすることの技術的意義を検討すると、これに関連する本願の発明の詳細な説明の記載には、前段のシフトレジスタ部から次段のシフトレジスタ部に転送す

る信号をサンプリング信号とすることについて、格別の技術的意義はなんら記載されていない。

また、「液晶表示装置の駆動制御」の技術分野において、各データ側駆動集積回路が、サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部と、前記シフトレジスタ部から前記サンプリング信号に応答して画素データをラッチするためのラッチ部であって、前記画素データは前記タイミングコントローラから供給されるラッチ部とを含み、各データ駆動集積回路がカスケード接続された構成において、前段のシフトレジスタ部から次段のシフトレジスタ部へ転送する信号を、サンプリング信号とすることは、周知の事項である。

すなわち、甲6に記載の周知技術におけるアナログドライバIC60がカスケードに接続された構成では、前段のシフトレジスタ61から次段のシフトレジスタ61に転送される信号は、シフトデータ出力信号SOである。ここで、甲6に記載の周知技術において、シフトレジスタ61を構成する各フリップフロップFFから出力されるシフトデータは、クロック信号CLK毎に次段のフリップフロップFFに出力されると共に、外部に信号 $Q_1 \sim Q_{162}$ として出力され、サンプルホールド回路64のサンプリングスイッチ63のオンオフを制御するから、甲6に記載の周知技術の「シフトデータ入力信号SI」は、補正発明の「ソーススタートパルス」に相当し、甲6に記載の周知技術の「シフトレジスタ61から出力される信号」である「シフトデータ出力信号SO」及び「シフトデータ」は、補正発明の「サンプリング信号」に相当するものである。なお、乙2にも、前段のシフトレジスタから次段のシフトレジスタに転送される信号がサンプリング信号であることが記載されている。

したがって、カスケード接続されたデータ側駆動集積回路で、前段のデータ側駆動集積回路から次段のデータ側駆動集積回路に順次転送する信号を、サンプリング

信号とすることは、周知の事項であって、格別の技術的意義を有しないものである。

(2) 共に、カスケード接続されたデータ側駆動集積回路を持つ引用発明 1 及び上記周知技術において、前段のデータ側駆動集積回路から次段のデータ側駆動集積回路に順次転送される信号及びその役割について検討する。

引用発明 1 の液晶駆動用 IC が縦列接続（「カスケード接続」と同義）された構成において、前段のシフトレジスタ 1 から次段のシフトレジスタ 1 に順次転送される信号は、直列ビットデータであって、この信号は、次段のシフトレジスタ 1 がシフト動作を開始し、かつ、液晶駆動用 IC が直列ビットデータの取り込みを開始するタイミングを規定している。

一方、甲 6 に記載の周知技術においては、上記したとおり、アナログドライバ IC 60 がカスケードに接続された構成で、前段のシフトレジスタ 61 から次段のシフトレジスタ 61 に転送される信号は、シフトデータ出力信号 SO（補正発明の「サンプリング信号」）であって、この信号によって、次段のシフトレジスタ 61 がシフト動作を開始し、かつ、アナログドライバ IC 60 が 3 原色のデータの取り込みを開始するタイミングが規定されている。

したがって、引用発明 1 及び上記周知技術において、前段のシフトレジスタ（引用発明 1 の「シフトレジスタ 1」、甲 6 に記載の周知技術の「シフトレジスタ 61」）から、次段のシフトレジスタに転送する信号には、その役割として、時系列で順次転送されてくる画素データ（引用発明 1 の「直列ビットデータ」、甲 6 に記載の周知技術の「3 原色のデータ」）に関連して、データ側駆動集積回路（引用発明 1 の「液晶駆動用 IC」、甲 6 に記載の周知技術の「アナログドライバ IC」）内のシフトレジスタがシフト動作を開始し、データ側駆動集積回路が画素データの取り込みを開始するタイミングを規定する信号の役割があるところ、引用発明 1 に上記周知技術を適用する際に、前段のシフトレジスタ 1 から次段のシフトレジスタ 1 に転送される信号が、甲 6 に記載の周知技術においてかかる役割を有し、同じように、前段のシフトレジスタ 61 から次段のシフトレジスタ 61 に転送される信号であ



る、シフトデータ出力信号SO，すなわち、サンプリング信号となることは、至極当然のことである。

以上のとおり、引用発明1に上記周知技術を適用した発明において、前段のシフトレジスタ部から次段のシフトレジスタ部に転送する信号は、必然的に、サンプリング信号となるものであるから、審決の相違点1の判断に誤りはない。

### (3) 効果の看過について

ア 原告が主張する、ビット数の多い画素データを扱っても回路規模が大幅に増大しないこと、及び、一定の信号であるソーススタートパルス（SSP）をシフトするので消費電力、速度の面で有利であるとの効果は、それぞれ、上記周知技術において、画素データ1画素分を保持する一単位の回路部分が、ラッチ部内でまともまっていること、また、転送される信号がソーススタートパルスであることによって生じる効果であって、上記周知技術のシフトレジスタ部とラッチ部の構成自体が備えている効果である。

したがって、原告が主張する、ビット数の多い画素データを扱っても回路規模が大幅に増大しないこと、及び、一定の信号であるソーススタートパルス（SSP）をシフトするので消費電力、速度の面で有利であるとの効果は、いずれも、引用発明1に上記周知技術を適用すれば、必然的に奏する作用効果に過ぎないことから、審決の「補正発明によってもたらされる効果は、引用発明1，引用発明2，並びに、上記周知技術及び上記周知・慣用の技術から想定することができない格別のものと認めることもできない。」との判断に誤りはない。

補正発明は、シフトレジスタ部に関して、「サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部」と特定しているにとどまり、シフトレジスタ部から次のデータ駆動集積回路へサンプリング信号を供給した後の、シフトレジスタ部の動作に関しては、何ら特定していない。したがって、原告

の主張は、特許請求の範囲の記載に基づいたものではないから、失当である。

イ シフトレジスタ部の動作に関して、発明の詳細な説明の記載を参酌して検討すると、補正発明は、「前記選択部は、第1及び第2のチャンネル選択信号に応答して前記シフトレジスタ部から次のデータ駆動集積回路へ前記サンプリング信号を供給し」というものであり、補正発明において、前段に接続されたシフトレジスタ部から次段のデータ駆動集積回路へサンプリング信号を供給する回路は、選択部である。

一方、発明の詳細な説明には、前段に接続されたシフトレジスタ部から次段のデータ駆動集積回路へサンプリング信号を供給する回路に関して、第1実施例として、前段に接続されたシフト・レジスタ部(134)(補正発明の「シフトレジスタ部」に対応。以下同様)から次段のデータIC(116)(「データ駆動集積回路」)へ出力信号(キャリ信号)(「サンプリング信号」)を供給する回路が、シフト・レジスタ部(134)であるものが記載されている。そして、第1実施例のデータIC(116)のシフト・レジスタ部(134)においては、次段のデータIC(116)へ出力信号(キャリ信号)を供給するシフト・レジスタ(SR)の後段に接続されたシフト・レジスタ(SR)(例えば、段落【0083】の記載における「第601乃至第642シフト・レジスタ(SR601乃至SR642)」)は、サンプリング信号を出力していない。また、第2実施例として、前段に接続されたシフト・レジスタ部(184)(「シフトレジスタ部」)から次段のデータIC(116)(「データ駆動集積回路」)へ出力信号、または、キャリ信号(Carry)(「サンプリング信号」)を供給する回路が、チャンネル選択部(180)(「選択部」)であるものが記載されている。そして、第2実施例のデータIC(116)のシフト・レジスタ部(184)においては、次段のデータIC(116)へ出力信号、又は、キャリ信号(Carry)を供給するシフト・レジスタ(SR)の後段に接続されたシフト・レジスタ(SR)(例えば、段落【0101】の記載における「第601乃至第642シフト・レジスタ(SR601乃至SR642)」)



も、サンプリング信号を出力している。これらのシフト・レジスタ（SR）の出力は、最終的にはデータライン（DL）に接続されないため、液晶パネル（102）への影響はない。

よって、補正発明において、前段に接続されたシフトレジスタ部から次段のデータ駆動集積回路へサンプリング信号を供給する回路は選択部であるから、かかる補正発明に対応する、発明の詳細な説明に記載された実施例は、前段に接続されたシフト・レジスタ部（184）（「シフトレジスタ部」）から次段のデータIC（116）（「データ駆動集積回路」）へ出力信号、又は、キャリ信号（Carry）（「サンプリング信号」）を供給する回路がチャンネル選択部（180）（「選択部」）となっている、第2実施例の方である。そして、第2実施例においては、シフト・レジスタ部（184）内の642段の各シフト・レジスタ（SR）は、次段のデータIC（116）へ出力信号、または、キャリ信号（Carry）を供給するシフト・レジスタ（SR）の後段に接続されたシフト・レジスタ（SR）も含めて、すべてのシフト・レジスタ（SR）が動作しているものである。

すなわち、発明の詳細な説明には、補正発明に係るシフトレジスタ部の動作について、シフトレジスタ部内の各シフトレジスタ（SR）がすべて動作するもののみが開示されている。したがって、原告の主張は、発明の詳細な説明の記載にも基づかないものであるから、失当である。

## 第5 当裁判所の判断

1 本願明細書（甲1）によれば、補正発明は、作業性の向上及び製造費用を削減することができるようにしたデータ駆動集積回路及びその駆動方法と、それを利用した液晶表示装置及びその駆動方法を提供すること、また、液晶パネルの解像図につれてデータ集積回路の出力チャンネルを制御することができるようにしたデータ駆動集積回路及びその駆動方法と、それを利用した液晶表示装置及びその駆動方法を提供すること（【0020】）を目的とし、この目的を達成するために、デー

タ駆動集積回路は多数の出力チャンネルと、前記表示装置の解像度に沿って前記データラインの数に対応して前記画素データを供給するデータ出力チャンネルを前記多数の出力チャンネルから選択する選択部を具備して、他の出力チャンネルには画素データが供給されないことを特徴とするものであり（【0021】）、そのために、審決認定の要旨に係る構成を採用し、チャンネル選択信号を利用して液晶パネルの解像図につれてデータ集積回路のチャンネルを変更することで一種類のデータ集積回路を利用して液晶パネルのすべての解像図を駆動させることができるようになり、また、液晶パネルの解像図に関係なく、データ集積回路を共通に使用することでデータ集積回路の個数を減少させることができ、結果的に、本発明の液晶表示装置は作業性の向上及び製造費用を節減することができるという作用効果を奏する（【0124】）ものと認められる。

2 取消事由1（補正発明と引用発明1との構成要素の対応関係の誤り）について

(1) 審決における補正発明と引用発明1との対比

審決は、補正発明と引用発明1（出願人はローム株式会社、出願日は平成4年7月27日）とを次のように対比して、一致点及び相違点を認定した。

(3-1)

.....

よって、引用発明1の「パネルを駆動することができる液晶駆動用IC」は、補正発明の「表示装置の多数のデータラインに接続されたデータ駆動集積回路」に相当し、以下同様に、「パネル」は「表示装置」に、「 $Y_1$ 端子…… $Y_{80}$ 端子」は「N個のデータ出力チャンネル」の $N=80$ の場合に、「直列ビットデータ」は「画素データ」に相当する。また、引用発明1の「シフトクロック」と補正発明の「ソースサンプリングクロック信号」とは、共に「クロック信号」である点で共通する。

.....

(3-3)

(3-1)の相当関係から、引用発明1の「直列ビットデータ」は補正発明の「画素データ」に相当し、引用発明1の「シフトクロック」と補正発明の「ソースサンプリングクロック信号」とは、共に「クロック信号」である点で共通するから、引用発明1の「シフトクロックに同期して直列ビットデータを順次に記憶するシフトレジスタ1」と、補正発明の「ソースサンプリングクロック信号に応答してソーススタートパルスを順次シフトするシフトレジスタ部」とは、共に、「クロック信号に応答して所定の信号をシフトするシフトレジスタ部」である点で共通する。

(3-4)

引用発明1において、「ラッチ回路2」は、シフトレジスタ1が記憶する80ビットデータを取り込むものであるが、シフトレジスタ1に記憶されたビットデータは、直列ビットデータである。

そして、(3-1)の相当関係から、引用発明1の「直列ビットデータ」は補正発明の「画素データ」に相当するから、引用発明1の「直列ビットデータを取り込むラッチ回路2」と、補正発明の「画素データをラッチするラッチ部」とは、共に、「画素データをラッチするラッチ部」である点で共通する。

.....

## (2) 審決における相違点1の認定についての検討

ア 補正発明の「シフトレジスタ部」と引用発明1の「シフトレジスタ1」

補正発明は「サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部」を、引用発明1は「80個のフリップフロップ $FF_1 \sim FF_{80}$ からなるシフトレジスタ1であって、入力端子INへの直列ビットデータをCLK端子へのシフトクロックに同期してフリップフロップ $FF_1 \sim FF_{80}$ に順次に記憶するシフトレジスタ1」をそれぞれ備えている。そして、補正発明の「シフトレジスタ部」と引用発明1の「シフトレジスタ1」は、いずれも、デジタル信号のけた移動動作、すなわちシフト動作をするもので、補正発明の「シフトレジスタ部」は「ソースサンプリングクロック信号」に応答してシフト動作し、引用発明1の「シ

フトレジスタ1」は「シフトクロック」に同期してシフト動作することは明らかである。

そうすると、補正発明の「シフトレジスタ部」と引用発明1の「シフトレジスタ1」が、「クロック信号に応答して所定の信号をシフトするシフトレジスタ部」である点で共通することは明らかであり、審決の認定に誤りはない。

#### イ 補正発明の「ラッチ部」と引用発明1の「ラッチ回路2」

補正発明は「前記シフトレジスタ部から前記サンプリング信号に応答して前記画素データをラッチするためのラッチ部であって、前記画素データは前記タイミングコントローラから供給されるラッチ部」を、引用発明1は「前記シフトレジスタ1が記憶する80ビットデータを取り込むラッチ回路2であって、前記シフトレジスタ1中の72、もしくは、80ビットデータを記憶するラッチ回路2」をそれぞれ備えている。そして、引用発明1の「ラッチ回路2」に取り込まれる「前記シフトレジスタ1が記憶する80ビットデータ」が、「シフトレジスタ1」の「フリップフロップ $FF_1 \sim FF_{80}$ 」に順次に記憶する「直列ビットデータ」であることは明らかであり、引用発明1の「直列ビットデータ」は、補正発明の「画素データ」に相当する。

そうすると、補正発明の上記「ラッチ部」と引用発明1の上記「ラッチ回路2」が、「画素データをラッチするラッチ部」である点で共通することは明らかであり、審決の認定に誤りはない。

#### ウ 審決における相違点1の認定について

上記ア及びイで検討したとおり、審決は、補正発明の「シフトレジスタ部」と引用発明1の「シフトレジスタ1」については、シフトレジスタ装置が有する当然の機能である、クロック信号に応じたシフト動作をする点で両者が共通すると認定するととどまり、原告が主張するように、引用発明1の「シフトレジスタ1」が補正発明の「シフトレジスタ部」に相当するとは認定していない。

また、審決は、本件補正発明の「ラッチ部」と引用発明1の「ラッチ回路2」に

についても、ラッチが当然に有するデータ保持機能を備え、保持されるデータが「画素データ」である点で両者が共通すると認定するにとどまり、原告が主張するように、引用発明1の「ラッチ回路2」が本件補正発明の「ラッチ部」に相当するとは認定していない。

そして、審決は、補正発明と引用発明1との相違点1について、「シフトレジスタ部とラッチ部に関し、補正発明では『サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスに順次シフトすることにより発生するシフトレジスタ部』と『シフトレジスタ部からサンプリング信号に応答して画素データをラッチするためのラッチ部であって、前記画素データはタイミングコントローラから供給されるラッチ部』であるのに対し、引用発明1では『80個のフリップフロップ $FF_1 \sim FF_{80}$ からなるシフトレジスタ1であって、入力端子INへの直列ビットデータをCLK端子へのシフトクロックに同期してフリップフロップ $FF_1 \sim FF_{80}$ に順次に記憶するシフトレジスタ1』と『シフトレジスタ1が記憶する80ビットデータを取り込むラッチ回路2であって、前記シフトレジスタ1中の72, もしくは、80ビットデータを記憶するラッチ回路2』である点」で相違し、また、「これに付随して、シフトレジスタ部から次のデータ駆動集積回路に供給される信号に関し、補正発明では『サンプリング信号』であるのに対し、引用発明1では『ビットデータ』である点」で相違すると認定したものである。

そうすると、補正発明の「シフトレジスタ部」及び「ラッチ部」それぞれにおける信号処理と、引用発明1の「シフトレジスタ1」及び「ラッチ回路2」それぞれにおける信号処理との相違は、審決における相違点1の認定に含まれていることは明らかである。

以上によれば、審決は、引用発明1の「シフトレジスタ1」と引用発明1の「シフトレジスタ1」とは、「クロック信号に応答して所定の信号をシフトするシフト

レジスタ部」である点で共通し、補正発明の「ラッチ部」と引用発明1の「ラッチ回路2」とは、「画素データをラッチするラッチ部」である点で共通すると認定するにとどめ、そのうえで、補正発明の「シフトレジスタ部」及び「ラッチ部」それぞれにおける信号処理と、引用発明1の「シフトレジスタ1」及び「ラッチ回路2」それぞれにおける信号処理との相違を、相違点1で認定したものであるから、審決における相違点1の認定に誤りはない。

エ 原告の主張について

原告は、補正発明の「シフトレジスタ部」及び「ラッチ部」と、引用発明1の「シフトレジスタ1」及び「ラッチ回路2」とは、「補正発明は引用発明1のデータシフトレジスタ1を、サンプリングスタートパルスシフトレジスタとラッチ136の2つで構成している」点、及び「引用発明1のラッチはシフトレジスタのデータをパラレルに同時に読み込むものであり、一方補正発明のラッチはデータをシリアルに順次クロックに応じサンプリング信号によって読み込むものであるから、むしろ引用発明1のデータシフトレジスタ1に対応している」点で相違するから、審決の相違点1の認定には誤りがあると主張する。

しかし、原告が主張する、補正発明の「シフトレジスタ部」及び「ラッチ部」と、引用発明1の「シフトレジスタ1」及び「ラッチ回路2」との上記の相違は、補正発明の「シフトレジスタ部」及び「ラッチ部」それぞれにおける信号処理と、引用発明1の「シフトレジスタ1」及び「ラッチ回路2」それぞれにおける信号処理との相違によるものである。そして、審決は、補正発明の「シフトレジスタ部」及び「ラッチ部」それぞれにおける信号処理と、引用発明1の「シフトレジスタ1」及び「ラッチ回路2」それぞれにおける信号処理との相違を、相違点1で認定している。

したがって、原告の主張は採用できない。

(3) 小括

以上によれば、審決における相違点1の認定に誤りはない。

### 3 取消事由2（相違点1についての判断の誤り）について

#### (1) 「サンプリングパルス」を次のシフトレジスタに転送する点について

ア 引用発明1は、パネルを駆動することができる液晶駆動用ICにおいて、80個のフリップフロップ $FF_1 \sim FF_{80}$ からなる「シフトレジスタ1」において、その「入力端子IN」への「直列ビットデータ」（補正発明の「画素データ」に相当）を、上記「シフトレジスタ1」の「CLK端子」へのシフトクロックに同期してフリップフロップ $FF_1 \sim FF_{80}$ に順次に記憶させることにより、上記「直列ビットデータ」から上記パネルの画素毎のデータを抽出し、上記「シフトレジスタ1」で抽出した画素毎のデータを「ラッチ回路2」に取り込むものである。

そして、液晶表示装置において、「サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号にตอบสนองしてタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部」と、「前記シフトレジスタ部から前記サンプリング信号にตอบสนองして画素データをラッチするためのラッチ部であって、前記画素データは前記タイミングコントローラから供給されるラッチ部」とにより、上記「画素データ」から上記液晶表示装置における画素毎のデータを抽出することは、審決が挙げた甲6～甲8にみられるように、周知技術であると認めることができる。

ここで、引用発明1の「液晶駆動用IC」と上記周知技術とは、液晶表示装置において、データライン毎にシリアルに出力された画素データを、シフトレジスタ及びラッチを用いて、データラインに対してパラレルに出力可能なようにシリアル→パラレル変換するという、技術分野及び機能において一致するから、引用発明1に上記周知技術を適用する動機付けの存在に問題はない。

そうすると、引用発明1の「液晶駆動用IC」において、上記「直列ビットデータ」から上記パネルの画素毎のデータを抽出するための構成として、上記「直列ビットデータ」を上記「シフトクロック」に同期してシフトさせる上記「シフトレジ



スタ 1」と、上記「シフトレジスタ 1」で抽出した画素毎のデータを取り込む上記「ラッチ回路 2」とを用いることに代えて、「サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部」と、「前記シフトレジスタ部から前記サンプリング信号に応答して画素データをラッチするためのラッチ部であって、前記画素データは前記タイミングコントローラから供給されるラッチ部」とを用いることは、液晶表示装置の分野における上記周知技術を適用することにより、当業者が容易に想到し得たものといえることができる。

イ ところで、引用発明 1 は、「シフト段数選択回路 3」が、「80 出力選択信号 SELECT 2」及び「72 出力選択信号 SELECT 1」に応じて、上記「シフトレジスタ 1」を構成する「80 段目のフリップフロップ  $FF_{80}$ 」及び「72 段目のフリップフロップ  $FF_{72}$ 」の一方から出力される「直列ビットデータ」を「出力端子 OUT」に導出し、これを次段の液晶駆動用 IC に供給して、「1 種類の IC であらゆるドット数のパネルを駆動することができ、組み立て工数の削減や組み立てコストの低減を図ることができる。」という作用効果を奏するものである（甲 4 第 4 欄【0015】、【0019】）。

そして、引用発明 1 に上記周知技術を適用することにより、引用発明 1 の「液晶駆動用 IC」では、「シフトレジスタ部」において「ソースサンプリングクロック信号」に응答して「タイミングコントローラ」から供給される「ソーススタートパルス」が順次シフトされて「サンプリング信号」が発生し、上記「直列ビットデータ」はシフトされない。さらに、甲 6 には、「シフトレジスタ 61」に入力された「シフトデータ入力信号 SI」について、「シフトデータ入力信号 SI はシフトレジスタ 61 を通過した後はシフトデータ出力信号 SO となって次段のアナログドライバ IC 60 のシフトデータ入力信号 SI となる」ことが記載されている（2 頁右下欄 11 行～15 行、第 6 A、6 B 図）。



そうすると、引用発明 1 に上記周知技術を適用する際、上記「シフト段数選択回路 3」が、上記「80 出力選択信号 SELECT 2」及び上記「72 出力選択信号 SELECT 1」に応じて、上記「ソーススタートパルス」が順次シフトされて発生する「サンプリング信号」を、上記「出力端子 OUT」に導出する構成とすることは、引用発明 1 の上記の作用効果を奏するために、当業者が当然に行い得るものと認められる。

ウ 原告は、甲 6 記載の周知技術において、シフトレジスタの信号  $Q_1 \sim Q_{162}$  はサンプリングスイッチ 63 のオンオフを制御するにすぎず、サンプルホールド回路 64 はアナログ信号をサンプルホールドするもので、画素データ、若しくは直列ビットデータをラッチするものではないから、甲 6 に記載の周知技術を引用発明 1 に適用することの動機付けは存在しないと主張する。

しかし、甲 6 には、液晶表示パネルの駆動回路について、  
「第 6 A 図は従来の 162 ビットのシフトレジスタ 61 の構成を示すものであり、第 6 B 図は従来のアナログドライバ IC 60 の内部構成を示すものである。シフトレジスタ 61 は 162 個のフリップフロップ FF から構成されており、D 端子にシフトデータ入力信号 S1 が入力され、CLK 端子にクロック信号 CLK が入力され、Q 端子が次段のフリップフロップ FF の D 端子に接続されるようになっている。そして、D 端子に入力されたシフトデータは、クロック信号 CLK 毎に次段のフリップフロップ FF に出力されると共に、外部に信号  $Q_1 \sim Q_{162}$  として出力される。

一方、アナログドライバ IC 60 には、クロック信号 CLK に応じてシフトデータ入力信号 SI をシフトする第 6 A 図のように構成されたシフトレジスタ 61 と、R (赤)、G (緑)、B (青) の三原色のデータを伝えるデータライン 62 と、シフトレジスタ 61 からの信号によりオンオフされるサンプリングスイッチ 63 と、サンプルホールド回路 64 と、バッファ 65 とが備えられている。そして、シフトデータ入力信号 SI はシフトレジスタ 61 を通過した後はシフトデータ出力信号 SO となって次段のアナログドライバ IC 60 のシフトデータ入力信号 S1 となる。アナログドライバ IC 60 の出力ビット数は 3 の倍数である方が都合が良いため、現在では 162 本の出力ビット数を備えたアナログドライバ IC 60 等が実用化されている。」(2 頁左下欄 12 行～右下欄 18 行、第 6 A、6 B 図)

と記載され、液晶表示パネルの駆動回路において、「シフトレジスタ61」から信号 $Q_1 \sim Q_{162}$ として出力される「シフトデータ入力信号SI」により「サンプリングスイッチ63」がオンオフされることで、「データライン62」に供給される三原色のデータが「サンプリングホールド回路64」によりサンプリングされ、保持されることが開示されている。そして、この保持される三原色のデータは、液晶表示パネルを駆動する画素データであることは明らかである。

そうすると、甲6には、「シフトデータ入力信号SI（「ソーススタートパルス」に相当）とクロック信号CLK（「ソースサンプリングクロック信号」に相当）が入力され、クロック信号CLKに応じてシフトデータ入力信号SIをシフトするシフトレジスタ61（「シフトレジスタ部」に相当）と、三原色のデータ（「画素データ」に相当）をシフトレジスタ61からの信号（「サンプリング信号」に相当）によりオンオフされるサンプリングスイッチ63とサンプルホールド回路64（「ラッチ部」に相当）」が記載されているとした審決の認定に誤りはなく、引用発明1に甲6記載の周知技術を適用することの動機付けに問題はない。

以上から、原告の上記の主張は採用できない。

## (2) 補正発明の効果について

原告は、補正発明は、引用発明1と比較して、ビット数の多い画素データを扱っても回路規模が大幅に増大せず、一定の信号であるソーススタートパルス(SSP)をシフトするので消費電力、速度の面で有利であるという作用効果を奏する点で相違があると主張する。

しかし、原告が主張する上記の作用効果は、転送される信号が上記「ソーススタートパルス」であることによって生じる効果であり、液晶表示装置において、「サンプリング信号を順次供給するシフトレジスタ部であって、前記サンプリング信号は、ソースサンプリングクロック信号に応答してタイミングコントローラから供給されるソーススタートパルスを順次シフトすることにより発生するシフトレジスタ部」を用いる、甲6～甲8にみられるような周知技術を適用するに際しても、同様

の作用効果を奏することは、当業者が直ちに察知し得るものである。

そうすると、引用発明1の「液晶駆動用IC」において、上記「直列ビットデータ」から上記パネルの画素毎のデータを抽出するための構成として、上記周知技術を適用する際に、原告が主張する上記の作用効果を奏することは、当業者が容易に予測し得たものである。

また、原告が主張する、消費電力の増加によるデータドライバーの発熱と駆動エラーの誘発が防止できるという、補正発明の奏する作用効果も、引用発明に上記周知技術を適用する際に、当業者が容易に予測し得たものである。

(3) 小括

したがって、審決における相違点1の判断に誤りはない。

第6 結論

以上によれば、原告主張の取消事由にはいずれも理由がない。よって、原告の請求を棄却することとして、主文のとおり判決する。

知的財産高等裁判所第2部

裁判長裁判官

---

塩 月 秀 平

裁判官

---

池 下 朗

裁判官

---

古 谷 健 二 郎