

平成19年11月29日判決言渡 同日原本領収 裁判所書記官

平成18年(行ケ)第10403号 審決取消請求事件

平成19年10月30日口頭弁論終結

## 判 決

原告 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
訴訟代理人弁理士 伊東忠彦, 湯原忠男, 大貫進介, 伊東忠重  
被告 特許庁長官 肥塚雅博  
指定代理人 小川浩史, 下中義之, 山本章裕, 森山啓, 二宮千久

## 主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理の申立てのための付加期間を30日と定める。

## 事 実 及 び 理 由

### 第1 請求

特許庁が不服2004-15515号事件について平成18年4月18日にした審決を取り消す。

### 第2 当事者間に争いのない事実

#### 1 特許庁における手続の経緯

原告は、発明の名称を「集積回路」とする発明につき、平成6年5月23日、特許を出願し（パリ条約による優先権主張1993年5月24日、米国。以下「本件出願」という。）、平成16年2月2日付け手続補正書により補正を行ったが、同年4月22日付けの拒絶査定を受けたため、同年7月26日、審判を請求した。

特許庁は、上記審判請求を不服2004-15515号事件として審理した結果、平成18年4月18日、「本件審判の請求は、成り立たない。」との審

決をし、同年5月9日、審決の謄本が原告に送達された。

## 2 特許請求の範囲

平成16年2月2日付け手続補正書による補正後の本件出願の請求項1（請求項は全部で10項である。）は、次のとおりである。

【請求項1】 アナログ主回路に存するアナログ的機能性を有している集積回路であって、該集積回路が複数の外部ピンを有すると共に前記アナログ主回路を試験するための試験装置を装備し、該試験装置がテストバスを具えると共に、前記アナログ主回路と前記テストバスと1つの外部ピンとの間に結合される少なくとも1個の三路スイッチを具え、該三路スイッチが、前記外部ピンを経て前記集積回路の外部にある素子と前記アナログ主回路との間の正規の経路に沿って信号を伝送する第1状態と、前記テストバスと前記アナログ主回路との間に信号を伝送する第2状態と、前記外部ピンを経て前記集積回路の外部にある素子と前記テストバスとの間に信号を伝送する第3状態との3つの状態をとるようにしたことを特徴とする集積回路。

（以下、審決と同様に、請求項1に係る発明を「本願発明1」という。）

## 3 審決の理由

別紙審決書の写しのとおりである。要するに、本願発明1は、特開平4-110782号公報（甲第1号証。以下、審決と同様に「引用刊行物」という。）に記載された発明（以下「引用発明」という。）に周知技術を適用して、当業者が容易に発明をすることができたものであるから、特許法29条2項の規定により特許を受けることができないとするものである。

審決は、上記結論を導くに当たり、引用発明の内容並びに本願発明1と引用発明との一致点及び相違点を次のとおり認定した。

### (1) 引用発明の内容

アナログ回路よりなる複数のサブモジュールを有するとともに複数の外部ピンを有する集積回路上で、前位のサブモジュールよりの入力を受信する後

位のサブモジュールを含む接続回路網内に配置されたアナログサブモジュールの試験回路において、

- a) 集積回路上に配置された複数個の導体を含み、これら導体の1つが入/出力接続に終端するテスト母線と、
- b) 少なくとも1つの3方向スイッチで、各スイッチは、後位のサブモジュールの入力に接続されている出力接続と、前記の1つの導体に接続されている入/出力接続と、前位のサブモジュールの出力に接続されている入力とを有している3方向スイッチと、
- c) 前記少なくとも1つの3方向スイッチをして、次の状態のうちの1つとする形成手段、
  - i) 後位のサブモジュールの入力が前位のサブモジュールの出力に接続され、テスト母線に接続されていない第1状態、
  - ii) 後位のサブモジュールの入力がテスト母線に接続され、前位のサブモジュールに接続されていない第2状態、
  - iii) 前位のサブモジュールの出力が後位のサブモジュールの入力と、テスト母線との双方に接続されている第3状態、とを具備してなることを特徴とするアナログサブモジュールの試験回路。

(2) 一致点

アナログ回路に存するアナログ的機能性を有している集積回路であって、該集積回路が複数の外部ピンを有すると共に前記アナログ回路を試験するための試験装置を装備し、該試験装置がテストバスを具備すると共に、前記アナログ回路と前記テストバスと前記アナログ回路の外部の1つの接続点との間に結合される少なくとも1個の三路スイッチを具備し、該三路スイッチが、前記接続点を経て外部にある素子と前記アナログ回路との間の正規の経路に沿って信号を伝送する第1状態と、前記テストバスと前記アナログ回路との間に信号を伝送する第2状態と、前記接続点を経て外部にある素子と前記テス

トバスとの間に信号を伝送する第3状態との3つの状態をとるようにしたことを特徴とする集積回路である点

(3) 相違点

「アナログ回路」，「アナログ回路の外部の1つの接続点」が，それぞれ，本願発明1では，「アナログ主回路」，集積回路の1つの「外部ピン」であるのに対し，引用発明では，「サブモジュール」，サブモジュールの外部の1つの「接続点」であり，その結果，三路スイッチが，本願発明1では，「前記外部ピンを経て前記集積回路の外部にある素子と前記アナログ主回路との間の正規の経路に沿って信号を伝送する第1状態と，前記テストバスと前記アナログ主回路との間に信号を伝送する第2状態と，前記外部ピンを経て前記集積回路の外部にある素子と前記テストバスとの間に信号を伝送する第3状態との3つの状態をとる」のに対し，引用発明では，「前記サブモジュールの外部の接続点を経て前記サブモジュールの外部にある素子と前記サブモジュールとの間の正規の経路に沿って信号を伝送する第1状態と，前記テストバスと前記サブモジュールとの間に信号を伝送する第2状態と，前記サブモジュールの外部の接続点を経て前記サブモジュールの外部にある素子と前記テストバスとの間に信号を伝送する第3状態との3つの状態をとる」点

第3 審決取消事由の要点

審決は，引用発明の認定を誤り，一致点を誤認し，かつ，引用発明に周知技術を適用して当業者が容易に本願発明の構成に至ることができたと容易想到性の判断を誤ったもので，この誤りが結論に影響を及ぼすことは明らかであるから，違法なものとして取り消されるべきである。

1 引用発明認定の誤り

審決は，引用刊行物の試験回路の3方向スイッチの接続の態様について，引用発明における「『3方向スイッチ』は，・・・後位（前位）のサブモジュー

ルと、テスト母線と、前記後位（前位）のサブモジュールの外部の接続点を介して前位（後位）のサブモジュールに接続されている」と認定している。しかし、本願発明 1 にいう外部にある素子とは、集積回路の外部にある素子という意味であるから、集積回路の内部にある引用発明の前位のサブモジュール 11 が本願発明 1 の「外部にある素子」に対応するものではない。

引用発明の後位のサブモジュール 10 に対応する本願発明の構成要素は、集積回路ではなく、アナログ主回路であるから、審決の「外部の接続点」を敢えて本願発明に対比させるならば、それは、アナログ主回路の外部の接続点ということになるが、そのような概念は本願発明 1 には存在しない。本願発明 1 において「外部ピン」と呼んでいるものは、請求項 1 に「該集積回路が複数の外部ピンを有する」と表現し、本件出願の【図 3】の実施例でも IN1～3 として明示しているとおり、集積回路の外部ピンである。

本願発明では、三路スイッチがアナログ主回路とテストバスと 1 つの外部ピンとの間に結合されているという構成により、「外部ピンを経て集積回路の外部にある素子とテストバスとの間に信号を伝送する第 3 状態」（請求項 1）をとることができ、集積回路の外部にある素子からの信号をもテストすることができるという本願発明 1 の効果を奏するのである。

以上のとおり、本願発明 1 にいう外部にある素子とは、集積回路の外部にある素子という意味であることは明白であり、審決が「前記接続点を経て外部にある素子と前記テストバスとの間に信号を伝送する第 3 状態」を本願発明 1 と引用発明との一致点であると認定したことは誤りである。

## 2 容易推考性判断の誤り

本願発明 1 の「アナログ主回路とテストバスと 1 つの外部ピンとの間に結合される少なくとも 1 個の三路スイッチを具え、該三路スイッチが、・・・前記外部ピンを経て前記集積回路の外部にある素子と前記テストバスとの間に信号を伝送する第 3 状態・・・をとるようにしたことを特徴とする集積回路。」は、

引用発明にも，被告の挙げる周知技術にも，開示されておらず，示唆もされていない。したがって，相違点について容易に発明をすることができたとする審決の判断は誤りである。

- (1) 審決は，バウンダリスキャン技術が「テスト用回路を，集積回路の内部回路と外部ピンとの間に挿入し，外部ピンを経て集積回路の外部にある素子と内部回路との間の正規の経路に沿って信号を伝送する第1状態と，テスト信号の伝送線と内部回路との間に信号を伝送する第2状態と，外部ピンを経て集積回路の外部にある素子とテスト信号の伝送線との間に信号を伝送する第3状態とをとるようにしてテストを実行するものである」と認定した根拠を示していない。
- (2) 審決が周知例として挙げたB. R. Wilkins, "DEVELOPMENTS IN TESTABILITY STANDARDS", IEEE Colloquium on "Testing Mixed Signal Circuits", 15 May 1992 (甲第4号証。以下「甲4」という。)には，本願発明1の「アナログ主回路とテストバスと1つの外部ピンとの間に結合される少なくとも1個の三路スイッチを具え，該三路スイッチが，……前記外部ピンを経て前記集積回路の外部にある素子と前記テストバスとの間に信号を伝送する第3状態…をとるようにしたことを特徴とする集積回路。」が開示されておらず，示唆もされていない。

被告が提出する特開昭56-40771号公報(乙第1号証)，特開昭62-267678号公報(乙第2号証)，小島郁太郎「バウンダリ・スキャンとは」日経エレクトロニクス488号(日経BP社，1989年12月11日)316～317頁(乙第3号証)，B. R. Wilkins, S. Oresjo, B. S. Suparjo, "Towards a Mixed-Signal Testability Bus Standard P1149.4", Proceedings of ETC 93, European Test Conference 1993, 22 April 1993, p.58-65(乙第4号証)(以下，それぞれを「乙1」ないし「乙4」という。)にも，上記の点が開示されておらず，示唆もされていないことは同じ

である。

したがって、引用発明に甲 4 及び乙 1 ~ 4 記載の周知技術を適用しても、本願発明 1 の構成に至ることは困難である。

- (3) 引用発明，甲 4，乙 1 ~ 4 のいずれにも，三路スイッチを介在させ，集積回路の外部ピンを経て集積回路の外部にある素子とテストバスとの間に信号を伝送する第 3 状態をもとるようにしたことにより，集積回路の外部にある素子からの信号をもテストすることができるという本願発明 1 の効果を達成することができることの開示も示唆もない。

したがって、引用発明に甲 4 及び乙 1 ~ 4 記載の周知技術を適用しても、本願発明 1 の効果を達成することは困難である。

#### 第 4 被告の反論の骨子

審決の認定判断はいずれも正当であって、審決を取り消すべき理由はない。

##### 1 引用発明認定の誤りについて

引用刊行物の請求項 1 に「b) 少なくとも 1 つの 3 方向スイッチで、各スイッチは、・・・前位のサブモジュールの出力に接続されている入力とを有している 3 方向スイッチ」との記載があるから、「3 方向スイッチ」が前位のサブモジュールの出力に接続されることは、明らかである。そして、上記「3 方向スイッチ」は、上記「前位のサブモジュール」の出力と、内部節点を介して接続されていることは明白である。さらに、上記の内部節点は、「後位のサブモジュール」からみれば、その「外部」にある接続点であることも明らかである。

これらによれば、上記「3 方向スイッチ」は、後位のサブモジュールの外部の接続点を介して前位のサブモジュールに接続されているといえることができる。

##### 2 容易推考性判断の誤りについて

スキャン技術をプリント回路基板上に実装された集積回路のテストに拡張したものがバウンダリスキャン技術であり、また、バウンダリスキャン技術をアナログ回路を有する集積回路のテストに適用することが周知の事項であること

から、「スキャン技術と類似する，アナログ回路よりなる集積回路のテストに関する引用刊行物に記載された発明を，バウンダリスキャン技術と同様に，プリント回路基板上に実装されたアナログ回路よりなる集積回路のテストに適用」することは，当業者であれば容易に想到し得たことである。

スキャン技術と類似する引用発明を，バウンダリスキャン技術と同様に，プリント回路基板上に実装されたアナログ回路からなる集積回路のテストに適用する際には，背景技術の説明で示したとおり，引用発明において前位のサブモジュールの出力を観測するための観測点となる「内部節点」を，集積回路の外部の素子の出力を観測するための観測点とする，すなわち，審決でいう「前記アナログ回路の外部の1つの接続点」を「外部ピン」とする必要があることは明白である。

したがって，バウンダリスキャン技術をアナログ回路を有する集積回路のテストに適用することが周知の事項であることからして，引用発明に周知技術を適用して，相違点に係る構成に到ることは，当業者にとって容易であり，効果も予測の範囲内であるとした審決の判断に誤りはない。

## 第5 当裁判所の判断

### 1 引用発明認定の誤りについて

(1) 引用刊行物には，図面とともに次の記載がある。

ア「集積回路上で，前位のサブモジュールよりの入力を受信する後位のサブモジュールを含む接続回路網内に配置されたアナログサブモジュールの試験回路において，

a)集積回路上に配置された複数個の導体を含み，これら導体の1つが入/出力接続に終端するテスト母線と，

b)少くとも1つの3方向スイッチで，各スイッチは，後位のサブモジュールの入力に接続されている出力接続と，前記の1つの導体に接続されている入/出力接続と，前位のサブモジュールの出力に接続されている入力とを有し



ている 3 方向スイッチと，

c) 前記少くとも 1 つの 3 方向スイッチをして，次の状態のうちの 1 つとする形成手段，

i) 後位のサブモジュールの入力が前位のサブモジュールの出力に接続され，テスト母線に接続されていない第 1 状態，

ii) 後位のサブモジュールの入力がテスト母線に接続され，前位のサブモジュールに接続されていない第 2 状態，

iii) 前位のサブモジュールの出力が後位のサブモジュールの入力と，テスト母線との双方に接続されている第 3 状態，

とを具備てなることを特徴とするアナログサブモジュールの試験回路。」

( 特許請求の範囲【請求項 1】 )

イ「第 1 図は，本発明テストシステムの実施例により回路モジュールから 2 つのサブモジュール 10 および 11 を区分 ( partitioning ) する方法を示す。

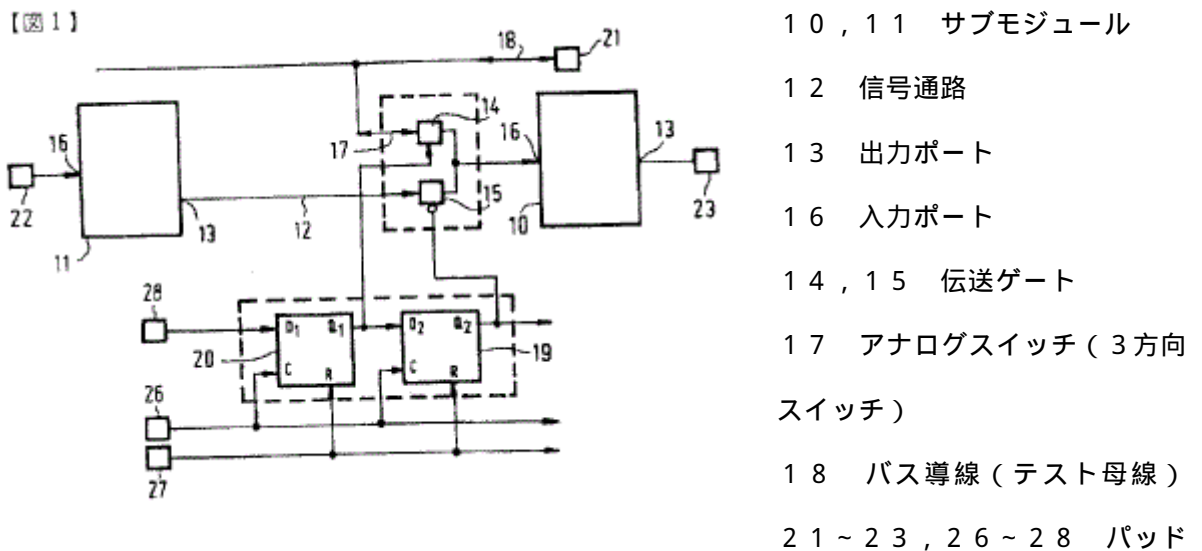
サブモジュール 10 および 11 は単一回路として集積回路上に存在するアナログ回路ブロックとすることができる。集積回路をサブモジュール 10 および 11 に区分することによりブロックを個々のセクション内でテストすることが可能となる。図示のように，サブモジュール 10 および 11 は通常入力ポート 16 および出力ポート 13 を含む。このようなサブモジュールは通例として 1 つ以上の入力および 1 つ以上の出力を具備するを可とする。」( 段落【0015】 )

ウ「区分 ( または仕切り ) はモジュール 10 の入力ポート 16 に隣接して配置したアナログスイッチ 17 を介して行うようにし，前記アナログスイッチ 17 は対の D フリップフロップ 19 および 20 により制御されるようにする。」( 段落【0016】 )

エ「アナログスイッチ 17 は 2 つの伝送ゲート ( transmission gate ) 14 および 15 を含む。CMOS の製造工程において，これらの伝送ゲートは，イ

ンバータを介して接続したゲート接続を有する並列接続NチャネルおよびPチャネルトランジスタにより実現することができる。これらの既知の伝送ゲートは、ゲート14が閉じ、ゲート15が開いて、出力ポート13が入力ポート16から隔離され入力ポート16がバス導線18に接続されるよう作動する。したがって、この場合、テスト信号はテストパッド21を介して入力ポート16に現出(assert)させることができる。」(段落【0017】)

オ 【図1】



- (2) 上記の記載によれば、引用刊行物の試験回路においては、後位のサブモジュール10とテスト母線18と前位のサブモジュール11とが3方向スイッチ17を介して接続され、3方向スイッチ17によって、i)後位のサブモジュール10の入力16が前位のサブモジュール11の出力13に接続され、テスト母線18に接続されていない第1状態、ii)後位のサブモジュール10の入力16がテスト母線18に接続され、前位のサブモジュール11に接続されていない第2状態、iii)前位のサブモジュール11の出力13が後位のサブモジュール10の入力16と、テスト母線との双方に接続されている第3状態(なお、この第3状態においては、前位のサブモジュール11の出

カ13が後位のサブモジュール10の入力16とテスト母線の双方に接続されており、本願発明の第3状態とは接続の態様を異にするが、引用刊行物の段落【0023】の表Iの3欄の記載から明らかなように、両者の技術的意義に差異はないものと認められる。)、のうちの1つの接続状態を選択することができるものであることが認められる。

上記(1)イの記載から明らかなように、引用発明において、サブモジュールも一つの集積回路であり、それ自体が試験の対象であるから、後位(前位)のサブモジュールに着目して、引用発明の「3方向スイッチ」がサブモジュールの外部節点を介してサブモジュールに接続されているものと理解することができる。

したがって、「引用刊行物に記載された発明における『3方向スイッチ』は、・・・後位(前位)のサブモジュールと、テスト母線と、前記後位(前位)のサブモジュールの外部の接続点を介して前位(後位)のサブモジュールに接続されているものということができる。」との審決の認定に誤りはないから、審決に一致点の誤認はなく、取消事由1は失当である。

## 2 容易推考性判断の誤りについて

(1) 甲4、乙1及び乙2には、スキャン技術について以下の記載がある。

ア「(a)回路の内部節点(制御点及び観測点)に直接的なアクセスを与えること;

(b)独立してテストされ得る比較的単純な副回路に回路を区分すること;

(c)・・・

これら3つの仕掛けの全てが、スキャン技術の使用によりFSMs(有限状態機械)の試験の問題を解決するために用いられる。」(甲4「2.1 DFT技法」)

イ 第2図には、スキャン技術による回路のテスト方法に用いるスキャン動作制御回路が示されており、テスト用回路を構成するフリップフロップ(F

F) 11が、分割回路5 a及び5 bの間に挿入されている。(乙1の第2図)

ウ 第1図、第2図、第4図には、スキャン・デザイン回路が示されており、テスト用回路を構成するシフト・レジスタ・ラッチ(SRL)2, 5, 6が、テストの単位である論理回路(第1図では1, 第2図及び第4図では4で示される。)の間に挿入されている。(乙2の第1, 2, 4図)

(2) 上記の各記載によれば、スキャン技術(デジタル回路よりなる内部回路をテスト可能なサブモジュールに区分し、スキャンセル等のテスト用回路を、各サブモジュールの間に挿入し、該テスト用回路を介して、サブモジュール間の信号の入出力やサブモジュールとテスト信号の伝送線との間の信号の入出力を選択的に切り換えてテストを実行する技術)が、本願の優先日前に周知の技術であったことが認められる。

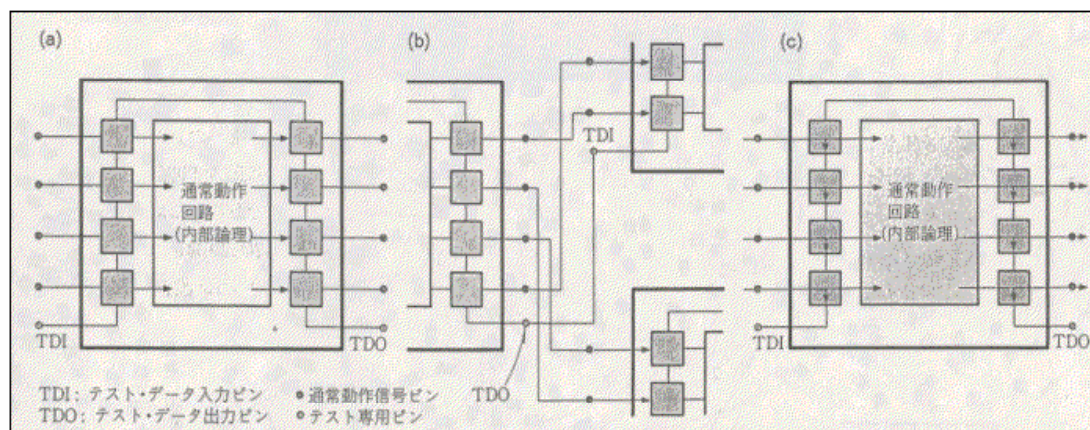
(3) 乙3には、バウンダリスキャン技術について以下の記載がある。

ア「バウンダリ・スキャン(Boundary Scan)は、JTAG(Joint Test Action Group)が提案したプリント基板のテスト容易化手法の標準規格である。IC内部のテスト容易化手法であるスキャン設計法を、ボード上に拡張した。(図A-1)」(乙3の316頁、囲み記事の左欄1行~中欄2行)

イ「バウンダリ・スキャン規格では、三つのテスト・モードを定めている。一つは、チップそのもの(つまり、通常動作の内部論理回路)のテストである(図A-2(a))。JTAGはこれを内部テストと呼ぶ。チップ間の配線(ボード上の配線)もテストできる(同図(b))。配線の短絡や開放を調べられる。これは外部テストと呼ばれる。」(乙3の317頁、囲み記事の中欄2行~11行)

ウ 下記の図には、ボード(プリント基板)上にチップ(半導体集積回路)が実装されている様子が示されており、チップ内の論理回路が、論理回路の周辺に設けられた入出力セル(灰色の正方形で表示)を経由して入出力ピン

(チップの周辺の点で示される)と接続されている。(乙3の317頁, 囲み記事中の図A - 2 (a), (b), (c))



- (4) 上記の各記載によれば, スキャン技術の概念を, プリント回路基板上に実装された集積回路のテストに適用したバウンダリスキャン技術も, 本願の優先日前に周知の技術であったことが認められる。そして, バウンダリスキャン技術は, プリント基板上に実装されたチップ間の配線もテストすることができるから, チップの入出力ピンを介してテスト信号をプリント回路基板上の配線に伝送することができることは明らかである。
- (5) 以上のとおり, 集積回路(チップ)の試験(テスト)技術として, スキャン技術及びバウンダリスキャン技術が共に本願の優先日前に周知の技術であったものと認められるところ, スキャン技術は, 集積回路を複数のサブモジュール(内部回路)に区画し, モジュール間にテスト用回路を挿入してテスト信号を供給することにより, 各サブモジュールやサブモジュール間の配線を試験するものであるのに対し, バウンダリスキャン技術は, これをプリント回路基板に実装された集積回路(チップ)の試験に拡張し, 集積回路の入出力ピンを介してプリント回路基板の配線(集積回路間の配線)も試験することができるようにしたものである。そして, 審決が指摘するように, バウンダリスキャン技術をプリント回路基板上に実装されたアナログ集積回路に

適用することも知られていた（甲４）というのであるから，テスト用回路に 3 方向スイッチを用いてアナログ集積回路を試験するスキャン技術類似の引用発明に接した当業者がこれをプリント回路基板上に実装された集積回路の試験に拡張することは，自然に着想することといえる。なお，引用発明をプリント回路基板上に実装された集積回路の試験に拡張した場合には，3 方向スイッチ 17 は，集積回路の内部回路と集積回路の入出力ピンとの間に挿入されることになる。

そうすると，外部ピンを経て集積回路の外部にある素子と内部回路（アナログ主回路）との間の正規の経路に沿って信号を伝送する第 1 状態，テストバスと内部回路（アナログ主回路）との間に信号を伝送する第 2 状態，外部ピンを経て集積回路の外部にある素子とテストバスとの間に信号を伝送する第 3 状態，の三状態をとるようになることは，当業者が容易に想到することができたことである。

(6) 原告は，「三路スイッチを介在させることにより，集積回路の外部ピンを経て集積回路の外部にある素子とテストバスとの間に信号を伝送する第 3 状態をもとるようにしたことにより，集積回路の外部にある素子からの信号をもテストできる」という本願発明 1 の効果が奏されると主張するが，このような効果は，引用発明をプリント基板に実装された集積回路の試験に拡張した場合に当然に予測することができるものであり，格別のものということとはできない。

(7) 以上のとおり，本願発明 1 が引用発明に周知技術を適用して，当業者が容易に発明をすることができたものであるとした審決の判断に誤りはないから，取消事由 2 も失当である。

### 3 結論

以上に検討したところによれば，審決取消事由にはいずれも理由がなく，審決を取り消すべきその他の誤りは認められない。

よって、原告の請求は理由がないから棄却することとし、主文のとおり判決する。

知的財産高等裁判所第4部

裁判長裁判官

---

田 中 信 義

裁判官

---

古 閑 裕 二

裁判官

---

浅 井 憲