

平成13年(行ケ)第113号 審決取消請求事件
平成14年11月21日口頭弁論終結

判 決

原告 エッセ ティ ミクロエレクトロニクス ソシエタ ア
レスポンスビリティ リミタータ
(変更前の名称) エッセ ジ エッセ トムソン ミクロエレクトロニク
ス ソシエタ ア レスポンスビリティ リミタータ
訴訟代理人弁理士 深見久郎, 森田俊雄, 伊藤英彦, 堀井 豊
被告 特許庁長官 太田信一郎
指定代理人 村上友幸, 斉藤 操, 小林信雄, 林 栄二, 高橋泰史

主 文

原告の請求を棄却する。
訴訟費用は原告の負担とする。
この判決に対する上告及び上告受理申立てのための付加期間を30日と定め
る。

事 実 及 び 理 由

第1 原告の求めた裁判

特許庁が平成11年審判第5226号事件について平成12年10月26日にし
た審決を取り消す。
訴訟費用は被告の負担とする。

第2 前提となる事実

1 特許庁における手続の経緯

(1) 本願発明
出願人 原告
出願日 平成7年11月17日(パリ条約による優先権主張1
994年11月18日, イタリア国)
出願番号 平成7年特許願第299737号
発明の名称 「電子メモリの出力段のための同期装置」
(2) 本件手続
手続補正書提出日 平成10年7月30日
拒絶査定日 平成11年1月5日
審判請求日 平成11年4月5日(平成11年審判第5226号)
審決日 平成12年10月26日
審決の結論 「本件審判の請求は, 成り立たない。」
審決謄本送達日 平成12年11月22日(原告に対し)

2 本願発明の要旨(上記手続補正後の請求項1)

「電子メモリの出力段のための同期装置であって, 前記電子メモリのイネーブル
信号と前記電子メモリの前記出力段のイネーブル信号との比較に基づいて第1の確
認信号を生成する第1の論理比較回路と, 第2の確認信号を生成するフリップフロ
ップ回路とを含み, 前記フリップフロップ回路は, データロード信号によって可能
化されかつ前記電子メモリのイネーブル信号によって不能化され, 前記第1の確認
信号と前記第2の確認信号との比較に基づいて, 前記電子メモリの前記出力段を可
能化する出力信号を生成する第2の論理比較回路をさらに含み, 前記データロード
信号は, 電子メモリの出力段の切換を決定する信号である, 同期装置。」

3 審決の理由

本件審決の理由は, 【別紙】の「審決の理由」(以下「審決書」という。)に記
載のとおりである。要するに, 本願発明は, 引用刊行物1(特開昭63-2912
90号公報)に記載された発明(「引用発明」ということもある。)に基づいて,
当業者が容易に発明することができたものであり, 特許法29条2項の規定により
特許を受けることができないというものである。

第3 原告主張の審決取消事由の要点

1 取消事由1(「データロード」信号と「反転CEを入力とし, 遅延した反転
出力を出す遅延回路の出力」信号との相違点についての判断の誤り)

(1) 審決では、本願発明において、フリップフロップ回路を可能化し、そして「電子メモリの出力段の切換を決定」する「データロード信号」が具体的にどのような手段で発生され、そして、どのようなタイミングで発生したものをいうのかは規定されていないことを理由に、「LOAD」の英語上の意味解釈等に基づき、「データロード信号」とは「電子メモリの出力段にデータを乗せるための指示信号（もしくは同期信号）」と解釈するのが妥当であるとしている（審決書の二、A）。

しかしながら、① 本願の図面の図1から、LOAD信号はメモリ回路1から出力されていること、② 本願の明細書【0005】の「メモリ回路内でLOAD信号が発生され、メモリ回路1からのデータがラッチ回路2に達するとこのLOAD信号によってラッチ回路2が活性化される。」の記載から、LOAD信号はメモリ回路1内で発生される信号であること、及びメモリ回路からデータがラッチ回路2に達するとラッチ回路2を活性化するために発生されていること、③ 明細書【0015】の「メモリにおいてデータが伝搬したことを示す信号LOADは」の記載から、LOAD信号は、メモリにおいてデータが伝搬したことを示す信号であること、④ 明細書の【0017】の「通常のデータ読出動作の伝搬時間と等しい待ち時間の後に確実に起こる信号LOAD」の記載から、LOAD信号は、通常のデータ読出動作の伝搬時間と等しい待ち時間後に確実に発生される信号であること、が分かる。これらの記載から、「データロード信号」は、メモリ回路内で発生され、メモリにおいてデータが伝搬したことを示す、通常のデータ読出動作の伝搬時間と等しい待ち時間後に確実に発生される信号であることが規定又は説明されている。したがって、審決における「LOAD」の英語の意味に基づく「データロード信号」の解釈は誤りであり、相違点の判断を誤っている。

(2) 被告は、乙第1号証及び乙第2号証を引用し、「データロード信号」という用語は一般的に用いられている用語であり、単なる「データロード信号」という表現から当業者が理解するのは「データをロードするための指令（制御）信号」と理解するものである、と主張している。しかしながら、一般的用法のみによって理解しないし解釈を得ようとするのは相当ではなく、本願明細書又は図面の記載に基づいて、そこで用いられている技術用語の意味あるいは内容を理解しないし解釈すべきである。

(3) 仮に、被告主張の、「データロード信号」は「データをロードするための指令信号である」と解釈したとしても、被告の主張は以下に示すとおり誤りである。

被告主張のとおり、本願発明の回路にとって「データロード信号」は入力信号である。しかしながら、この入力信号は、本願発明の場合には「データをロードする指令信号」である「データロード信号」であるのに対し、引用発明の場合には「反転チップイネーブル信号の遅延信号」であることが基本的相違点である。

被告は、「反転チップイネーブル信号を入力とし、遅延した反転出力を出す遅延回路の出力信号」も「データをロードする指示信号」であり、対象となる回路に同じ動作を引き起こすものであり、単なる名称上の相違にすぎず、技術上は本質的に同じであると主張する。

しかしながら、引用発明の場合、入力信号として与えられる遅延回路の出力は、「チップイネーブル信号」を一定時間遅延させたものである。この目的は、入力されたチップイネーブル信号によって出力バッファを高インピーダンスからアクティブにする開始点だけを、有効なデータが出力する時間近くまで遅らせるためである。チップイネーブル信号は、審決の認定にもあるように、本願発明の「電子メモリのイネーブル信号」に相当し、「チップをイネーブル、すなわち可能化するための信号」という特有の技術的意味を有する信号として広く慣用されている。したがって、引用発明の場合の入力信号は、チップイネーブル信号の一定遅延信号であり、チップイネーブル信号に対して固定の関係にある。

他方、被告の主張に基づけば、データロード信号は、「データをロードする指令信号」として一般的技術用語として解される。これは、データロード信号は「データをロードする指令信号である」という特有の技術的意味を有していることを表わしている。

してみれば、チップをイネーブルするという特有の目的、機能を有する「チップイネーブル信号」と、データのロードを指令するという特有の目的、機能を有する

「データロード信号」とは本質的に相違することは明らかである。

そして、引用発明では、チップイネーブル信号が発生されれば、常時それに応答して固定的関係で設定される一定遅延時間後にフリップフロップ回路が可能化される。すなわち、チップイネーブル信号に応答して、一定遅延時間後に常時フリップフロップが可能化される。これは、データのロードを指令するタイミングと関係なく、フリップフロップが可能化されることを意味する。

それに対し、本願発明では、データのロードを指令する信号のタイミングに応じてフリップフロップを可能化している。

以上のように、「データロード信号」と「チップイネーブル信号の遅延出力信号」とはそれらの目的、機能も本質的に相違するのである。本質的に相違する信号であるにもかかわらず、これらを同一視した審決の認定及び被告の主張は、明らかに失当である。

2 取消事由2（「電子メモリの出力段のための同期装置」と「チップイネーブル回路」との相違点についての判断の誤り）

(1) 審決では、「同期装置」とは「データロード信号」という「出力段がデータをロードするための」指示信号（同期信号）をフリップフロップが受け、出力段の高インピーダンス状態から可能化状態への切換を「データロード」に同期させるものと認められる。」（審決書の二、B）としている。

確かに、「データロード信号」をフリップフロップが受け、出力段の高インピーダンス状態から可能化状態への切換を「データロード信号」に同期させていることについては何ら争いはない。しかし、前記1で主張したように、「データロード信号」という「出力段がデータをロードするための」指示信号（同期信号）という解釈は誤りであり、判断の誤りとなる。

(2) さらに、審決では、「本願発明は「データロード信号」をどのような回路装置で生成するかは特定するものではなく、また、「その遅延時間はアウトプットデータが出力されるまでの時間を単に想定して設定された」ものであっても同期用の構成には相違ない。」と認定している（審決書の二、B）。

「その遅延時間はアウトプットデータが出力されるまでの時間を単に想定して設定された」ものであっても、ほぼ同期を目的とした構成といえるかも知れないが、本願発明という正確な自動同期とはいえない。仮に、引用刊行物1の発明も同期用の構成だとしても、遅延時間をあらかじめ想定し、それをメモリ回路の外で遅延回路を構成して実現するものと、本願発明のように、「メモリ内で発生され、メモリにおいてデータが伝搬したことを示す、通常データ読出動作の伝搬時間に等しい待ち時間後に確実に発生される」データロード信号に基づいて同期が実現される構成とは、同期という観点からしてもその効果において大きく相違する。すなわち、本願発明のように、メモリ回路内で発生されるデータロード信号を用いる構成では、電源、温度、異なる回路構成等のいかなる状態においても同期が維持されるのに対し、引用刊行物1では、遅延回路自体がインバータ151、152及び153並びに関連のコンデンサ156、157を用いて、メモリ回路外に、構成されているため、回路網に固有のすべての遅延に自律的に追従することができず、正確な自動同期を実現することができない。

以上の次第で、引用刊行物1には、単に擬似的な同期を目的としたものにすぎず、本願発明が目的とし意図した正確な自動同期の概念はない。したがって、この点においても審決の判断は誤っている。

3 取消事由3（進歩性の認定判断の誤り）

審決の前提となる本願発明と引用発明との相違点の判断そのものに重大な誤りがあり、したがって、引用刊行物1からは予測することができない本願発明の自動同期という顕著な作用効果を看過している。したがって、審決の結論は明らかに誤りである。

第4 被告の主張の要点

1 取消事由1（「データロード」信号と「反転CEを入力とし、遅延した反転出力を出す遅延回路の出力」信号との相違点についての判断の誤り）に対し

(1) 「データロード信号」という用語は一般的に用いられている用語である（例えば、乙1、乙2）。単なる「データロード信号」という表現から当業者が理

解するのは「データをロードするための指令（制御）信号」と理解するものであり、その「データロード信号」が「メモリ回路内で発生され」、「電源、温度、異なる回路構成等のいかなる状態においても」、「メモリにおいてデータが伝搬したことを示す、通常データ読出動作の伝搬時間と等しい待ち時間後に確実に発生される信号」を意味することは、「データロード信号」なる用語そのものの意味には含まれない。

したがって、審決において、「ロード」を「乗せる」と訳して「データロード信号」を「出力段にデータを乗せるための」指示信号（もしくは同期信号）と解釈したことは、通常技術用語の解釈によったもので、審決の解釈に誤りはない。

(2) 原告が「データロード信号」が「メモリ内で発生され、（電源、温度、異なる回路構成等のいかなる状態においても）メモリにおいてデータが伝搬したことを示す、通常データ読出動作の伝搬時間と等しい待ち時間後に確実に発生される信号」と主張する根拠として、原告が挙げた前記①～④（第3の1(1)参照）は「データロード信号」発生の一実施例等の記載にすぎない。

そして、本願特許請求の範囲の請求項1には、「データロード信号」が「メモリ回路内で発生され、（電源、温度、異なる回路構成等のいかなる状態においても）メモリにおいてデータが伝搬したことを示す、通常データ読み出し動作の伝搬時間と等しい待ち時間後に確実に発生される信号」とするための「データロード信号」を発生する構成及び「データロード信号」の発生タイミングが全く記載されていない。

そして、本願特許請求の範囲の請求項1の「データロード信号」を、本願発明の技術分野で一般的に用いられる技術用語と解釈しても、上記発明の内容を的確に理解することができるのであるから、発明の詳細な説明の一実施例を参酌して解釈する原告の主張は、本願特許請求の範囲の請求項1の記載の範囲を逸脱するものである。

(3) 原告は、本願特許請求の範囲の「データロード信号」の記載が明細書の発明の詳細な説明を参酌しなければならない特段の事情があると主張する根拠を示していない。

本願発明では、特許請求の範囲の請求項1の「データロード信号」についての記述は、「フリップフロップ回路は、データロード信号によって可能化され」、「前記データロード信号は、電子メモリの出力段の切換を決定する信号である」と記載されており、これらの記載は、本願発明の「回路」に入力される「データロード信号」が作られる上流での構成を特定するのではなく、本願発明の「回路」が「データロード信号」なる入力を受けたときのフリップフロップ回路及び出力段の動作を定義したものであり、そして、これは「データロード信号」が「データをロードするための指令（制御）信号」であることを示しており、通常の意味どおりに「データロード信号」なる技術用語を用いているものであることは明らかである。

したがって、本願特許請求の範囲の記載は一般的技術用語で矛盾なく明確に解釈することができるものであって、明細書及び図面を参酌して原告主張の解釈を採らねばならない特段の事情は認められないから、原告の主張は失当である。

(4) 引用刊行物1に記載の発明の「遅延回路の出力」信号もデータを出力バッファにロードを指示する信号である。

(5) したがって、審決の「データロード信号」の解釈に誤りはなく、引用刊行物1に記載の「反転CEを入力とし、遅延した反転出力を出ず遅延回路の出力」と、本願発明の「データロード信号」とが同じ機能であるとした審決の判断に誤りはなく、原告の主張は失当である。

(6) 原告は、仮に、「データロード信号」は「データをロードするための指令信号である」と解釈したとしても、被告の主張は誤りである旨主張する。

この点に関する原告の主張は、引用発明における、フリップフロップを設けかつNORゲート12と出力バッファ14の制御端子との間に、一方の入力端子がフリップフロップの出力端子に接続されるNANDゲート16が挿入された構成とし、このフリップフロップの1入力端にチップイネーブル信号を遅延した信号（以下、「1入力信号」という。）を入力する目的、機能を看過及び誤認している。

上記構成において、上記1入力信号を上記フリップフロップの1入力端子に入力する目的、機能は、原告も述べているように、「出力バッファを高インピーダンスからアクティブにする開始点だけを有効なデータが出力する時間近くまで遅らせるため」である。

そして、フリップフロップ、NORゲート12、NANDゲート16、INV13、出力バッファ14からなる装置は、上記1入力端に入力された信号のタイミングに応じてフリップフロップを可能化し、出力段の高インピーダンスの状態からアクティブ状態への切換を決定しているものである。

このことは、フリップフロップの1入力端の目的、機能が、出力段がメモリからのデータを取り込み出力するタイミングを指令する信号を受ける目的、機能であることを示している。

したがって、上記1入力端は「データロード信号」を受ける入力端であり、そこに入力される上記1入力信号は、フリップフロップ、NORゲート12、NANDゲート16、INV13、出力バッファ14からなる装置にとって「データロード信号」という入力信号である。

この上記1入力信号はもはやメモリのチップイネーブル信号という機能、目的では用いられていない。

原告の「チップイネーブル信号にตอบสนองして一定遅延時間後に常時フリップフロップが可能化される。これは、データのロードを指令するタイミングと関係なくフリップフロップが可能化されることを意味する。」という主張は、技術的意味を誤認しており、「フリップフロップを可能化する」信号のタイミングが「データのロードを指令する」タイミングなのである。

一方、本願発明においても、入力信号である「データロード信号」なるものは、フリップフロップを可能化し、出力段の切換を決定するものであるから、引用発明におけるフリップフロップの1入力端に入力される入力信号である、「遅延回路の出力」信号は、本願発明の「データロード信号」と目的、機能が本質的に同一である。

そして、本願発明において「データロード信号」が具体的にどのような手段で発生され、どのようなタイミングで発生したものは規定されるものではなく、この点については本願発明の要旨外である。

したがって、原告の上記主張は失当であり、審決の判断に誤りはない。

2 取消事由2（「電子メモリの出力段のための同期装置」と「チップイネーブル回路」との相違点についての判断の誤り）に対し

「データロード信号」という用語を一般的に技術用語として用いられている意味で理解しても、本願特許請求の範囲の請求項1記載に係る発明を明確に理解することができるのであり、発明の詳細な説明に記載の一実施例等に記載されている事項を加えて「データロード信号」を認定することは許されない。

したがって、原告の「本願発明は、「メモリ内で発生され、メモリにおいてデータが伝搬したことを示す、通常データ読出動作の伝搬時間に等しい待ち時間後に確実に発生される」データロード信号に基づいて同期が実現される構成であり、電源、温度、異なる回路構成等のいかなる状態においても同期が維持されるものであり、本願発明は正確な自動同期の概念がある」旨の主張は、本願特許請求の範囲の請求項1の記載に基づかない主張であり、本願特許請求の範囲の請求項1の記載の範囲を逸脱するものである。

そして、引用刊行物1に記載の「チップイネーブル回路」は、ICメモリの出力段である出力バッファの切換を行う回路であり、そして「反転CEを入力とし、遅延した反転出力を出す遅延回路の出力」に同期して出力段の切換を行っているものであり、電子メモリの出力段のための同期装置に相当する。したがって、審決の判断に誤りはなく、原告の主張は失当である。

3 取消事由3（進歩性の認定判断の誤り）に対し

審決がした本願発明と引用発明との相違点の判断には誤りがなく、本願発明の作用効果として「自動同期」という作用効果は認められないから、原告の主張は失当である。

第5 当裁判所の判断

1 取消事由1について

(1) 原告は、本願の明細書及び図面を参酌すると、本願発明の「データロード信号」は、「メモリ回路内で発生され、メモリにおいてデータが伝搬したことを示す、通常データ読出動作の伝搬時間と等しい待ち時間後に確実に発生される信号」であると解釈すべきであるのに対し、審判が「「データロード信号」とは「電子メモリの出力段にデータを乗せるための指示信号（もしくは同期信号）」と解釈するのが妥当である」と（審判書の二、A）と判断した点につき、これは誤りであり、相違点の判断を誤っている旨主張する。

(1-1) 本願発明の「データロード信号」の技術的意義の認定が問題となるので、以下に検討する。

まず、本願発明の「データロード信号」という用語について、特許請求の範囲の請求項1（甲3）の記載をみると、「第2の確認信号を生成するフリップフロップ回路とを含み、前記フリップフロップ回路は、データロード信号によって可能化され、かつ前記電子メモリのイネーブル信号によって不能化され」との記載があるほか、「前記データロード信号は、電子メモリの出力段の切換を決定する信号である」との記載がある。

このように、特許請求の範囲の請求項1（甲3）の記載においては、「データロード信号」と「第2の確認信号を生成するフリップフロップ回路」との関係、「データロード信号」と「電子メモリの出力段」との関係がそれぞれ特定されている。しかしながら、請求項1において、「データロード信号」と「メモリ回路」、「メモリにおいてデータが伝搬したこと」、「通常データ読出動作の伝搬時間」とのそれぞれの関係については、特に記載がされていない。したがって、「データロード信号」と、それら「メモリ回路」、「メモリにおいてデータが伝搬したこと」、「通常データ読出動作の伝搬時間」との関係は、何ら特定されていないと認められる。

そして、「データロード信号」という用語自体は、一般的に用いられている技術用語であることは、証拠（乙1、2）に照らしても明らかであって、本願発明においては、「データロード信号は、電子メモリの出力段の切換を決定する信号である」と「データロード信号」と「電子メモリの出力段」との関係が特定されていることから、本願発明の「データロード信号」は「電子メモリの出力段にデータをロードする（乗せる）ための指示信号（もしくは同期信号）」と解釈することができるものと認められる。

(1-2) 次に、原告が参酌すべきことを主張する本願明細書の発明の詳細な説明及び図面（甲2）の記載を検討しておく。

まず、請求項1の「データロード信号」を特に定義する記載は認められない。また、この用語を一般的ではない特定の意味に解釈すべきことを示す記載も認められない。そして、従来のメモリのブロック図である図1に、メモリ回路1、ラッチ回路2、出力段3、NORゲート4と共に、LOADがメモリ回路1からラッチ回路2へ結線されていることが図示されており、段落番号【0005】、【0015】、【0017】には、それぞれ以下の記載がされている。

・ 「【0005】出力でスイッチングを行なうとメモリの内部回路にノイズがひどく発生し、一般に読出時間が遅くなることが知られており、これがより非同期的に起こると、出力数がより多くなり、読出時間がより遅くなる。したがって、最良の性能を達成するために誤ったスイッチングを防ぐことが望ましい。このように読出時間が変わりやすいことに対応するために、メモリ回路内でLOAD信号が発生され、メモリ回路1からのデータがラッチ回路2に達するとこのLOAD信号によってラッチ回路2が活性化される。しかし、これは出力段3には影響を及ぼさず、この出力段3は依然として偽のまたは無用のデータを含み得る。」

・ 「【0015】フリップフロップ回路6は、出力段を可能化する実際の信号OEの可能化を制御するものである。フリップフロップ回路6は、実際には、出力段のイネーブル信号OENによる最初の可能化を防ぐために、メモリアイネーブル信号CENによってリセット（不能化）される。メモリにおいてデータが伝搬したことを示す信号LOADは、信号OENのために、フリップフロップ回路6を可能化する。」

・ 「【0017】メモリアイネーブル信号CENが論理レベル「0」に設定されるとすぐに、フリップフロップ回路6の不能化状態が終り、通常データ読出動作の伝搬時間と等しい待ち時間の後に確実に起こる信号LOADによってフリップフ

ロップ回路6が可能化され得る（第2のNORゲート9の出力において「1」を生成する）。」

上記の図1及び段落番号【0005】の記載は、従来例についての記載であって、「データロード信号」と「メモリ回路」の関係を特定する記載がされていると認められ、また、段落番号【0015】、【0017】についての記載は、図3に記載された本願発明に従った装置の一実施例についての記載であって、「データロード信号」と「メモリにおいてデータが伝搬したこと」、「通常のデータ読出動作の伝搬時間」の関係を特定する記載はされているから、この特定された記載がある従来例や一実施例における「データロード信号」は、「メモリ回路内で発生され、メモリにおいてデータが伝搬したことを示す、通常のデータ読出動作の伝搬時間と等しい待ち時間後に確実に発生される信号」であるといえる。

もっとも、以上のことは、従来例及び一実施例についての上記記載に基づくものとしていえることであって、本願発明の「データロード信号」の用語自体を特定して解釈すべき技術常識があるなど、特段の事情があるからではない。

(1-3) そこで、本願発明の「データロード信号」という用語の技術的意義をどのように認定するかであるが、特許出願に係る発明の要旨の認定は、特段の事情のない限り、願書に添付した明細書の特許請求の範囲の記載に基づいてされるべきであり、特許請求の範囲の記載の技術的意義が一義的に明確に理解することができないとか、あるいは、一見してその記載が誤記であることが明細書の発明の詳細な説明の記載に照らして明らかであるなどの特段の事情がある場合に限って、明細書の発明の詳細な説明の記載を参酌することが許されるにすぎないものと解すべきである（最高裁第2小法廷判決平成3年3月8日・民集45巻3号123頁参照）。

これを本件についてみると、前記(1-1)で判示したように、本願明細書の特許請求の範囲の記載から、本願発明の「データロード信号」とは、「電子メモリの出力段にデータをロードする（乗せる）ための指示信号（もしくは同期信号）」であると解釈することができるのであるが、このように解することで、本願明細書の解釈、理解に疑義、矛盾、不明確な点などが生じることを認めるに足る証拠はなく、また、本願明細書の発明の詳細な説明の記載を参酌すべき上記特段の事情が存在することを認めるに足る的確な証拠は存在しない。

そうすると、「データロード信号」の意義を上記と同旨に認定した審決は相当であって、誤りはない。

原告の前記主張は、本願発明の「データロード信号」の解釈をするにつき、本願明細書の発明の詳細な説明や図面の記載を参酌し、しかも、同記載中の従来例や一実施例での特定の意味と同様に解することで、「メモリ回路内で発生され、メモリにおいてデータが伝搬したことを示す、通常のデータ読出動作の伝搬時間と等しい待ち時間後に確実に発生される信号」であるとするものであって、採用することができない。

(2) 原告は、仮に、被告主張のように、「データロード信号」は「データをロードするための指令信号である」と解釈したとしても、引用発明では、データのロードを指令するタイミングと関係なくフリップフロップが可能化されることを意味するのに対し、本願発明ではデータのロードを指令する信号のタイミングに応じてフリップフロップを可能化しているので、「データロード信号」と「チップイネーブル信号の遅延出力信号」とはそれらの目的、機能も本質的に相違するのであって、このように本質的に相違する信号であるにもかかわらず、これらを同一視した審決の認定及び被告の主張は、明らかに失当である旨主張する。

(2-1) 確かに、引用刊行物1（甲4）には、チップイネーブル開始点遅延回路15において、フリップフロップ回路の入力信号として与えられる遅延回路の出力信号は、「チップイネーブル信号」を遅れ時間 t_{24} まで遅らせた信号であり、その目的は、入力されたチップイネーブル信号によって出力バッファを高インピーダンスからアクティブにする開始点だけを有効なデータが出力する時間近くまで遅らせるためであることが記載されている。そして、引用発明のチップイネーブル信号は、審決の認定にもあるように本願発明の「電子メモリのイネーブル信号」に相当し、「チップをイネーブル、すなわち可能化するための信号」という特有の技術的意味を有する信号として広く慣用されていること、引用発明の場合の入力信号はチップイネーブル信号の一定遅延信号であり、チップイネーブル信号に対して固定の

関係にあること、そして、引用発明では、チップイネーブル信号が発生されれば、常時それに応答して固定的関係で設定される一定遅延時間後にフリップフロップ回路が可能化され、すなわち、チップイネーブル信号に応答して一定遅延時間後に常時フリップフロップが可能化されることが認められる。

しかしながら、引用刊行物1には、「チップイネーブル信号の一定遅延信号」により、フリップフロップが可能化され、ICメモリの出力バッファ14が、高インピーダンスからアクティブになり、データを出力させていることが記載されていることから、引用発明の「チップイネーブル信号の一定遅延信号」には、電子メモリの出力段にデータをロードするための指示信号と同じ機能があるものと認められる。なお、このデータのロードを指令するタイミングは、「チップイネーブル信号に応答して一定遅延時間後」と特定されているといえる。

そして、本願発明の「データロード信号」は、前記(1-1)に判示したとおり、タイミングについて特定されていないものと認められるところ、このことは、本願発明においても、タイミングが、チップイネーブル信号に応答して一定遅延時間後であると特定している引用発明のものを排除しているわけではないと解することができる。

(2-2) 以上によれば、原告の上記主張もまた採用することができないことが明らかである。

2 取消事由2について

(1) 原告は、取消事由2の(1)として、「データロード信号」の解釈につき前記のように主張するが、この点については、上記1の(1-1)ないし(1-3)で検討したように、「データロード信号」は、「電子メモリの出力段にデータをロードするための指示信号」であると解釈されるものと認められるのであるから、これを誤りであるという原告の主張は採用することができない。

(2) 原告は、次に、取消事由2の(2)として、引用刊行物1には、単に擬似的な同期を目的としたものにすぎず、本願発明が目的とし意図した正確な自動同期の概念はないので、この点においても審決の判断は誤っている旨主張する。

しかしながら、前記1の(1-1)で判示したように、本願発明の「データロード信号」と「メモリ回路」、「メモリにおいてデータが伝搬したこと」、「通常のデータ読出動作の伝搬時間」とのそれぞれの関係については、何ら特定されていないことから、原告の主張する「本願発明が目的とし意図した正確な自動同期の概念」自体が認められない。

そして、引用発明の「チップイネーブル回路」は、引用刊行物1に記載のとおり、出力バッファへの有効なデータ入力タイミングに合わせて出力バッファをアクティブにしようとしているものであり、そのためにチップイネーブル信号反転CEを遅延して待ち時間を作っているものであり、また、想定された時間だけを単に遅延することで同期を達成することができることは技術常識であると認められる。

そうすると、原告の主張は採用することができず、審決の判断が誤っているとはいえない。

3 取消事由3について

原告は、前記のとおり、進歩性の認定判断の誤りを主張するが、上記取消事由1、取消事由2についての判断として判示したとおり、本願発明と引用発明の相違点の判断について本件審決に誤りがあるとは認められず、引用刊行物1からは予測することができない本願発明の自動同期という顕著な作用効果を看過しているとの主張も認められないのであるから、この点に関する原告の主張は採用することができない。

4 結論

以上のとおり、原告主張の審決取消事由はいずれも理由がなく、その他審決にはこれを取り消すべき瑕疵は見当たらない。

よって、原告の請求は理由がないからこれを棄却することとし、主文のとおり判決する。

東京高等裁判所第18民事部

裁判長裁判官 永 井 紀 昭

裁判官 塩 月 秀 平

裁判官 田 中 昌 利

【別紙】 審決の理由

平成11年審判第5226号事件，平成12年10月26日付け審決
(下記は，上記審決の理由部分について，文書の書式を変更したが，用字用語の点を含め，その内容をそのまま掲載したものである。)

記

理 由

本願は，平成7年11月17日(パリ条約による優先権主張1994年11月18日、イタリア国)の出願であって、その請求項1に係る発明は、特許請求の範囲の請求項1に記載された次のとおりのもものと認める(以下、「本願発明」という)

「電子メモリの出力段のための同期装置であって、
前記電子メモリのイネーブル信号と前記電子メモリの前記出力段のイネーブル信号との比較に基づいて第1の確認信号を生成する第1の論理比較回路と、

第2の確認信号を生成するフリップフロップ回路とを含み、前記フリップフロップ回路は、データロード信号によって可能化されかつ前記電子メモリのイネーブル信号によって不能化され、

前記第1の確認信号と前記第2の確認信号との比較に基づいて、前記電子メモリの前記出力段を可能化する出力信号を生成する第2の論理比較回路をさらに含み、
前記データロード信号は、電子メモリの出力段の切換を決定する信号である、同期装置。」

これに対して、原査定拒絶の理由に引用された、本願の優先権主張の日前である昭和63年(1988年)11月29日に頒布された特開昭63-291290号公報(以下、「引用刊行物1」という。)には、次の事項が記載されている。

(1) 「入力されたチップイネーブル入力信号により出力バッファを高インピーダンスからアクティブにしデータを出力するICメモリにおけるチップイネーブル回路において、前記入力されたチップイネーブル信号によって出力バッファを高インピーダンスからアクティブにする開始点だけを有効なデータが出力する時間近くまで遅らせるチップイネーブル開始点遅延手段を含むことを特徴としたチップイネーブル回路」(特許請求の範囲)

(2) 「第1図は本発明のチップイネーブル回路の一実施例を示す回路図である。
(省略) チップイネーブル開始点遅延回路15は、インバータ151，152，153及びコンデンサ156，157からなる遅延回路と、NORゲート154，155によるフリップフロップとにより入力された反転CE信号(注、上線を表記できないので、以下、上線に変えて「反転」と表記する)の開始点であるHレベルからLレベルに立ち下がり側のみ遅れる回路である。回路ブロック11~14は第5図の51~54と同じである。回路ブロック16はNANDゲートであり、NORゲート12の出力とチップイネーブル開始点遅延回路15の出力との論理NANDを出力する。」(第2頁右上欄第8行から同欄末行)

そして、その実施例として、第1図の回路図によると、
チップイネーブル回路は次の(a)から(e)の構成を有する。

(a) 反転CEの入力バッファ11からの出力と反転OEとを入力とするNORゲート12

(注、入力バッファ11は、論理及び遅延時間において本質ではないので、以下では入力バッファ11に関する記載を省略する)

(b) 反転CEを入力とし、遅延した反転出力を出す遅延回路(INV151, 152, 153及びコンデンサ156, 157)

(c) 反転CEを入力とする第1のNORゲート155及び上記遅延回路の出力信号を入力とする第2のNORゲート154を含み、前記第1のNORゲート155の出力は前記第2のNORゲート154の入力に接続され、前記第2のNORゲート154の出力は前記第1のNORゲート155の入力に接続されたフリップフロップであり、反転CEがHレベルの間は出力GのレベルをLレベルとし(これは遅延回路の出力レベルによらない)、反転CEが”L”になり、上記遅延回路によって設定遅延時間後に出力される信号がHレベルになったときにHレベルを出力するフリップフロップ

(d) NORゲート12の出力とフリップフロップの出力を受け、INV13に出力するNANDゲート16

(e) NAND16の出力を受け、出力バッファ14をアクティブまたは高インピーダンスにする信号を出力するINV13

からなる。

そして、上記(3)の記載から、INV13の出力の信号レベルがHレベルの時、出力バッファはアクティブになり、Lレベルの時、出力バッファは高インピーダンスとなる。

(3) 「従来、この種のICメモリは、第5図の回路図(省略)チップイネーブル信号反転CEとアウトプットイネーブル信号反転OEによって入力バッファ51、ORゲート52、INV53を介して出力バッファ54を制御し、反転CEにより出力バッファ54が高インピーダンスからアクティブになる時間遅れ。(第6図参照) t1は、データが出力されるまでの遅れt2より少なく、t2とt1の時間差の間に出力される信号Xは有効でない出力であった。」(第1頁の〔従来の技術〕の項)

(4) 「以上説明したように本発明では、反転CE信号によって有効なデータが出力されるまで出力バッファを高インピーダンスに保つことにより、複数のICメモリを接続して大容量化できる。」(第3頁左上欄第2行から第5行)

(5) 「出力バッファの駆動能力は大きいため、大電流が流れ、電流ノイズを増大したり、信頼性を低くし、最悪の場合破壊を生じることがあった。このため通常はアウトプットイネーブル信号反転OEで出力バッファを制御する必要があった。上述した従来のICメモリ回路、特に非同期型に対して、本発明は反転CEによりデータが出力される近くまでを高インピーダンスにする独創的内容を有する」(第2頁左上欄第8行から第16行)

上記引用刊行物の記載(1)から(5)を引用発明という。

一、 本願発明と引用発明とを対比する。

1、引用発明の名称はICメモリの「チップイネーブル回路」であって、一方、本願発明の名称は「電子メモリの出力段のための同期装置」であり、両者名称の表現が相違する。

2、本願発明における「電子メモリの出力段」とは【0004】及び実施例の図1の記載から出力段3のことであり、メモリ内で生成されたデータを送り出すか又は高インピーダンスに設定されるものであるので、引用発明の出力バッファ14に相当する。

3、本願発明の「電子メモリのイネーブル信号」は【002】の記載から「メモリを可能化する」ものであるので、引用発明におけるICメモリのチップイネーブル信号反転CEに相当する。

4、本願発明の「電子メモリの前記出力段のイネーブル信号」は【0011】の記載から上記「電子メモリのイネーブル信号」と協同して「メモリの出力段を活性化

する」ものであるので引用発明のICメモリのアウトプットイネーブル信号反転OEに相当する。

5、したがって、本願発明の「前記電子メモリのイネーブル信号と前記電子メモリの前記出力段のイネーブル信号との比較に基づいて第1の確認信号を生成する第1の論理比較回路」は引用発明の構成(a)のNORゲート12に相当する。

(本願請求項6において、「前記第1の論理比較回路はNORゲートである」と記載されており、同一回路構成である。)

6、本願発明において第2の確認信号はフリップフロップ回路によって生成されるので、本願発明のフリップフロップ回路は引用発明の構成(c)のフリップフロップに、本願発明の「前記第1の確認信号と前記第2の確認信号との比較に基づいて、前記電子メモリの前記出力段を可能化する出力信号を生成する第2の論理比較回路」は引用発明の構成(d)のNANDゲート16に相当する。

(本願請求項9において「第2の比較論理回路は、インバータに結合されるNAND回路を含む」と記載されており、引用発明の構成(d)のNANDゲートは構成(e)のINV13に結合しているので両者は同一回路構成である。そして、引用発明の構成(c)のフリップフロップの構成も本願請求項7の「前記フリップフロップ回路は第1のNORゲートおよび第2のNORゲートを含み、前記第1のNORゲートの出力は前記第2のNORゲートの入力に接続され、前記第2のNORゲートの出力は前記第1のNORゲートの入力に接続される」の構成と同じである。)

7、本願発明においてフリップフロップ回路の「可能化」とは「【0017】

メモリアイネーブル信号CENが論理レベル「0」に設定されるとすぐに、フリップフロップ回路6の不能化状態が終り、通常データ読出動作の伝搬時間と等しい待ち時間の後に確実に起こる信号LOADによってフリップフロップ回路6が可能化され得る(第2のNORゲート9の出力において「1」を生成する)。」の記載からフリップフロップ回路の出力を生成するNORゲートの出力(フリップフロップ回路の出力)を「1」をすることである。

また、フリップフロップ回路の「不能化」とは「【0016】

本発明に従った装置の動作は、以下のとおりである。信号CENが論理レベル「1」に設定されるたびに、フリップフロップ回路6は信号CEN自体によってリセットされ、この回路の下流に配置された回路は不能化される。CENが論理レベル「0」になるまで、このリセット状態が続く。第1の論理比較回路5、つまり、NORゲート8が信号CENの強制状態によって制御されるため、出力段イネーブル信号OENはこの構成ではいかなる影響をも及ぼすことができない。信号LOADによって表わされるデータロードステップは、確実に論理レベル「0」である。」

の記載からフリップフロップ回路の出力を「0」(リセット)とし、下流の回路を不能化することである。

一方、引用発明において、フリップフロップの出力GをHレベルすなわち可能化するの遅延回路の出力信号である。

そして、フリップフロップの出力GをLレベルすなわち不能化し、下流の回路を不能化するのチップイネーブル信号反転CEである。

出力バッファの不能化は高インピーダンス状態に、可能化または活性化はアクティブ状態に対応するので、本願発明の「データロード信号」が引用発明では構成(b)の「反転CEを入力とし、遅延した反転出力を出す遅延回路」の出力信号に対応するが、その名称が相違する。

8、本願発明では「データロード信号」は「前記データロード信号は電子メモリの出力段の切替を決定する信号」である。

一方、引用発明の動作は遅延回路の出力GがHレベルになると、回路構成が本願実施例の図3と同じであるので本願発明と同様に、反転OEがLレベルであるとき、メモリの出力段である出力バッファを高インピーダンスからアクティブに切り換えるものであり、したがって、引用発明の遅延回路の出力は電子メモリの出力段の切換を決定する信号であるには相違ない。

したがって、本願発明と引用発明は、フリップフロップ回路を可能化する信号の名称として本願発明では「データロード」という用語が使用されているに対し、引用発明では「反転CEを入力し、遅延した反転出力を出す遅延回路」の出力信号である点、および本願発明が「出力段のための同期装置」であるに対し引用発明が「チップイネーブル回路」である点で表現上相違し、その余は一致するものと認める。

二、上記表現上の相違について検討する。

A、「データロード」信号という用語による名称と「反転CEを入力とし、遅延した半転出力を出す遅延回路の出力」信号の相違について：

請求人は理由補充書において「データロード信号は、通常データ読出動作の伝搬時間と等しい待ち時間の後に確実に起こる信号であり、バッファ構成と、有効なデータ発生との間の同期が確実に保障されているものであります。」と主張している（以下、「主張A」という）。

しかしながら、本願発明では、フリップフロップ回路を可能化し、そして「電子メモリの出力段の切換を決定する信号」する「データロード信号」が具体的にどのような手段で発生され、そして、どのようなタイミングで発生したものをいうのかは規定されていない。

そして「LOAD」とは「荷を積む、乗せる。装填する。」等の意味なので「データロード信号」とはデータを何かに乗せる、装填すると言う意味であり、また、請求人は理由補充書での主張「すなわち、データが出力バッファにロードされるたびごとに更新されるパルス化技術によって、活性化構成のイネーブルが行われております。」において「データが出力バッファにロードされる」といっており、ここで用いられている「ロード」とは上記で説明した意味で用いられている。

したがって、「データロード信号」とは「電子メモリの出力段にデータを乗せるための指示信号（もしくは同期信号）」と解釈するのが妥当であり、「データロード」という用語を信号の名称に用いても「データロード信号」が上記主張Aのように「通常データ読出動作の伝搬時間と等しい待ち時間の後に確実に起こる信号であり」という構成を特定するものとは認められず、上記主張Aは請求項1の記載の範囲を逸脱する主張であり、採用することができない。

一方、引用発明の「遅延回路の出力」は、チップイネーブル信号反転CEから生成されるものであるが、その動作から見て、データを出力バッファにロードを指示し、そして高インピーダンス状態とアクティブ状態の切換を決定している信号であるには相違ない。

そして、本願発明ではデータをロードする指示信号である「データロード信号」をどのように生成するかは要旨ではない。

よって、両者は名称が相違するもののその機能は同じである。

B、「チップイネーブル回路」と「電子メモリの出力段のための同期装置」の相違について：

本願発明には、何と何がどのような同期をしているのか、「同期」に対応する明示的な構成がない。

本願明細書の【006】には「誤ったスイッチングを防ぐため」とあり、これは【004】の「この第2のモードは応答時間がCEN信号を完全に読み取るのに必要な、メモリ回路1における対応するデータ伝搬時間よりも短いことを特徴とする。これは、出力段3が、ランダムに、または、以前に読出され現在は使われていないデータに基づいて切換わることができることを意味する。」の記載から、出力バッファへの有効データの入力タイミングと出力バッファのアクティブ化制御タイミングの同期を目的とするものと認められ、それを供する装置であると認められ

る。

そして、本願発明において「電子メモリの出力段の切換を決定する信号」である「データロード信号」がどのように発生されたかを特定しないものである。

したがって、「同期装置」とは「データロード信号」という「出力段がデータをロードするための」指示信号（同期信号）をフリップフロップが受け、出力段の高インピーダンス状態から可能化状態への切換を「データロード信号」に同期させるものと認められる。

（なお、本願実施例の装置の動作図である図6をみると、一旦「データロード信号」によってフリップフロップが可能化すると、その間はOENが「0」のときは可能化となるものである（T3-T4）。この切換はOENによるものである。これは請求項1の記載からは出てこない作用であるので、この点は本願発明ではない。）

上記同期の目的は引用発明の上記（3）、（4）、（5）に記載のものと同じであり、そして、引用発明の「チップイネーブル回路」も、出力バッファへの有効なデータ入力タイミングに合わせて出力バッファをアクティブにしようとしているものであり、そのためにチップイネーブル信号反転CEを遅延して待ち時間を作っているものである。

請求人は理由補充書において「それに対し、引用文献1は、遅延時間をとるために余分なインバータを用い、しかも、その遅延時間はアウトプットデータが出力されるまでの時間を単に想定して設定されたものにすぎず、引用文献1には同期の概念はありません。」と主張している。（以下、「主張B」という）

しかしながら、本願発明は「データロード信号」をどのような回路装置で生成するかは特定するものではなく、また、「その遅延時間はアウトプットデータが出力されるまでの時間を単に想定して設定された」ものであっても同期用の構成には相違ない。

（例えば、想定された時間だけ単に遅延することで同期を達成した例として、特開昭53-81034号公報がある。これには、測定回路における同期が記載されており、クロックパルスによって駆動される信号発生回路6の出力応答がメモリ回路5の出力応答よりも遅いので、信号発生回路の出力を受けるフリップフロップ回路4の出力がメモリ回路5の出力と同期しないので、メモリ回路5へのクロックを遅延回路によって単に想定された時間だけ遅らせて、結果としてフリップフロップ回路4の出力とメモリ回路の出力とを同期させたものが記載されている。）

したがって、上記「主張B」は採用することができない。

そして、引用発明のICメモリの「チップイネーブル回路」は本願発明では特に規定していない「データを出力バッファにロードさせるための指示信号」を発生する回路（遅延回路）をも有した「電子メモリの出力段のための同期装置」に相当するものと認められる。

三、したがって、本願発明は引用刊行物1に記載された発明に基づいて当業者が容易に発明することができたものであるので、特許法第29条第2項の規定により特許を受けることができない。

平成12年10月26日