

判決言渡 平成20年6月18日

平成20年(ネ)第10003号 損害賠償等請求控訴事件(原審・東京地裁平成18年(ワ)第6548号)

口頭弁論終結日 平成20年5月7日

判 決

控 訴 人 インターナショナル・レクティブファイヤー・  
コーポレーション

訴訟代理人弁護士 上 山 浩

訴訟代理人弁理士 谷 義 一

同 新 開 正 史

補佐人弁理士 濱 中 淳 宏

被 控 訴 人 新 電 元 工 業 株 式 会 社

訴訟代理人弁護士 松 本 直 樹

同 牧 野 知 彦

補佐人弁理士 畑 中 孝 之

主 文

- 1 本件控訴を棄却する。
- 2 控訴費用は控訴人の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事 実 及 び 理 由

第1 控訴の趣旨

- 1 原判決を取り消す。
- 2 被控訴人は、控訴人に対し、4億円及びこれに対する平成18年4月18日から支払済みまで年5分の割合による金員を支払え。
- 3 被控訴人は、原判決別紙物件目録記載の製品を生産し、譲渡し、輸入し、又

は譲渡の申出をしてはならない。

- 4 被控訴人は、その占有に係る前項記載の製品を廃棄せよ。
- 5 訴訟費用は、第1審、第2審とも、被控訴人の負担とする。
- 6 第2項について仮執行宣言

## 第2 事案の概要

【略称は原判決の例による。】

- 1 一審原告たる控訴人は、家電、民生機器、車載用電子機器、通信機器、人工衛星などのパワーエレクトロニクスに関連する半導体の製造販売等を業とする米国法人である。

一審被告たる被控訴人は、パワー半導体やスイッチング電源などのパワーエレクトロニクスに関連する半導体の製造販売等を業とする株式会社であり、次に述べる被告製品を松下電工及びその関連会社に販売している。

- 2 本件は、本件特許権1及び2を有している控訴人が、被控訴人に対し、特許権侵害を理由として、原判決別紙物件目録記載の半導体装置（被告製品）の生産、譲渡、輸入、譲渡の申出の差止め及び被告製品の廃棄並びに損害賠償金4億円及びこれに対する不法行為の後の日である平成18年4月18日から支払済みまで民法所定の年5分の割合による遅延損害金の支払を求めている事案である。

- 3 原審の東京地裁は、平成19年10月23日、被告製品が組み込まれた原判決別紙回路目録1記載のランプ安定回路（本件ランプ安定回路1）は、本件特許権1の請求項5（本件特許発明1）の構成要件を充足せず、また、均等でもないから、本件特許発明1の技術的範囲に属さない、上記回路目録2記載のランプ安定回路（本件ランプ安定回路2）は、本件特許権2の請求項1（本件特許発明2）・請求項3（本件特許発明3）・請求項7（本件特許発明4）と均等ではないから、本件特許発明2～4の技術的範囲に属さない等として、一審原告（控訴人）の請求を棄却した。そこで、これに不服の控訴人が控訴を

提起した。

- 4 当審において控訴人は、本件ランプ安定回路1は本件特許発明1の構成要件を充足するかそうでないとしても均等である等と主張し、被控訴人はこれを争った。

### 第3 当事者の主張

当事者双方の主張は、次のとおり付加するほか、原判決「事実及び理由」中の「第2 事案の概要」記載のとおりであるから、これを引用する。

#### 1 控訴人

##### (1) 本件特許発明1における「外部タイミングコンデンサ」の解釈

ア 本件特許発明1は、蛍光灯などのランプの駆動回路の安定器（安定回路）に関するものである。

従来技術においては、ランプ故障が発生した場合、安定回路中の二つのMOSFETのうち的一方がオンのまま発振が停止する場合があった。ランプ故障を回復した後に、負荷回路への電力供給を再開すると、一方のMOSFETがオンのまま発振が停止していた場合は、負荷回路がショート（短絡）して破壊が起きる場合がある。例えば、MOSFET40がオンのまま発振が停止した後の回路の再起動において、IC30が先にMOSFET42をオンするように動作すると、MOSFET40・MOSFET42の両方が同時にオンになり、短絡状態が発生する。そのため回路に大電流が流れ、ヒューズが遮断されたり、MOSFET的一方が破壊されることになる。

本件特許発明1は上記課題を解決すべくなされたものである。すなわち、ランプ故障を検知すると（構成要件1-F, 1-H。構成要件の分説は原判決記載のとおり。以下同じ。）、第1および第2のMOSゲート型パワー半導体デバイスをターンオンおよびターンオフさせるための供給を停止させる（構成要件1-F）ことにより、両方のMOSゲート型パワー

半導体デバイスをターンオフするように動作する（本件明細書1〔甲3〕段落【0023】）。ランプ故障をロー論理レベル信号として入力するための外部タイミングコンデンサ（構成要件1-F，1-H）は，シャットダウン回路（構成要件1-F）の外部に設けられており，シャットダウン回路がシャットダウンを開始するタイミングを決定する。これを本件明細書1の図1でいえば，IC30のC<sub>T</sub>ピンに接続されたコンデンサ14の電圧が所定のしきい値より低下した場合，IC30からMOSFET40及びMOSFET42への出力の供給を停止するように動作する。これによりランプ故障が発生した場合に確実に両方のMOSFETをターンオフし，故障等の状態からの回復時の回路破壊を防止するようになっている。この構成を規定しているのが構成要件1-Fである。

上記から明らかなおり，本件特許発明1の特徴は，ランプ故障が発生した場合に確実に両方のMOSFETをターンオフするという構成を採用した点にある。この構成は，構成要件1-Fに記載されている。ランプ故障の検知時に「上記第1および第2のMOSゲート型パワー半導体デバイスをターンオンおよびターンオフさせるための高圧側および低圧側出力の上記供給を停止させる」構成を採用することで，故障等の状態からの回復時の回路破壊を防止できるのである。

イ 本件特許発明1の実施例では，原判決が判示したように，「外部タイミングコンデンサ」（その電圧がしきい値電圧より低いときに，第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ）として，「抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサ」すなわちC<sub>T</sub>ピンに接続されたコンデンサ14が開示されており，その他の構成は明示的には開示されていない。

しかし，実施例は，当業者による特許発明の実施を可能とするために記

載される具体例にすぎず，特許発明の技術的範囲が実施例に限定されるものではない。

また，その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ，すなわち「外部タイミングコンデンサ」が， $C_T$ ピンに接続されたコンデンサ14でなければならない技術的理由は，一切ない。

そして，本件明細書1（甲3）には，その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ，すなわち「外部タイミングコンデンサ」が， $C_T$ ピンに接続されたコンデンサ14でなければならない旨の記載はなく，またそれを示唆する記載も一切ない。構成要件1-Fの文言上も，そのような限定は付されていない。

一方で，ランプ故障を検知して回路をシャットダウンするためのピンを $C_T$ ピンとは別個に設ける構成を採用することは，当業者にとって容易になし得る設計事項にすぎない。このことは，例えば，乙8（intersil社のパンフレット）の2頁のFIGURE 2や乙9（アイアールファースト株式会社のパンフレット）の1頁のブロックダイアグラムの回路において，SDピン（ランプ故障を検知して回路をシャットダウンするためのピン）が $C_T$ ピンとは別個に設けられていることからしても，明らかである。

SDピンを $C_T$ ピンとは別個に設けた場合，「その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ」は，SDピンに接続されたコンデンサであるから，必然的に「抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデン

サ」すなわちC<sub>r</sub>ピンに接続されたコンデンサとは別個のものになる。

したがって、本件明細書1の実施例に基づいて、「その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ」と「抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサ」を別個のものとする回路構成を採用することは、容易になし得た設計事項にすぎないことが明らかである。

ウ よって、本件明細書1の記載に照らし、また本件特許発明1の出願当時（平成9年10月17日）の技術水準を参酌すれば、構成要件1-F及び構成要件1-Hの「外部タイミングコンデンサ」とは、「その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ」と解すべきであって、これに加えて「抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサ」でもなければならぬと限定して解釈すべき理由はない。

エ それにもかかわらず、原判決は、「本件明細書1における上記実施例が、…『本発明の一態様』として記載された【課題を解決するための手段】を具体化したものであり、本件明細書1には、上記実施例以外の実施例の記載が全くないことからすれば、本件特許発明1における『外部タイミングコンデンサ』は、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサであり、かつ、その電圧がしきい値電圧より低いとシャットダウン回路を起動するものであると認めるのが相当である。」（69頁下4行～70頁3行）と述べて、特許発明の技術的範囲を実施例に限定して解釈するという誤りを犯している。

(2) 本件特許発明1の出願経過の参酌

原判決は、本件特許発明1の出願経過に照らしても、原判決の「外部タイ

ミングコンデンサ」の解釈が裏付けられると判示している（70頁4行～72頁下8行）。しかし、以下のとおり、この判示は誤っている。

ア 補正は、大別すると、新規性・進歩性欠如（特許法29条）の問題を克服するためになされる場合と、記載要件不備（同法36条）の問題を克服するためになされる場合に分類することができる。新規性・進歩性欠如の問題を克服するための補正において特許請求の範囲が「減縮」された場合、当該補正により除外された部分は、包袋禁反言則により技術的範囲に属するとの主張が許されなくなる。しかし、記載要件不備の問題を克服するための補正においては、仮に従前の特許請求の範囲にさらに何らかの文言が付加されたとしても、それは従前の文言が言葉足らずで発明を明確に特定できていないという問題に対処して、特許請求の範囲の文言上発明を「明確にする」ためになされるものであって、補正により何らかの発明を除外するという性質のものではないから、包袋禁反言則の適用の前提を欠く。したがって、補正に伴って提出された意見書の趣旨の把握においても、記載が新規性・進歩性と記載要件不備のいずれに関するものであるかを適切に把握しなければならない。

補正の趣旨が新規性・進歩性欠如と記載要件不備のいずれであるかの判断においては、拒絶理由通知に記載された条項を基に形式的に判断することは妥当でなく、引例に開示された内容を参酌した上で、補正の目的及び意見書の記載を吟味して判断すべきである。なぜなら、拒絶理由通知においては新規性・進歩性欠如が指摘されたが、それは特許請求の範囲の記載が不明瞭であったために審査官に発明の構成が正確に理解されず、それゆえに本来は記載要件不備を通知すべきであったにもかかわらず、新規性・進歩性欠如が通知されるような場合があるからである。

イ 平成11年7月29日になされた本件補正（甲10）は、シャットダウン回路が外部タイミングコンデンサの電圧に基づいて動作する旨を追加し

たものである。具体的には、構成要件 1 - F に「外部タイミングコンデンサ上の電圧からなる」という文言を加え、構成要件 1 - H を加えたものである。また、同日付けで本件意見書（甲 1 1）が提出されている。

本件特許 1 の出願当初明細書（特許願，甲 5）の特許請求の範囲の請求項 6（補正後の請求項 5 に相当）においては、シャットダウン回路に接続される信号としては単に「上記ロー論理レベル信号」と記載されていただけで、しかも、発明の詳細な説明及び図面のいずれにおいても「上記ロー論理レベル信号」の語が用いられていない。この点に鑑みれば、「上記ロー論理レベル信号」が具体的にいかなる信号を意味するのか不明確であり、そのために本件特許発明 1 の技術的意義が請求項の記載からは必ずしも明確であったといえなかった。

さらに、本件補正前は本件特許発明 1 の技術的意義が特許庁審査官に理解されていなかったことが、本件拒絶理由通知（甲 6）の「理由」で、「引用文献 1，2 にはシャットダウン回路を有するものが、引用文献 1～3 には遅延回路を有するものが記載されており、本願発明が、当業者にとって格別なものであるとは認められない。」と記載されていることから強くうかがわれる。なぜなら、本件特許発明 1 の特徴は、ランプ故障時に第 1 および第 2 の MOS ゲート型パワー半導体デバイスの両方をターンオフすることにある。本件明細書 1（甲 3）は、シャットダウン回路・遅延回路を有すること自体は公知技術であることを当然の前提としており、その旨の明示的記載もある。例えば、従来技術として記載されている【図 3】及び【図 4】の回路には、ランプ故障を検知しシャットダウンする回路（抵抗 6 2・6 4・6 6，コンデンサ 6 8 及びトランジスタ 6 0 又は SCR 7 0 から構成される回路）が含まれており（ただし、従来技術の【図 3】及び【図 4】のシャットダウン回路は、自己発振駆動回路の発振を停止するだけで、本件特許発明 1 のように第 1 および第 2 の MOS ゲート型パ

ワー半導体デバイスの両方をターンオフするものではない)、それに関する記載もある(段落【0016】～【0022】)。また、従来技術として記載されている図2は、デッドタイム遅延回路を備えた回路の波形であることが明示されているし、それに関する記載もある(段落【0015】)。一方、本件拒絶理由通知で引用された三つの引例(甲7～9)のいずれにも、本件特許発明1の特徴であるランプ故障時に第1および第2のMOSゲート型パワー半導体デバイスの両方をターンオフする構成は、開示も示唆もされていない。もし本願発明の特徴が正しく把握されているのであれば、従来技術として開示されている構成が開示されているにすぎず、発明の特徴的部分に関する開示も示唆もない引例をもとに進歩性欠如の拒絶理由を発することは考えられない。それにもかかわらず、公知文献にシャットダウン回路・遅延回路が開示されていることのみを理由にその旨の拒絶理由が発せられたということは、発明の特徴が正しく把握されていないことを示している。

本件補正は、上記のような点に鑑みて、本願発明の技術的意義をより明確にするために、故障検出回路からの出力を「上記ロー論理レベル信号」としてICに入力するために「外部タイミングコンデンサ上の電圧」として検知すること、及び、「シャットダウン回路」が「上記外部タイミングコンデンサ上の電圧を上記しきい値電圧と比較するしきい値電圧検出回路を有する」ものであることを請求項に明記したものであって、その技術的範囲に変化はない。

また、「外部タイミングコンデンサ上の電圧からなる」という追記が「上記ロー論理レベル信号」の意義を明確化しただけで、限定したものでないことは、本件拒絶理由通知(甲6)で引用された本件引用文献1(甲7)の開示内容に照らしても明らかである。なぜなら、本件引用文献1(特開平8-37092号公報,甲7)の図4には、シャットダウン回路

に接続される「上記ロー論理レベル信号」が「外部タイミングコンデンサ上の電圧からなる」回路が開示されており、「上記ロー論理レベル信号」が「外部タイミングコンデンサ上の電圧からなる」ものであることを追記しても、公知文献との差異を設けることにはならないからである。

ウ この点、原判決は、「また、原告は、外部タイミングコンデンサの電圧とC<sub>T</sub>ピンの電圧とを同じ値を示すものとした上で…、拒絶理由通知に示された引例との差異をより明確にするため、シャットダウン回路が外部タイミングコンデンサの電圧に基づいて動作する旨を追加する本件補正を行って…、特許査定を受けたものである。」と判示している（74頁7行～12行）。

しかし、原判決は、本件補正が新規性・進歩性欠如と記載要件不備のいずれの問題を克服するためになされたものであるかの検討さえ行わないまま、進歩性欠如の問題であると決め込んだ上で、本件意見書の記載を解釈している。その結果、原判決は、本件意見書の記載の趣旨を誤って把握している。

エ 原判決が引用している本件意見書（甲11）の記載のうち、以下の（ア）～（ウ）（原判決70頁10行～17行）については、上記イのとおり、従前の特許請求の範囲で不明瞭であった点を「明確化」するために補正した旨を述べたものであり、特許請求の範囲を「減縮」した趣旨でないことは、引例に開示された内容も参酌して本件意見書を読めば明らかである。

（ア） 「請求項1におきましては、引例との差異をより明確にするため、シャットダウン回路が外部タイミングコンデンサの電圧に基いて動作する旨を追加する補正を行いました。」（意見書〔甲11〕1頁9行～11行）

（イ） 「請求項4（旧請求項5）におきましては、請求項1との対応を正確にするため『外部タイミングコンデンサ』を『上記外部タイミングコ

ンデンサ』に変更しました。」(意見書1頁16行~18行)

(ウ) 「請求項5(旧請求項6)におきましても請求項1と同様の補正を行いました。」(意見書1頁19行)

ここで本件意見書の(ア)が単に「引例との差異を明確にするために」ではなく、「引例との差異をより明確にするために」と記載していることにも留意すべきである。「より明確に」とは、従前の明細書の記載でも本願発明と引例との差異は一応理解可能ではあるが、不明瞭な点があることも否定できないことから、差異の存在をさらに明確にするために補正したということを強調している趣旨である。

仮に本件補正が特許請求の範囲を減縮することで引例との差別化を図り、進歩性欠如を克服することを目的となされたものであれば、本来は「引例との差異を区別可能とするために」と記載すべきであろうが、これと対比すれば、上記(ア)の「引例との差異を明確にするために」は、記載の不明瞭さを解消する目的でなされたものである趣旨と理解し得る。

以上のとおり、この点に関する原判決の認定は誤りである。

オ 次に、原判決が引用している本件意見書の記載のうち、以下の(ア)~(オ)(原判決70頁18行~71頁下1行)については、本件明細書1の実施例の記載に基づいて引例と本願発明との差異を論じている部分であり、やはり特許請求の範囲の限定解釈の根拠となるものではない。

(ア) 「本願発明は、障害が発生し、外部タイミングコンデンサ14の電圧すなわち外部タイミングコンデンサに接続されるICのピン(C<sub>T</sub>ピン)の電圧が所定のしきい値レベルより低くなった場合に、スイッチングトランジスタに対するゲート駆動信号を不能にすることによって、スイッチングトランジスタを完全にシャットダウンするものです。これによりスイッチングトランジスタの破壊のようなICに対して非常に有害な状況の発生を確実に防止するという効果を有します。」(意見書1頁

21行～26行)

(イ) 「引用文献1の回路は、不足電圧状態の発生時において、ハーフブリッジ接続されたトランジスタ(引用文献中、トランジスタ20, 21)のスイッチング動作を停止させるようにのみ動作し、 $C_T$ ピン上での電圧降下に基いては活動化されず、トランジスタのゲート駆動信号をターンオフするというような動作は行ないません。」(意見書4頁2行～6行)

(ウ) 「本引例のシャットダウン回路は、ランプの障害または除去による負荷電流変化に基いてシャットダウンするものでありますが、本願発明のように、外部タイミングコンデンサ( $C_T$ ピン)の電圧降下を検出し、これに基いてトランジスタのゲート駆動信号をターンオフさせるものではありません。」(意見書4頁10行～14行)

(エ) 「本願発明は、障害が発生し、外部タイミングコンデンサ14に接続される $C_T$ ピンの電圧が所定のしきい値レベルより低くなったときに、図6に示すようにスイッチングトランジスタ40, 42に対するゲート信号 $H_0$ ,  $L_0$ を不能状態(ロー)にすることによって、スイッチングトランジスタ40, 42の完全なシャットダウンを可能とするものです。このように障害発生を外部タイミングコンデンサ14の電圧(すなわち $C_T$ ピン)の電圧により検出し、スイッチングトランジスタ40, 42を完全にシャットダウンするという点はいかなる引例においても開示されておらず、また、示唆もされておられません。」(意見書4頁22行～29行)

(オ) 「以上、説明しましたように、本願発明の特徴である、障害発生時に外部タイミングコンデンサの電圧(すなわち $C_T$ ピンの電圧)が所定のしきい値レベルより低くなった場合に、スイッチングトランジスタに対するゲート駆動信号を不能にすることによって、それらのスイッチン

グトランジスタを完全にシャットダウンするための構成は、上記のいかなる引例においても開示されておらず、また、示唆もされておられません。また、本願発明は、障害発生時にスイッチングトランジスタを完全にシャットダウンすることにより、障害から回路を確実に保護できるという点において引例に対して優れた効果を有しております。」（意見書 6 頁 7 行～ 1 4 行）

一般に、意見書において本願発明と引例との差異を説明する場合に、特許請求の範囲中の構成要件に対応する実施例の部材の名称や図中の符号を用いて説明することはしばしば行われることである。なぜなら、特許請求の範囲の文言は抽象的に記載されており具体性を欠いているので、特許請求の範囲の文言だけを用いて説明すると、どうしても抽象論に陥り、引例との構成の差異や効果の相違等を明確に説明できないという嫌いがある。これに対して、特許請求の範囲に対応する実施例を基に説明すれば、引例との具体的な差異を明らかにすることが相対的に容易になるからである。このような理由から、本件意見書の上記(ア)～(オ)の記載も、実施例の記載を参照しつつ引例との差異を述べているのである。

したがって、本件意見書の上記(ア)～(オ)の記載を根拠として特許請求の範囲の文言を限定的に解釈することは誤りである。そのような解釈は、特許請求の範囲の文言を明細書の実施例に限定して解釈したこと、すなわち実施例限定解釈に他ならない。

以上のとおり、この点に関する原判決の認定も誤りである。

(3) (1)と(2)のまとめ

以上の(1)と(2)に述べたところから明らかとおり、本件明細書 1 (甲 3) 及び本件意見書 (甲 1 1) のいずれによっても、構成要件 1 - F 及び 1 - H の「外部タイミングコンデンサ」の意義は、「その電圧がしきい値電圧より低いときに第 1 および第 2 の MOS ゲート型パワー半導体デバイスの両

方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ」を意味すると解すべきであって、「抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサ」をも兼用するものと限定解釈する理由はない。

そして、本件ランプ安定回路1が「その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ」に該当する構成を備えていることは、被控訴人も争っていない。

(4) 本件特許発明1の本質的部分

ア 原判決は、本件明細書1の実施例の記載及び本件意見書の上記(2)エ及びオの記載を根拠として、「...本件特許発明1は、外部タイミングコンデンサの電圧、すなわち外部タイミングコンデンサに接続されるC<sub>T</sub>ピンの電圧が所定のしきい値電圧より低くなったときに、高圧側及び低圧側のMOSゲート型パワー半導体デバイスに対するゲート駆動信号をターンオフすること(それにより、高圧側及び低圧側のMOSゲート型パワー半導体デバイスを完全にシャットダウンすること)をその発明の本質的特徴とするものであることが認められる。」と判示している(74頁13行~18行)。

イ しかし、本件明細書1の「外部タイミングコンデンサ」が、文言上は、C<sub>T</sub>ピンに接続される「抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサ」を意味すると解する立場を前提としても、本件特許発明1の本質的部分を同様に解すべき理由はない。

上記(1)イのとおり、本件特許発明1は、ランプ故障時に駆動回路の構成部品が破壊されることを防止し、またランプのパワースイッチを切り換えなくとも自動的にランプ駆動回路を再起動することを可能とするという技術的課題を解決するために(本件明細書1段落【0023】)、ランプ

故障が発生した場合に確実に両方のMOSFETをターンオフするという構成を採用した点にある。当該技術的課題を解決するための当該構成としては、その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサすなわち「外部タイミングコンデンサ」が、 $C_T$ ピンに接続されたコンデンサ14でなければならない技術的理由は、一切ない。かつ、本件明細書1には、「外部タイミングコンデンサ」が $C_T$ ピンに接続されたコンデンサ14でなければならない旨の記載はなく、またそれを示唆する記載も一切ない。構成要件1-Fの文言上も、そのような限定は付されていない。

さらに、本件意見書(甲11)にも本件特許発明1の本質的部分を原判決のように限定的に解さなければならない記載もない。原判決は、引例の内容の検討を怠ったために誤った解釈に至っている。本件意見書の上記(2)エの記載は、従前の特許請求の範囲の不明瞭さを解消するため、換言すれば記載要件不備を解消するためになされたものであり、したがってこれを根拠に特許発明1の本質的部分を限定的に解釈することはできない。また、本件意見書の上記(2)オの記載は、本件明細書1の実施例の記載を前提として、引例との差異を説明している部分である。実施例の記載は、出願当初明細書のままであり、補正はされていないから、本件意見書の上記(2)オの記載は、本件明細書1の出願当初明細書からの記載を前提として、引例との差異を具体的に説明しているにすぎず、特許請求の範囲を減縮した趣旨に解し得る根拠は一切ない。

また、仮に本件拒絶理由通知において引用された引例に、ランプ故障検知用のコンデンサ( $C_T$ ピンに接続されたものに限定されない)の電圧が所定のしきい値電圧より低くなったときに、高圧側及び低圧側の両方のMOSゲート型パワー半導体デバイスに対するゲート駆動信号をターンオフ

する（それにより，高圧側及び低圧側の両方のMOSゲート型パワー半導体デバイスを完全にシャットダウンすること）構成又はそれに類する構成が開示されていたならば，本件意見書の上記(2)エ及びオの記載をもって当該コンデンサがC<sub>T</sub>ピンに接続されたものに限定されることを述べたものと解釈することも正当化されよう。このような場合には，進歩性欠如を克服するために，特許請求の範囲を減縮する必要がある，当該減縮により除外された部分は本質的部分でないということになるからである。それにもかかわらず，原判決は，引例の検討を全く怠ったまま，本件意見書の趣旨を限定的に解釈するという過ちを犯している。実際には，本件拒絶理由通知において引用された三つの引例（甲7～9）のいずれにも上記のような構成は開示も示唆もされていない。

以上のとおり，本件特許発明1の本質的部分は，ランプ故障検知用のコンデンサ（C<sub>T</sub>ピンに接続されたものに限定されない）の電圧が所定のしきい値電圧より低くなったときに，高圧側及び低圧側の両方のMOSゲート型パワー半導体デバイスに対するゲート駆動信号をターンオフすること（それにより，高圧側及び低圧側の両方のMOSゲート型パワー半導体デバイスを完全にシャットダウンすること）であるというのが正当な解釈であり，原判決は誤りである。

ウ そして，本件ランプ安定回路1が「その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ」に該当する構成を備えていることは，被控訴人も争っていない。

したがって，本件特許発明1と被告製品が組み込まれた本件ランプ安定回路1は，本質的部分が一致している。

(5) なお，本件引用文献2（特開平6 - 188090号公報，甲8）の回路は，回路の発振を停止して，高圧側MOSFETと低圧側MOSFETのタ

ーンオン処理をそれ以上繰り返すことを停止する，すなわち発振を停止するよう動作する回路であって，本件特許発明1の「シャットダウン回路」（構成要件1-F）のように，ランプ故障等の検知時に両方のMOSFETを共に確実にターンオフする回路ではない。

また，本件引用文献1（特開平8-37092号公報，甲7）の低電圧ロックアウト回路105は，ICに供給される電源電圧が低下したときに，ICが不安定な電圧で動作することによってIC内部の論理回路が誤動作しないようにするための回路であって，本件特許発明1の「ランプ故障等の検知時に第1および第2のMOSゲート型パワー半導体デバイス（MOSFET）をターンオフする回路」とは全く異なる回路である。

## 2 被控訴人

### (1) 本件特許発明1の内容について

本件明細書1（甲3）は，主に二つの先行技術を説明している。【図3】と【図4】である。【図3】の先行技術は段落【0016】から【0018】に説明されているが，発振回路を止めるだけの仕組みなので，両方のMOSFETがオフになるとは限らない。

これに対して【図4】の先行技術は，段落【0019】以下に説明されているが，回路としては，両方のMOSFETをオフにするものである。ただし，ICの電源電圧を落とすので，所定の通りに働かない可能性がある。この点について，段落【0022】の中で，「... $dv/dt$ は制限されなければならない，なぜならば，出力段がパワーMOSFETのゲートを完全に放電させてしまう前に，ゲート駆動出力段に対する電源電圧がターンオフしてもよいからである。例えば，もし，上段のパワーMOSFET40がオンし，電源電圧が急速に0Vになった場合，パワーMOSFET40はオフされず，MOSFETを放電する生来のゲート-ソース間のリークのみによる電荷（すなわち電圧）を，事実上，パワーMOSFET40のゲート上に有

したままとなる。…」と記載されている。

本件特許発明1では、 $C_T$ ピンで起動する、両方のMOSFETをオフにする回路をIC内に設けた。これを使う際には、【図3】の場合と同様の外部回路となる。本件特許発明1の場合にはIC内に両方オフの回路があるから、従来例での【図3】では単に発振が止まるだけであるのとは違って、両方がオフになり、ショート危険が避けられる。【図3】との比較でいえば、両方オフにするのが本件特許発明1の特徴だが、【図4】との比較でいえば、 $C_T$ ピンを兼用して使っていることにこそ特徴がある。

そして、本件明細書1(甲3)では、 $C_T$ ピン起動で両方のMOSFETをターンオフするというだけで、その両方オフのための回路自体に特色のあるものが開示されている訳ではない。本件明細書1(甲3)の段落【0039】には、「…さらに、 $C_T$ ピンを使用した新しいシャットダウン機能も備えている。本発明によれば、以下の2つのさらなる回路ブロックが追加されている。すなわち、(1) $C_T$ 検出用の第3のコンパレータ118および(2)シャットダウンラッチ回路124が追加されている。入力ピン $C_T$ は、 $C_T$ ピン電圧が分圧回路112により供給される所定のしきい値( $V_{R3}$ として示される)よりも低くなるを検出する第3のコンパレータ118の負入力に接続される。そのとき、第3のコンパレータ118は、その出力をシャットダウンラッチ回路124および低圧側のデッドタイム遅延回路130に供給する。シャットダウンラッチ回路124の出力は、次に、高圧側のデッドタイム遅延回路126の入力に供給される。」と説明されている。本件特許発明1では、それぞれの「デッドタイム遅延回路」を介して両方のMOSFETをターンオフしているだけなのである。これは、一般的な低電圧ロックアウト回路の場合と同じである。

こうした明細書の内容であるから、 $C_T$ ピン兼用が特許請求の範囲で規定されているのが当然である。特許請求の範囲だけを取り出すと必ずしも分か

りやすくはないが、「上記ロー論理レベル信号」により、こうした趣旨が規定されている。審査段階での控訴人の主張でも、そのような内容であった。発明内容からいってC<sub>T</sub>ピン兼用が要件となっているべきであることは自明である。

## (2) 先行技術について

本件引用文献2（特開平6 - 188090号公報，甲8）には両方のMOSFETをターンオフする回路が記載されている。本件引用文献2の段落【0023】には「MOSFET25および27の着火を阻止することによって、ランプは完全にシャット・オフされる」（「BOSFET」は「MOSFET」の誤記）との記載がある。「着火」については、他の箇所の用語法から「導通させる（オンにする）」という意味だと分かるので、この記載はまさに両方のMOSFETをオフにすることを意味している。

また、本件引用文献1（特開平8 - 37092号公報，甲7）にも、低電圧時の対処の回路として、両方のMOSFETをターンオフする回路が出ている。甲7のそれは低電圧時用とはいえ、本件特許請求の範囲にはこうした目的の場合を除く記載はないし、また、この回路を不具合時対処のために流用することは従来技術であって、その旨が本件明細書1に説明されている。

控訴人が主張するように、本件特許発明1に、「その電圧がしきい値電圧より低いときに第1および第2のMOSゲート型パワー半導体デバイスの両方を確実にターンオフするためのシャットダウン回路を起動するコンデンサ」と「抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサ」を別個のものとする回路構成が含まれるのであれば、本件特許発明1は、無効である。

## (3) 本件補正について

控訴人は、本件補正が「明確化」と「特許請求の範囲の減縮」とのどちらであったかを問題とする。本件特許発明1にかかる出願当初の請求項の記載

が、適切な規定を有したものであったかどうか不明瞭であるために、そこから単に「明確化」したのかそれとも「減縮」したのかは、確定しがたいところがある。しかし、現に成立した請求項5が、「兼用」を規定していると理解すべきことに疑問はない。

#### 第4 当裁判所の判断

1 当裁判所も、控訴人の本訴請求はいずれも理由がないと判断する。その理由は、本件特許権1の侵害の有無に関する争点1, 2の判断(原判決63頁9行～74頁下1行)を削除して次のとおり改めるほか、本件特許権2の侵害の有無に関する原判決75頁1行～79頁15行の記載(争点5, 6, 8に対する判断)を引用する。

2 争点1(本件ランプ安定回路1は、本件特許発明1の技術的範囲に属するか[本件ランプ安定回路1は、本件特許発明1の構成要件1-F, 1-Hを充足するか])について

(1) 本件明細書1(甲3)の「特許請求の範囲」請求項5は、原判決記載のように、次のとおり分説される。

- 1-A 直流バス電源により負荷回路を駆動する回路において、
- 1-B 直流バス電源に接続され、直流バス電源に接続された第1および第2の直流端子と、負荷回路に対して出力信号を供給するための共通端子とを有するハーフブリッジの構成で接続された第1および第2のMOSゲート型パワー半導体デバイスと、
- 1-C 上記共通端子は、上記第1及び第2のMOSゲート型パワー半導体デバイス間のノードにおいて設けられており、
- 1-D 上記第1および第2のMOSゲート型パワー半導体デバイスをそれぞれ駆動するための第1および第2の出力と、
- 1-E 上記第1および第2のMOSゲート型パワー半導体デバイスのうちの一方のターンオンを、上記第1および第2のMOSゲート型パワー半導

体デバイスのうちの他方のターンオフ後，遅延時間間隔の間，遅延させることにより，上記第 1 および第 2 の MOS ゲートパワー半導体デバイスの同時駆動を防止するデッドタイム遅延回路と，

1 - F 外部タイミングコンデンサ上の電圧からなる上記ロー論理レベル信号がしきい値電圧より低いときに，上記第 1 および第 2 の MOS ゲート型パワー半導体デバイスをターンオンおよびターンオフさせるための高圧側および低圧側出力の上記供給を停止させるための上記ロー論理レベル信号に接続されたシャットダウン回路と

1 - G を有する自己発振駆動回路とからなり，

1 - H 上記シャットダウン回路は，上記外部タイミングコンデンサ上の電圧を上記しきい値電圧と比較するしきい値電圧検出回路を有する

1 - I ことを特徴とする回路。

(2) また，本件明細書 1 ( 甲 3 ) の「発明の詳細な説明」には，次の各記載がある。

#### ア 発明の属する技術分野

「本発明はランプの安定器であって，特に，ランプの故障から保護する改善されたランプ安定器に関する。」(段落【0001】)

#### イ 従来技術

「あるランプ装置が故障モードの間，安定器 IC を適切にシャットダウンするためには，故障状態（故障したフィラメントまたは起動時に点灯を失敗したランプのような）を検出したときにゲート駆動出力をオフし，その後，出力パワートランジスタをオフする手段が必要である。」(段落【0003】)

「図 1 は典型的なランプ駆動回路の構成を示した図である。ブリッジ整流器 10 は ac ( 交流 ) 線からバス電圧 (  $V_{BUS}$  ) を生成する。バス電圧  $V_{BUS}$  は近似的に直流であり，コンデンサ 56 および 58 によりサポート

される。」(段落【0005】)

「図1のランプ駆動回路は、MOSゲート駆動チップ30と、それに関連する、高圧側のMOSFET40および低圧側のMOSFET42の動作を制御する回路構成とを含む。MOSゲート駆動チップ30は、 $V_{BUS}$ に接続されたMOSFET40および42に対して駆動信号を与える。ここでは、パワーMOSFETが示されているが、IGBTやMOSゲート型サイリスタのようなMOSゲートを有する任意のパワーデバイスがパワーMOSFET40、42の代わりに用いられてもよい。」(段落【0006】)

「MOSFET40および42からなるハーフブリッジの中央タップの出力は、インダクタ素子46とコンデンサ52とからなる直列LC負荷回路を含む回路を駆動する。」(段落【0007】)

「端子 $V_{BUS}$ で供給される電圧は、供給される交流入力電圧に依存し、直流140ボルト程度の低い値から直流600ボルトより高い値までの範囲を取り得る。」(段落【0008】)

「出力回路の発振周波数はインダクタ素子46とコンデンサ52との共振周波数により制御される。インダクタ素子46の所望のインダクタンス値は電圧 $V_{BUS}$ の値に依存し、回路の発振周波数が所望の範囲内になるように選択される。」(段落【0009】)

「チップ30は8ピンDIPまたは表面マウントパッケージ(surface mount package)の中に収容されてもよく、以下のようなピン出力を有する：

$V_{CC}$  - 直流電源 $V_{BUS}$ からチップ動作電圧を受けるためのピン。

$C_T$  - タイミングコンデンサ14とタイミング抵抗16との間のノードに接続された単一入力制御ピン。ピン $C_T$ での信号は $H_0$ と $L_0$ の両出力を制御する。

R<sub>T</sub> - タイミング抵抗 16 の他端に接続されたピン。

V<sub>B</sub> - 高圧側スイッチ動作のために電力を供給するブートストラップ回路として働くダイオード 22 とコンデンサ 24 とのノードに接続されたピン。

H<sub>0</sub> - 高圧側 MOSFET 40 のゲート (すなわち, ゲートに対する抵抗 26 ) に対する出力ピン。

V<sub>S</sub> - トーテムポール接続すなわちハーフブリッジ接続された MOSFET 40 および 42 の中心タップに対するピン。

L<sub>0</sub> - 低圧側 MOSFET 42 のゲート (すなわち, ゲートに対する抵抗 28 ) に対する出力ピン。

COM - 負極すなわちグランド端子に接続されたピン。」 (段落【0010】)

「抵抗 18 およびコンデンサ 12 は IC 30 に対して直流および交流の必要な電力を与える。抵抗 16 およびコンデンサ 14 は, 次式で定まる発振周波数を制御する:

$$f = 1 / (1.4 R_{16} C_{14}) \dots (1) \text{ (段落【0011】)}$$

「ダイオード 22 とコンデンサ 24 とは IC 内の浮遊 CMOS 駆動回路に対してブートストラップ電源回路を形成する。抵抗 26 および 28 は, パワー MOSFET 40 および 42 の LC リンギングを抑さえ, また, IC 30 を電力段から緩衝する。」 (段落【0012】)

「インダクタ素子 46 と共振コンデンサ 52 を含む負荷回路は, さらに, 阻止コンデンサ 56 および 58, 正温度特性 (PTC: a positivetemperaturecoefficient) 抵抗 54 並びにランプ 50 を有する。コンデンサ 44 は通常, ノード V<sub>S</sub> で観測される dv / dt を制御し, 放射される EMI を最小にする。」 (段落【0013】)

ウ 発明が解決しようとする課題

「この基本回路の欠点は、もし、ランプが壊れるか（その動作寿命が尽きたときのように）もしくは回路から取り外されたとき、回路内の他の構成部品が破滅的に故障をするかもしれないことである。それゆえ、ゲート駆動 IC 30 の使用者は、故障の状態を検出して IC をオフする別個の外部回路要素を設計しなければならない。好ましくは、ゲート駆動 IC の両出力は、ターンオフ状態のもとでゲート駆動 IC をオフする。」（段落【0014】）

「ゲート駆動 IC は自己発振しているため、ゲート駆動出力  $L_0$  および  $H_0 - V_s$  のうちの 1 つは図 2 に示す短いデッドタイムの期間を除いて常時オンとなる。通常の動作状態では、MOSFET 40 あるいは MOSFET 42 のいずれかがオンとなる。結果として、例えば図 3 に示すように、単純にタイミングコンデンサ 14 により外部にグランドまで分路を形成することによりゲート駆動 IC をオフすることは、回路を保護するのには充分でない。」（段落【0015】）

「図 3 は、ランプが取り外されたときに入力制御コンデンサ 14 のグランドへの分路を形成するためのトランジスタ 60 を含む、図 1 を改変した回路を示す。抵抗 62, 64, 66 により形成される分圧回路およびコンデンサ 68 は検出回路を構成する。通常の動作状態では、ノード  $V_A$  での電圧は近似的に直流電源電圧の半分の値、すなわち  $V_{BUS} / 2$  に等しい。このとき、コンデンサ 56 と 58 は同一の値である。ノード  $V_A$  の電圧と、コンデンサ 56 とコンデンサ 58 の中間点におけるノードの電圧との唯一の違いは、ランプ 50 のフィラメントでの電圧降下により生ずる。」（段落【0016】）

「通常動作状態では、フィラメントでの電圧降下は比較的小さく、すなわち、数ボルトのみであり、また、ノード  $V_C$  の電圧は分流トランジスタ 60 をオンさせるのに不十分である。しかしながら、もし、ランプが取

り外されると、ノード $V_c$ の電圧と同様にノード $V_A$ の電圧は上昇し、トランジスタ60はオンする。抵抗62, 64, 66の値は、回路が通常動作状態の間トランジスタ60を決してオンさせず、ランプが取り外されたときもしくは故障した時には常にトランジスタ60をオンさせるような値に選択されている。コンデンサ68もまた、ターンオフ応答回路における低域通過フィルタ(それにより、ノイズ低減を増大させる)の一部を形成している。」(段落【0017】)

「しかしながら、図3に示す回路は、ランプが負荷回路から取り外されたときに、パワーMOSFETデバイス40および42の両方ともをシャットダウンするわけではない。このランプがない負荷状態においては、IC30の $C_T$ ピンはトランジスタ60によりグランドに接続され、それにより、望ましいように、ICの内部発振とその出力の切り換えとが停止される。しかしながら、ハーフブリッジの出力をオフしたにもかかわらず、トランジスタ42はオンのままである。」(段落【0018】)

「故障状態においてMOSFET40および42の両方をシャットダウンするもう一つの方法は、図4に示すようにICグランドに $V_{cc}$ ピンの分路を形成することである。ここで、検出回路は本質的に図3のものと同じであるが、SCR70が出力をシャットダウンするために抵抗72を介して $V_{cc}$ ピンの分路を形成している。」(段落【0019】)

「図4の回路の欠点は、ソケット内でランプが交換されるときのように故障状態が終了したときに、チップに供給される電源電圧 $V_{cc}$ がその不足電圧のしきい値以下に放電されているため、全体の電力上昇手順が繰り返されなければならないことである。実際には、回路はパワートランジスタ40, 42の両方をオフさせるためにIC30の不足電圧ロックアウト回路122に依存している。」(段落【0020】)

「図4の回路のさらなる欠点は、SCR70が図3のNPNトランジス

タ60よりもより高価な部品であることである。」(段落【0021】)

「さらに、抵抗72が、 $V_{cc}$ ピンでの $dv/dt$ を緩やかに降下させるようにするために $V_{cc}$ コンデンサ放電経路に含まなければならないことである。 $dv/dt$ は制限されなければならない、なぜならば、出力段がパワーMOSFETのゲートを完全に放電させてしまう前に、ゲート駆動出力段に対する電源電圧がターンオフしてもよいからである。例えば、もし、上段のパワーMOSFET40がオンし、電源電圧が急速に0Vになった場合、パワーMOSFET40はオフされず、MOSFETを放電する生来のゲート-ソース間のリークのみによる電荷(すなわち電圧)を、事実上、パワーMOSFET40のゲート上に有したままとなる。定在する電荷は、上段のMOSFET40がオンのままIC30が再起動すると、破滅的な故障を引き起こす。IC30が再起動したとき、すなわち、その $V_{cc}$ 電圧が上昇する不足電圧ロックアウトしきい値を越えたとき、下段のパワーMOSFET42が最初にオンする。トランジスタ42がオンしたときに、もし、トランジスタ40がオンのままであれば、dc(直流)バスとac(交流)線とに対して短絡が発生し、ごくまれにはヒューズが遮断されるが、ほとんどの場合、パワーMOSFETの少なくとも一方が破壊される。」(段落【0022】)

「本発明は、上記課題を解決すべくなされたものであり、その目的とするところは、ランプを駆動する集積回路において、駆動出力の双方が不能になることによりランプが故障したとき、または、ランプが取り外されたときに、駆動回路の構成部品を損失から保護する安定器集積回路を提供することにある。また、ランプ交換時において、ランプのパワースイッチを切り換えなくとも、自動的にランプ駆動回路を再起動する安定器集積回路を提供することを目的とする。」(段落【0023】)

エ 課題を解決するための手段

「本発明の一態様において、集積回路は、第1および第2の直流端子と、負荷回路に出力信号を供給する共通端子とを有するハーフブリッジ回路において接続された第1および第2のMOSゲート型パワー半導体デバイスを駆動する回路であり、共通端子を第1のMOSゲート型パワー半導体デバイスと第2のMOSゲート型パワー半導体デバイスの間のノードに設けたシリコン基板上に形成された集積回路である。その集積回路は、外部タイミングコンデンサの電圧からなるロー論理レベル信号に接続された入力制御端子を有するタイマ回路と、タイマ回路に接続され、第1および第2のMOSゲート型パワー半導体デバイスをオンおよびオフに切り換える周波数を制御し、また、入力制御端子に印加される信号に応じて切り換わる出力を供給する第1のラッチ回路と、第1のラッチ回路にそれぞれが接続され、第1のラッチ回路の上記出力の切り換わりに従い、遅延時間間隔の間、上記ラッチ出力信号の伝達を遅延させ、第1および第2のMOSゲート型パワー半導体デバイスの同時導通を防止する、高圧側のデッドタイム遅延回路および低圧側のデッドタイム遅延回路と、高圧側デッドタイム遅延回路および低圧側デッドタイム遅延回路にそれぞれ接続され、入力制御端子に印加された信号に応じて第1および第2のMOSゲート型パワー半導体デバイスをオンおよびオフさせるための高圧側および低圧側出力端子をそれぞれ有する高圧側ドライバ回路および低圧側ドライバ回路と、外部タイミングコンデンサに接続され、外部タイミングコンデンサの電圧がしきい値電圧より低いときに、高圧側および低圧側出力の供給を停止するシャットダウン回路とからなる。シャットダウン回路は、外部タイミングコンデンサの電圧をしきい値電圧と比較するしきい値電圧検出回路を備え、しきい値電圧検出回路は高圧側及び低圧側のデッドタイム遅延回路に出力を供給する第2のラッチ回路に接続されている。」(段落【0025】)

## オ 発明の実施の形態

「以下、添付の図面を用いて本発明に係る安定器集積回路の実施形態を説明する。本発明は、図3に示すような単純な回路を用いて、そのIC内部の回路構成を改変することにより実現できる。」(段落【0030】)

「図5は、図3の回路に包含されるのに好適な本発明に係るICチップ30の回路ブロック図である。チップ30の8本のピンが図5においても同様に用いられる。図5に示される全ての回路ブロックは共通のシリコンチップに典型的に集積化される。」(段落【0031】)

「本発明は、これらの機能の全てを、前述の特許において開示されたIR2155やIR2151のICのようにIC内部で実現しているが、さらに、 $C_T$ ピンを使用した新しいシャットダウン機能も備えている。本発明によれば、以下の2つのさらなる回路ブロックが追加されている。すなわち、(1) $C_T$ 検出用の第3のコンパレータ118および(2)シャットダウンラッチ回路124が追加されている。入力ピン $C_T$ は、 $C_T$ ピン電圧が分圧回路112により供給される所定のしきい値( $V_{R3}$ として示される)よりも低くなるを検出する第3のコンパレータ118の負入力に接続される。そのとき、第3のコンパレータ118は、その出力をシャットダウンラッチ回路124および低圧側のデッドタイム遅延回路130に供給する。シャットダウンラッチ回路124の出力は、次に、高圧側のデッドタイム遅延回路126の入力に供給される。」(段落【0039】)

「第3のコンパレータ118が状態を変化させるときのしきい値電圧 $V_{R3}$ は、自己発振に対して用いられるしきい値電圧 $V_{R2}$ より低い値に選択される。その動作例を図6に示す。ここでは、 $V_{R1}$ および $V_{R2}$ の値は、それぞれ $2/3 V_{CC}$ 、 $1/3 V_{CC}$ に選択され、また、 $V_{R3}$ の値は便宜上、最初は $1/6 V_{CC}$ に選択されている。なお、 $V_{R3} < V_{R2} < V_{R1}$

1 の関係を満たすかぎり，他の特別な比率が選択されてもよい。」（段落【0040】）

「 $C_T$ ピン電圧が $V_{R3}$ を越えると，（1）低圧側ゲート駆動出力 $L_0$ はデッドタイム遅延時間 $t_d$ 経過後，「ハイ」になり，低圧側MOSFET 42をオンし，（2）バイアス回路132は，発振コンパレータ（Nコンパレータ）114，Pコンパレータ116および第3のコンパレータ118，高圧側のデッドタイム遅延回路（TEADH回路）126および低圧側のデッドタイム遅延回路（TEADL回路）130に電力を供給するように制御され，（3） $R_T$ ピンは発振ラッチ（シャットダウンラッチ回路）124により「ハイ」に保持され，（4） $C_T$ ピンは抵抗16を介して充電し続ける。」（段落【0043】）

「通常動作の間， $C_T$ ピン電圧が $V_{R3}$ を越えた後では，自己発振が生じ，ハーフブリッジ回路の出力 $V_s$ が台形状の出力で切り換わる。」（段落【0044】）

「 $C_T$ ピンが $2/3 V_{CC}$ に達したとき，Nコンパレータ114はRSラッチ回路120に負のリセット信号を与える。この負のリセット信号によりRSラッチ回路120の出力（ $R_T$ およびその補数 $R_T/N$ ）は論理状態を反転し， $R_T$ ピンは「ロー」になる（ $R_T/N$ は「ハイ」になる）。IC 30のこの特別な実施形態において， $R_T$ ピンは $L_0$ に対する低圧側信号経路を駆動し，また，この出力と同位相である。ここで， $R_T$ と $L_0$ の位相の関係は任意である；たとえば，起動中において最初に $L_0$ が出力される必要があるとしても，このICの一部のユーザには $R_T$ が $L_0$ と異なる位相であることを必要とする人もいる。結果として， $R_T$ が「ロー」になったとき，出力 $L_0$ は「ロー」に駆動され，低圧側のパワーMOSFET 42をオフする。 $R_T$ から $L_0$ への信号経路はできるだけ高速（遅延が最小）になるように意図して形成され，また， $R_T/N$ から $H_0$ へのターンオフ伝達遅

延に正確に一致するように設計される。これにより、高圧側の駆動回路と低圧側の駆動回路での伝達遅延が一致しなくても、ハーフブリッジの出力  $V_s$  でのデューティ周期をその所望の 50% レベルから系統的にオフセットするようなことはない。」(段落【0045】)

「 $R_T$  の論理レベルが「ハイ」から「ロー」に切り換わったとき、 $R_T/N$  (第2のRSラッチ回路120出力)は「ハイ」になる。この後者の信号は高圧側のデッドタイム遅延回路(TDEADH回路)126を駆動する。そして、デッドタイム遅延回路126はレベルシフトパルス発生回路(PGEN)128を駆動する。そして、レベルシフトパルス発生回路128は高圧側の回路に対する高圧側のオン/オフ信号のレベルシフトを行う。デッドタイム遅延回路126, 130は、(1)パワーMOSFET 40および42にクロス導通デッドタイム(a crossconduction dead time)を与えるために、また、(2)LC共振周波数(負荷インピーダンスが誘導的になる)より大きい周波数を駆動するためのゼロ電圧切り換えを促進するために、「ターンオン」信号に対して僅かな遅延(例えば、1  $\mu$ sec)を発生するように設計されている。反対に、これらのデッドタイム遅延回路は、ゲートドライバ138および142に対する「ターンオフ」信号に、できるだけ小さい遅延を付加するように設計されている。高圧側のデッドタイム遅延回路(TDEADH)126のタイムアウト期間(例えば、1  $\mu$ sec)の後、レベルシフトパルス発生回路(PGEN)128には、高圧側のゲートドライバ138に対する「ターンオン」信号を変換するための論理信号が与えられる。dv/dtフィルタ回路134は、レベルシフトパルス発生回路128により出力される短いパルス(例えば、50 - 200nsec)を識別し、これらのパルスをラッチ回路(HSLATCH)136に対する「セット」および「リセット」信号に変換する。 $R_T/N$ が「ハイ」になることは、ラッチ回路(HSLATCH)1

36の入力における「セット」信号に対応し、それはゲートドライバ(HSDRIVER)回路138にH<sub>0</sub>出力を「ハイ」に駆動するための命令を与える。」(段落【0046】)

「さらに、R<sub>T</sub>ピンが「ハイ」から「ロー」の電位へ切り換わることで、抵抗16により、 $2/3V_{CC}$ のしきい値(分圧回路112ブロックにより設定される)から $1/3V_{CC}$ のしきい値(これもまた分圧回路112ブロックにより設定される)までコンデンサ14の放電が開始される。 $1/3V_{CC}$ のしきい値に達すると、Pコンパレータ116の出力は「ハイ」になり、RSラッチ回路(RSLATCH)120に「セット」信号を与える。この「セット」信号はR<sub>T</sub>を「ハイ」に、R<sub>T</sub>/Nを「ロー」に駆動し、ハーフブリッジの出力V<sub>S</sub>を「ロー」にする。R<sub>T</sub>とC<sub>T</sub>との間の逆位相関係は、V<sub>CC</sub>電位及び温度と無関係に50%デューティ周期での自己発振を生じる。このデューティ周期の制御(R<sub>T</sub>からL<sub>0</sub>まで及びR<sub>T</sub>/NからH<sub>0</sub>までの正確に一致させたターンオフ伝達遅延を伴う)は、それぞれ、ハーフブリッジの出力V<sub>S</sub>で50%のデューティ周期を生ずる。」(段落【0047】)

「もし、通常動作時に、コンデンサ14の放電を触発する故障が発生すると、ゲートドライバ出力の両方が不能になり、ハーフブリッジの出力は発振を停止する。故障状態が終了すると、R<sub>T</sub>ピンの電圧は自動再起動のために「ハイ」のままに保持される。」(段落【0048】)

「もし、ランプの取り外しによる故障状態で、かつ、図3の回路が用いられている場合、C<sub>T</sub>ピンは放電され、また両ゲートドライバ出力はシャットダウンする。ランプが交換されたときは、図3に示すトランジスタ60はオフし、コンデンサ14は再度充電を行う。」(段落【0049】)

「自動再起動機能は図5におけるシャットダウンラッチ回路124により実現され、また、ランプのユーザはシステムを再起動するためにランプ

のパワースイッチを切り換える必要がない。」(段落【0050】)

「なお、本発明は、上記の特別な実施形態において説明されてきたが、他の多くの変形例や改変や利用が当業者にとって明らかになるであろう、それ故、本発明は発明の詳細な説明の中で開示された内容に限定されず、特許請求の範囲にのみ制限される。」(段落【0051】)

#### カ 発明の効果

「本発明のランプを駆動する集積回路によれば、ランプを駆動する駆動回路の駆動出力の双方が不能になりランプが故障したとき、または、ランプが取り外されたときに、駆動回路の構成部品を損失から保護する。また、ランプ交換時において、本集積回路が自動的にランプ駆動回路を再起動するため、ユーザはランプのパワースイッチを切り換える必要がない。」(段落【0052】)

(3)ア 上記(2)の本件明細書1の記載、乙12(被控訴人社員Aの陳述書)及び弁論の全趣旨によれば、次の事実が認められる。

(ア) 本件特許発明1は、ランプを駆動する集積回路において、ランプが故障し又はランプが取り外されたときに、駆動回路の構成部品を損失から保護し、ランプ交換時に集積回路が自動的に駆動回路を再起動する安定器集積回路を提供するものである。

(イ) 従来技術としては、次のようなものがあつたが、次のような欠点があつた。

a 従来技術として、ランプが故障し又は取り外されると、入力制御コンデンサ14のグランドへの分路を形成するためのトランジスタ60がオンし、IC30のC<sub>T</sub>ピンがトランジスタ60によりグランドに接続され、それにより、ICの自己発振(出力の切換え)が停止するものがある(本件明細書1【図3】の回路)。

しかし、この場合、MOSFET42はオンのままであつて、MO

S F E T 4 0 及び 4 2 の両方がシャットダウンされるわけではないので、I C 3 0 が再起動したときに、駆動回路の構成部品を損失させるおそれがあるという欠点がある。

- b 従来技術として、ランプが故障又は取り外されると、S C R 7 0 が抵抗 7 2 を介して  $V_{cc}$  ピンのグラウンドへの分路を形成し、不足電圧ロックアウト回路によって M O S F E T 4 0 及び 4 2 の両方がシャットダウンされるものがある（本件明細書 1 【図 4】の回路）。

この場合、M O S F E T 4 0 及び 4 2 の両方がシャットダウンされるので、上記 a の従来技術のような欠点はないが、ソケット内でランプが交換され、故障状態が終了したときに、チップに供給される電源電圧  $V_{cc}$  がその不足電圧のしきい値以下に放電されているため、全体の電力上昇手順が繰り返されなければならない、S C R 7 0 が高価である、電源電圧が急速に 0 V になった場合、不足電圧ロックアウト回路が働いて M O S F E T 4 0 及び 4 2 の両方をオフにする前に、パワー M O S F E T のゲートを制御するゲート駆動回路への給電が停止してしまうことがあり、その場合は、両方のパワー M O S F E T をオフにできないことがあるので、 $V_{cc}$  ピンでの  $dv/dt$  を緩やかに降下させるようにするために、抵抗 7 2 が  $V_{cc}$  コンデンサ放電経路に含まれなければならない、といった欠点がある。

- (ウ) 本件特許発明 1 は、「外部タイミングコンデンサ上の電圧からなる上記ロー論理レベル信号がしきい値電圧より低いときに、上記第 1 および第 2 の M O S ゲート型パワー半導体デバイスをターンオンおよびターンオフさせるための高圧側および低圧側出力の上記供給を停止させるための上記ロー論理レベル信号に接続されたシャットダウン回路とを有する自己発振駆動回路」（本件明細書の「特許請求の範囲」請求項 5）を備えることによって、M O S F E T 4 0 及び 4 2 の両方をシャットダウ

ンするが、上記(イ) ~ のような欠点がなく、ソケット内でランプが交換され、故障状態が終了したときに、自動的にかつ速やかに、駆動回路が再起動される安定器集積回路を提供するものである。

イ なお、控訴人は、上記ア(イ) bの従来技術につき、自己発振駆動回路の発振を停止するだけで、本件特許発明1のように第1および第2のMOSゲート型パワー半導体デバイスの両方をターンオフするものではないと主張する。しかし、この主張は、上記(2)の本件明細書1(甲3)の記載及び上記乙12に照らして採用することはできない。上記ア(イ) bの従来技術は、上記のとおり、MOSFET40及び42の両方をシャットダウンするものであり、また、電源電圧が急速に0Vになった場合、両方のMOSFETがオフされないことがあるという問題点も抵抗72によって解決することができるものであるから、通常動作をする限りMOSFET40及び42の両方をシャットダウンすることができるものである。

(4) 本件特許発明1の構成要件1-F, 1-Hにいう「外部タイミングコンデンサ」について、その意義を明示的に定義した記載は、本件明細書1(甲3)中にはないが、「外部コンデンサ」ではなく「外部タイミングコンデンサ」という用語が用いられていること、及び、以下のとおり、本件明細書1においては、構成要件1-F, 1-Hにいう「外部タイミングコンデンサ」について、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサである旨の記載しかないことからすると、構成要件1-F, 1-Hにいう「外部タイミングコンデンサ」について、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサを意味すると解すべきである。

ア 本件明細書1(甲3)においては、上記(2)エのとおり、「課題を解決するための手段」の項で、「本発明の一態様において」との留保が付されているものの、「外部タイミングコンデンサ」の電圧からなるロー論理レ

ベル信号が，第1及び第2のMOSゲート型パワー半導体デバイスをオン及びオフに切り替える周波数を制御する第1のラッチ回路と接続されているタイマ回路に入力されること，並びに，外部タイミングコンデンサの電圧をしきい値電圧と比較し，外部タイミングコンデンサの電圧がしきい値電圧より低いときに，高圧側及び低圧側出力の供給を停止すること（シャットダウン回路）が記載されている。したがって，「課題を解決するための手段」の項では，「外部タイミングコンデンサ」について，第1及び第2のMOSゲート型パワー半導体デバイスをオン及びオフに切り替える周波数を制御する第1のラッチ回路と接続されているタイマ回路に接続されており，かつ，「外部タイミングコンデンサ」の電圧が，しきい値電圧より低いとシャットダウン回路が起動されるものが記載されており，これ以外の「外部タイミングコンデンサ」は記載されていない。

イ 本件明細書1（甲3）においては，上記(2)オのとおり，「発明の実施の形態」の項で，「外部タイミングコンデンサ」とされているものはコンデンサ14を以て他にない。そして，上記(2)イの「従来技術」の項における記載を参照すると，コンデンサ14と抵抗16は，発振周波数を制御するものとされ，タイミングコンデンサ14とタイミング抵抗16との間のノードに接続されたC<sub>T</sub>ピンでの信号がH<sub>0</sub>とL<sub>0</sub>の両出力を制御するものとされていることは明らかである。さらに，上記(2)オのとおり，「発明の実施の形態」の項には，起動後，C<sub>T</sub>ピン電圧がしきい値電圧V<sub>R3</sub>を越えると，自己発振が生じ，C<sub>T</sub>ピン電圧がしきい値電圧V<sub>R1</sub>に達すると，しきい値電圧V<sub>R2</sub>に達するまでコンデンサ14が放電し，このようにV<sub>R1</sub>とV<sub>R2</sub>の間で電圧が上下することによって，第1及び第2のMOSゲート型パワー半導体デバイスのオン及びオフが切り替えられること，ランプの取り外しによる故障状態が生じた場合，C<sub>T</sub>ピンは放電され，C<sub>T</sub>ピン電圧が所定のしきい値V<sub>R3</sub>より低くなったときは，

第3のコンパレータ118の出力がシャットダウンラッチ回路124及び低圧側のデッドタイム遅延回路130に供給され、次いで、シャットダウンラッチ回路124の出力が高圧側のデッドタイム遅延回路126に供給され、その結果、両ゲート出力はシャットダウンし、さらに、故障状態が解消されたとき（ランプが交換されたとき）は、コンデンサ14が再度充電を行うことが記載されている。

ウ そうすると、本件明細書1（甲3）には、構成要件1-F，1-Hにいう「外部タイミングコンデンサ」について、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサである旨の記載しかないということができる。

(5)ア 一方、証拠（甲5～11）によれば、本件特許発明1についての出願経過は、次のとおりであることが認められる。

(ア) 本件特許発明1については、平成11年1月7日付けで、特許庁審査官から、下記の各文献に記載された発明に基づいて容易に発明することができたから進歩性がない旨の拒絶理由通知（甲6）が出された。同拒絶理由通知には、その理由として、「引用文献1，2にはシャットダウン回路を有するものが、引用文献1～3には遅延回路を有するものが記載されており、本願発明が、当業者にとって格別なものであるとは認められない。」と記載されていた。

#### 記

- ・特開平8-37092号（発明の名称「安定器回路用MOSゲート駆動装置」，出願人インターナショナル・レクティブアイヤー・コーポレーション〔控訴人〕，公開日平成8年2月6日。引用文献1。甲7）
- ・特開平6-188090号（発明の名称「可変制御電流検知バラスト」，出願人レスティシャンバラストインコーポレーテッド，公開日

平成6年7月8日。引用文献2。甲8)

・特開平6 - 252723号(発明の名称「負荷駆動回路」, 出願人日本電装株式会社, 公開日平成6年9月9日。引用文献3。甲9)

(イ) そこで, 控訴人は, 平成11年7月29日付けで特許請求の範囲等を補正(本件補正。甲10)し, 同日付けで意見書(本件意見書, 甲11)を提出した。

(ウ) 本件意見書には, 次の記載がある(甲11)。

a 「請求項1におきましては, 引例との差異をより明確にするため, シャットダウン回路が外部タイミングコンデンサの電圧に基いて動作する旨を追加する補正を行いました。」(1頁9行~11行)

b 「請求項4(旧請求項5)におきましては, 請求項1との対応を正確にするため『外部タイミングコンデンサ』を『上記外部タイミングコンデンサ』に変更しました。」(1頁16行~18行)

c 「請求項5(旧請求項6)におきましても請求項1と同様の補正を行いました。」(1頁19行)

d 「本願発明は, 障害が発生し, 外部タイミングコンデンサ14の電圧すなわち外部タイミングコンデンサに接続されるICのピン(C<sub>T</sub>ピン)の電圧が所定のしきい値レベルより低くなった場合に, スイッチングトランジスタに対するゲート駆動信号を不能にすることによって, スイッチングトランジスタを完全にシャットダウンするものです。これによりスイッチングトランジスタの破壊のようなICに対して非常に有害な状況の発生を確実に防止するという効果を有します。」(1頁21行~26行)

e 「引用文献1の回路は, 不足電圧状態の発生時において, ハーフブリッジ接続されたトランジスタ(引用文献中, トランジスタ20, 21)のスイッチング動作を停止させるようにのみ動作し, C<sub>T</sub>ピン上

での電圧降下に基いては活動化されず，トランジスタのゲート駆動信号をターンオフするというような動作は行ないません。」(4頁2行～6行)

f 「本引例のシャットダウン回路は，ランプの障害または除去による負荷電流変化に基いてシャットダウンするものでありますが，本願発明のように，外部タイミングコンデンサ( $C_T$ ピン)の電圧降下を検出し，これに基いてトランジスタのゲート駆動信号をターンオフさせるものではありません。」(4頁10行～14行)

g 「本願発明は，障害が発生し，外部タイミングコンデンサ14に接続される $C_T$ ピンの電圧が所定のしきい値レベルより低くなったときに，図6に示すようにスイッチングトランジスタ40，42に対するゲート信号 $H_0L_0$ を不能状態(ロー)にすることによって，スイッチングトランジスタ40，42の完全なシャットダウンを可能とするものです。このように障害発生を外部タイミングコンデンサ14の電圧(すなわち $C_T$ ピン)の電圧により検出し，スイッチングトランジスタ40，42を完全にシャットダウンするという点はいかなる引例においても開示されておらず，また，示唆もされておられません。」(4頁22行～29行)

h 「以上，説明しましたように，本願発明の特徴である，障害発生時に外部タイミングコンデンサの電圧(すなわち $C_T$ ピンの電圧)が所定のしきい値レベルより低くなった場合に，スイッチングトランジスタに対するゲート駆動信号を不能にすることによって，それらのスイッチングトランジスタを完全にシャットダウンするための構成は，上記のいかなる引例においても開示されておらず，また，示唆もされておられません。また，本願発明は，障害発生時にスイッチングトランジスタを完全にシャットダウンすることにより，障害から回路を確実に

保護できるという点において引例に対して優れた効果を有しております。」(6頁7行~14行)

イところで、本件特許1(甲3)の請求項1における「外部タイミングコンデンサの電圧からなるロー論理レベル信号に接続された入力制御端子を有するタイマ回路と、上記タイマ回路に接続され、上記第1および第2のMOSゲート型パワー半導体デバイスをオンおよびオフに切り換える周波数を制御し、また、上記入力制御端子に印加される上記信号に応じて切り換わる出力を供給する第1のラッチ回路と」との記載、及び、請求項4における「請求項1に記載の集積回路において、上記タイマ回路は、上記MOSゲート型パワー半導体デバイスがオンおよびオフされる周波数を制御するための第2の入力制御端子を有し、上記第1および第2の入力制御端子は上記タイマ回路の発振周波数を設定するための上記外部タイミングコンデンサおよび外部タイミング抵抗に接続されることを特徴とする集積回路。」との記載からすると、請求項1及び請求項4の「外部タイミングコンデンサ」が抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサであることは明らかである。

上記ア(ウ)a及びbの本件意見書の記載は、本件特許1の請求項1及び請求項4が上記のようなものであることを当然の前提として、これらの請求項における「外部タイミングコンデンサ」がその電圧の低下により、シャットダウン回路を起動させる機能も兼ね備えることを明示したものであると認められる。そして、上記ア(ウ)cのとおり、本件意見書において、本件特許発明1(請求項5)についても請求項1と同様の補正をしていると述べている以上、本件特許発明1における「外部タイミングコンデンサ」を請求項1及び請求項4における「外部タイミングコンデンサ」と別異なるものと解すべき理由はない。また、上記ア(ウ)d~hの本件意見書の記載も、「外部タイミングコンデンサ」が抵抗との組み合わせにより自己

発振駆動回路の発振周波数を定めるコンデンサであることを説明するものである。

そうすると、本件特許発明 1 についての出願経過に照らしても、構成要件 1 - F , 1 - H にいう「外部タイミングコンデンサ」について、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサを意味すると解すべきであるといえることができる。

- (6) 控訴人は、本件特許発明 1 の特許請求の範囲には単に「外部タイミングコンデンサ」と記載されているだけであるから、当該記載から自己発振駆動回路の発振の周波数を定めるコンデンサのみを意味すると限定解釈する理由はないし、特許請求の範囲に記載の発明は実施例に限定されるわけではなく、また、本件補正は、本願発明の技術的意義をより明確にするためになされたもので、新規性・進歩性欠如を理由とするものではないから、構成要件 1 - F , 1 - H にいう「外部タイミングコンデンサ」について、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサを意味すると限定解釈することは許されないなどと主張する。

しかし、「外部タイミングコンデンサ」という用語が用いられていること、本件明細書 1 には、「外部タイミングコンデンサ」が抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサである発明の開示しかなく、それ以外の発明の開示がないこと、及び、本件意見書の上記記載に照らせば、本件特許発明 1 の「外部タイミングコンデンサ」を、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサであると解すべきである。また、本件補正の目的によってこの認定が左右されることはない。したがって、控訴人の上記主張は採用することができない。

- (7) 本件ランプ安定回路 1 においては、コンデンサ C 2 が抵抗 R 2 との組み合わせにより発振周波数を定めており、コンデンサ C 1 1 は、その電圧がしきい値電圧より低いとシャットダウン回路を起動させるものであるとして

も、発振周波数を定めているものではない。

そうすると、本件ランプ安定回路1のコンデンサC11は、構成要件1-F, 1-Hにいう「外部タイミングコンデンサ」には当たらず、本件ランプ安定回路1は、構成要件1-F, 1-Hを充足しないから、本件ランプ安定回路1は、本件特許発明1の技術的範囲に属しないものと認められる。

### 3 争点2（本件ランプ安定回路1は、本件特許発明1と均等か。）について

(1) 特許権侵害訴訟において、相手方が製造等する製品又は用いる方法が特許発明の技術的範囲に属するかどうかを判断するに当たっては、願書に添付した明細書の特許請求の範囲の記載に基づいて特許発明の技術的範囲を確定しなければならず（特許法70条）、特許請求の範囲に記載された構成中に対象製品等と異なる部分が存する場合には、上記対象製品等は、特許発明の技術的範囲に属するということとはできない。しかし、特許請求の範囲に記載された構成中に対象製品等と異なる部分が存する場合であっても、上記部分が特許発明の本質的部分ではなく（本質的部分）、上記部分を対象製品等におけるものと置き換えても、特許発明の目的を達することができ同一の作用効果を奏するものであって（置換可能性）、上記のように置き換えることに、当該発明の属する技術の分野における通常の知識を有する者（当業者）が、対象製品等の製造等の時点において容易に想到することができたものであり（置換容易性）、対象製品等が特許発明の特許出願時における公知技術と同一又は当業者がこれから出願時に容易に推考できたものではなく（非容易推考）、かつ、対象製品等が特許発明の特許出願手続において特許請求の範囲から意識的に除外されたものに当たるなどの特段の事情（意識的除外）もないときは、上記対象製品等は、特許請求の範囲に記載された構成と均等なものとして、特許発明の技術的範囲に属するものと解される（最高裁平成10年2月24日第三小法廷判決・民集52巻1号113頁）。

したがって、上述した均等論が適用されるためには、上記 で述べたよう

に，上記差異部分が特許発明の本質的部分でないことが前提となる。

- (2) 前記 2 (1) ~ (6)によれば，本件特許発明 1 は，外部タイミングコンデンサに接続された  $C_T$  ピンを使用したシャットダウン機能を備えたものである。すなわち，本件特許発明 1 においては，第 3 のコンパレータにより，外部タイミングコンデンサに接続された  $C_T$  ピン電圧が，自己発振に対して用いられるしきい値電圧  $V_{R1}$  及び  $V_{R2}$  のいずれよりも低い値として選択されたしきい値電圧  $V_{R3}$  よりも低くなったことを検出したときは，第 3 のコンパレータがその出力をシャットダウンラッチ回路及び低圧側のデッドタイム遅延回路に供給し，シャットダウンラッチ回路の出力が高圧側のデッドタイム遅延回路に供給され，両ゲートドライバ出力がシャットダウンする。このようにして，本件特許発明 1 は，高圧側及び低圧側の MOS ゲート型パワー半導体デバイスを完全にシャットダウンするものである。
- (3) ところで，安定器集積回路において，故障時に高圧側及び低圧側の MOS ゲート型パワー半導体デバイスの両方をシャットダウンするものは，前記 2 (3)ア(イ)bのとおり，従来技術として存したところ，本件特許発明 1 は，上記(2)のような構成を採用することによって，両方の MOS ゲート型パワー半導体デバイスを確実にシャットダウンするとともに，故障状態が終了したときには，自動的にかつ速やかに駆動回路が再起動されるようにしたものである。

そして，前記 2 (5)ア(ウ)のとおり，控訴人は，本件意見書 (甲 1 1) において，上記(2)のような構成を採用したことが本件特許発明 1 の特徴である旨を述べており，シャットダウン回路が外部タイミングコンデンサの電圧に基づいて動作する旨を追加する本件補正を行って特許査定を受けたものであるといえることができる。

以上によれば，本件特許発明 1 は，外部タイミングコンデンサの電圧，すなわち外部タイミングコンデンサに接続される  $C_T$  ピンの電圧が所定のしき

い値電圧より低くなったときに，高圧側及び低圧側のMOSゲート型パワー半導体デバイスに対するゲート駆動信号をターンオフし，それにより，高圧側及び低圧側のMOSゲート型パワー半導体デバイスを完全にシャットダウンすることをその発明の本質的特徴とするものであることが認められる。

- (4) したがって，本件ランプ安定回路1においては，外部タイミングコンデンサが接続されたC<sub>T</sub>ピンとは異なるピン（SDピン）によって，外部タイミングコンデンサC<sub>2</sub>とは別のコンデンサC<sub>11</sub>にシャットダウン回路が接続されているのに対し，本件特許発明1においては，シャットダウン回路がC<sub>T</sub>ピンによって外部タイミングコンデンサに接続されているという差異は，本件ランプ安定回路1と本件特許発明1との本質的な差異であるから，本件ランプ安定回路1の構成は，本件特許発明1と均等なものであると解することはできない。

#### 4 結論

以上によれば，本件特許権1及び2の侵害を理由とする控訴人の本訴請求は，その余について判断するまでもなく，いずれも理由がない。

よって，これと結論を同じくする原判決は相当であって，本件控訴は理由がないから棄却することとして，主文のとおり判決する。

知的財産高等裁判所 第2部

裁判長裁判官 中 野 哲 弘

裁判官 森 義 之

裁判官 澁谷 勝海