

平成10年（行ケ）第392号審決取消請求事件（平成11年12月8日口頭弁論
終結）

原告	被告	判決
インバータ装置の駆動回路の設計者	松下電器産業株式会社	
代表者		【A】
訴訟代理人弁理士		【B】
同		【C】
同		【D】
同		【E】
被告		【F】
代表者代表取締役		【G】
訴訟代理人弁理士		【H】
同		

主 文
特許庁が、平成9年審判第10489号事件について、平成10年7月31日にした審決を取り消す。
訴訟費用は被告の負担とする。
事実及び理由

第1 当事者の求めた判決

1 原告

主文と同旨

2 被告

原告の請求を棄却する。

訴訟費用は原告の負担とする。

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

被告は、発明の名称を「インバータ装置の駆動回路」とする特許第1996072号発明（昭和58年9月27日特許出願、平成7年12月8日設定登録、以下「本件発明」という。）の特許権者である。

原告は、平成9年6月20日、本件発明につき、その特許を無効とする旨の審判の請求をした。

特許庁は、同請求を平成9年審判第10489号事件として審理した上、平成10年7月31日、「本件審判の請求は、成り立たない。」との審決をし、その謄本は、同年8月27日、原告に送達された。

2 本件発明の要旨

電力電源端子間に、第1スイッチング素子と第2スイッチング素子とを直列に接続し、前記第1スイッチング素子の駆動信号端子に第1ドライブ部の一端を接続し、前記第1ドライブ部のパワー端子をコンデンサを介して、前記第1・第2スイッチング素子間の midpoint に接続すると共に、前記第1ドライブ部の他端を、周波数設定部からの信号を受けて第1信号を発する制御回路部の端子に接続し、前記第2スイッチング素子の駆動信号端子に第2ドライブ部の一端を接続し、この第2ドライブ部の電源端子に直流電源部を接続すると共に前記第2ドライブ部の他端を前記制御回路部の第2信号を発する端子に接続し、前記直流電源部をダイオードを介して前記第1ドライブ部のパワー端子と前記コンデンサとの間に接続し、前記ダイオードを前記第2スイッチング素子が導通したときに前記コンデンサを充電する方向としたインバータ装置の駆動回路。

3 審決の理由

審決は、別添審決書写し記載のとおり、本件発明が、1980年6月マサチューセッツ工科大学受領【I】「Power FETs in Switching Applications」（審決甲第1号証、本訴甲第3号証、以下「引用例1」といい、そこに記載された発明を「引用例発明1」という。）の23図と同一であるか、引用例発明1から容易に想到できるものである、2米国特許第4002931号明細書（審決甲第2号証、以下「引用例2」といい、そこに記載された発明を「引用例発明2」という。）及び1980年6月オーム社発行エレクトロニクス文庫【J】「デジタル集積回路・デザインの利用」（審決甲第3号証、以下「引用例3」といい、そこに記載された発明を「引用例発明3」という。）に記載された発明に基づいて、当業者が容易に発明をすることができたものである、とする請求人（本訴原告）の主張について、本

件発明が、引用例発明1と同一であるとも、引用例発明1～3に基づいて当業者が容易に発明をすることができたともいえないから、請求人の主張する理由及び証拠方法によっては、本件発明を無効とすることはできないとした。

第3 原告主張の審決取消事由の要点

審決の理由中、本件発明の要旨の認定、請求人（本訴原告）の主張の認定、引用例1～3の記載事項の認定、本件発明と引用例発明1との対比の一部（審決書7頁12～17行）、前記請求人の主張2についての判断（同9頁7行～10頁12行）は、いずれも認める。

審決は、本件発明と引用例発明1との対比判断を誤った（取消事由1、2）ものであるから、違法として取り消されなければならない。

1 対比判断の誤り1（取消事由1）

審決は、引用例発明1について、「『単一の端子（Drive Input）に入力された単一の信号から2つの信号を生成し、第1および第2のスイッチング素子を駆動する』もの」（審決書7頁18行～8頁1行）であるとの認定した上、「『第1スイッチング素子を駆動する第1ドライブ部に入力する第1信号と、第2スイッチング素子を駆動する第2ドライブ部に入力する第2信号とを別々の信号とした』ものではない。」（同8頁5～9行）と判断している。

確かに、引用例発明1は、「単一の端子（Drive Input）に入力された単一の信号から2つの信号を生成し、第1および第2のスイッチング素子を駆動する」ものである。しかし、この観点からみれば、本件発明においても、制御回路部は、周波数設定部から入力された単一の信号から、第1及び第2の信号を生成して、第1及び第2のスイッチング素子を駆動している点で、基本的に引用例発明1と何ら変わりはない。もし、本件発明がこのような構成を有することによって、「第1スイッチング素子を駆動する第1ドライブ部に入力する第1信号と第2スイッチング素子を駆動する第2ドライブ部に入力する第2信号とを別々の信号とした」と認定できるのであれば、引用例発明1もまた、「第1スイッチング素子を駆動する第1ドライブ部に入力する第1信号と第2スイッチング素子を駆動する第2ドライブ部に入力する第2信号とを別々の信号とした」ものであり、審決の上記判断は明らかに誤りである。なお、引用例発明1は、周波数設定回路について言及していないが、MOSFET Q1及びQ2は、ドライブ入力（Drive Input）に従ってオン／オフへ駆動されており、このドライブ入力が、3相インバータドライブの周波数を決定していることは極めて明らかであるから、このドライブ入力が、周波数設定回路から与えられるということは技術常識を参酌することにより導き出せるものであり、引用例発明1に記載されているに等しい事項である。

したがって、審決が、上記判断を前提として、引用例発明1には、「本件発明の構成要件『第1ドライブ部の他端を周波数設定部からの信号を受けて第1信号を発する制御回路部の端子に接続し、・・・第2ドライブ部の他端を制御回路部の第2信号を発する端子に接続する』・・・点に記載されていないばかりか示唆もされていない。」（審決書8頁15行～9頁6行）と判断したことも誤りである。なお、本件明細書の特許請求の範囲には、2つのスイッチング素子へ印加する駆動信号をともにオフにする期間を設ける旨の記載はない。また、発明の詳細な説明においてもその旨の記載はなく、駆動信号を第1及び第2信号として与えているのは、単に2つのスイッチング素子を交互にON-OFFするためにすぎないから、デッドタイムを設けることに関する被告の主張は失当である。

また、本件発明は、特にデュティ比の制御を意図したものではなく、技術思想たる発明の構成からみれば、本件発明の構成と引用例1の図23に記載された構成とは全く同一であるから、デュティ比に関する被告の主張もまた失当である。

2 対比判断の誤り2（取消事由2）

審決が、引用例発明1について、「Fig. 23の回路図から『第2スイッチング素子に相当するMOSFET Q2が導通したときにコンデンサC1にダイオードD1を介して充電される』こと、そして、『コンデンサC1を第1スイッチング素子に相当するFET Q1を駆動するドライブ部の電源として用いる』ことは読みとすることはできない」（審決書8頁9～15行）と判断したことは誤りである。すなわち、引用例1の図23には、審決も認定するように、「直流電源+15VがダイオードD1を介してトランジスタQ4のコレクタ端子と一端がMOSFET Q1およびQ2が直列接続された中点に接続されたコンデンサC1との間に接続される」（審決書5頁9～13行）点が示されている。そして、同図から明らかに、ダイオードD1の接続は、そのアノード側が直流電源+15Vに、そのカソード側がコンデンサC1の一端に接続されていることが示されている。

ド側がコンデンサC1側に接続されるように方向付けされている。したがって、MOSFETQ2がオフ状態とされ、MOSFETQ1及びQ2の中点の電位が上昇すると、コンデンサC1の容量結合を介してダイオードD1のカソード電位が上昇し、ダイオードD1のアノード電位以上となる。次に、MOSFETQ2がオン状態とされると、この中点の電圧が低下し、コンデンサC1は、ダイオードD1から充電される。このように、引用例発明1には、MOSFETQ2が導通するとき、コンデンサC1が充電される方向にダイオードD1が接続されていることが明確に開示されている。

また、同図において、本件発明の直流電源部に対応する+15Vが、ダイオードD1を介して第1のドライブ部のパワー端子に対応するトランジスタQ4のコレクタと、コンデンサC1との間に接続されており、この点において、引用例発明1と本件発明との間に構成上の相違はない。そうすると、「コンデンサC1を第1スイッチング素子に相当するFETQ1を駆動するドライブ部の電源として用いる」とは、引用例発明1に開示されている事項又は開示されているに等しい事項である。

したがって、審決が、引用例発明1に、「本件発明の構成要件の『第2ドライブ部の電源端子に直流電源部を接続すると共に・・・直流電源部をダイオードを介して第1ドライブ部のパワー端子とコンデンサとの間に接続し、ダイオードを第2スイッチング素子が導通したときにコンデンサを充電する方向とした』点は記載されていないばかりか示唆もされていない。」（審決書8頁20行～9頁6行）と判断したことも誤りである。

被告は、4か所の直流電源「+15V」が全て共通の電源であると断定できる根拠がないと主張するが、前示本件発明の要旨においても、単に、「第2ドライブ部の電源端子に直流電源部を接続する」と規定されるにすぎず、技術思想たる発明の構成上、引用例発明1の回路と何ら変わるものではない。仮に、本件発明の実施例のように、専用の直流電源が意図されるものだとしても、当業者であれば、引用例1の図23の回路を見て「+15V」の電源を共通にすることにより、必要に応じて容易に実施できる程度のものにすぎないのである。

第4 被告の反論の要点

審決の認定判断は正当であって、原告主張の審決取消事由はいずれも理由がない。

1 取消事由1について

引用例1（甲第3号証）の図23には、電源端子VBUS及び接地の間に直列接続されたFETQ1及びFETQ2を有し、単一のドライブ入力端子（Drive Input）からトランジスタQ6及びFETQ5を経て入力されたドライブ信号を、FETQ3及びトランジスタQ4を経て一方のFETQ1に印加し、抵抗R2、コンデンサC2及びツエナーダイオードZ5よりなる遅延回路及び2段のバッファ回路を経て、他方のFETQ2に印加するように構成したインバータ回路が示されている。

この回路において、2つのスイッチング素子を駆動する2つの信号は、一方の信号のFETQ3における遅れを、他方の信号を遅延回路でタイミングを調整することで補正しているが、波形自体の幅を変化させておらず、あくまでも2つの信号が同時に導通しないようにタイミングを調整しようとしているだけである。この考え方は、FETQ3における遅れと遅延回路における遅れとが、常に同じであるとの希望的な前提に基づくものであり、実験段階でこそ成立する場合もあるが、多量生産した場合には、部品のバラツキなどにより実験のようによくFETQ3における遅れと遅延回路における遅れが一致しないことも多々あり、上下貫通の発生が予測されるから、工業的には全く実用的ではない。

これに対し、本件発明は、直列接続された2つのスイッチング素子の同時導通を回避するために、2つのスイッチング素子へ印加する駆動信号をともにオフにする期間（D：デッドタイム）を設けたものである。すなわち、2つのスイッチング素子へ印加する駆動信号を、第1信号及び第2信号として別個の信号により制御し、2つの信号の波形自体の幅を変化させ、少々タイミングが狂っても、2つのスイッチング素子の同時導通が発生しない禁止帯（デッドタイム）を設け得る構成を採用することによって、第1スイッチング素子と第2スイッチング素子が同時に導通する事態を確実に回避しているのである。

そして、本件発明のように駆動信号を別個の信号により制御して発生させると、パルス幅（デューティ比）を任意に制御することができ、かつ、各々の信号のデューティ

イ比を相違させることも可能であり、直流電圧より交流電圧を発生させるインバータ回路の出力周波数及び出力電圧を調整することが可能となるのである。

したがって、引用例1の図23に記載された、インバータの2つのスイッチング素子へ印加する駆動信号に係る審決の認定に誤りはない。

2 取消事由2について

引用例1の図23中に、直流電源「+15V」が4か所付されているが、これら4か所の直流電源「+15V」の相互間には配線が施されていないので、これらが全て共通の電源であると断定できる根拠がない。

原告は、この点について、4か所の「+15V」に配線が施されていなくても、電源を共通にすることは当業者であれば、必要に応じて容易に実施できる程度のものであると主張するが、ダイオードD1に印加される「+15V」が、浮動電源である可能性を否定する記載は見当たらないから、原告の主張は引用例1を都合よく解したものであって誤りである。

したがって、引用例1の図23に記載された、インバータの駆動回路の直流電源に係る審決の認定に誤りはない。

第5 当裁判所の判断

1 取消事由1（対比判断の誤り1）について

審決の理由中、本件発明の要旨の認定、請求人（本訴原告）の主張の認定、引用例1～3の記載事項の認定、前記請求人の主張2についての判断（審決書9頁7行～10頁12行）は、当事者間に争いがない。

また、引用例1（甲第3号証）に、「a、電力電源V_{BUS}および接地の間に、MOSFETQ1およびQ2が直列に接続される。b、MOSFETQ1のコントロールゲートがバイポーラトランジスタQ4のエミッタに接続される。c、抵抗R1の一方端とバイポーラトランジスタQ4のコレクタとがキャパシタC1を介してMOSFETQ1およびQ2の間の midpoint に接続される。d、MOSFETQ3のコントロールゲートが、トランジスタQ5およびQ6の間の midpoint に結合されて、かつドライブ入力（Drive Input）を受けて、トランジスタQ5およびQ6の間の midpoint からの出力信号がトランジスタQ3のコントロールゲートに与えられる。e、MOSFETQ2のコントロールゲートが、カスケード接続された2段のバッファの最終段バッファの出力信号を受けるように接続されている。f、カスケード接続された2段のバッファに+15Vが接続されている。g、カスケード接続された2段のバッファの前段バッファの入力が、抵抗R2を介して、トランジスタQ5およびQ6の間の midpoint に接続される。h、直流電源+15VがダイオードD1を介してトランジスタQ4のコレクタ端子と一端がMOSFETQ1およびQ2が直列接続された midpoint に接続されたコンデンサC1との間に接続される。」（審決書4頁11行～5頁13行）と記載されていること、本件発明と引用例発明1とが、「『電力電源端子間に第1スイッチング素子と第2スイッチング素子とを直列に接続すると共に、第1および第2のスイッチング素子を駆動する駆動回路を備えたインバータ装置の駆動回路。』である点で一致している」（同7頁13～17行）ことも、当事者間に争いがない。

これらの争いのない事実及び引用例1の図23によれば、引用例発明1のインバータ装置においては、MOSFETQ1を制御するための、MOSFETQ3、抵抗R1及びバイポーラトランジスタQ4を含むドライブ回路を、抵抗R4、トランジスタQ6及びQ5を含む回路に接続し、MOSFETQ2を制御するための、カスケード接続された2段のバッファを、抵抗R4、トランジスタQ6及びQ5、抵抗R2を含む回路に接続することが認められ、MOSFETQ1及びQ2が、本件発明の第1スイッチング素子及び第2スイッチング素子に、MOSFETQ3、抵抗R1及びバイポーラトランジスタQ4を含むドライブ回路が、本件発明の第1ドライブ部に、カスケード接続された2段のバッファが、本件発明の第2ドライブ部に、抵抗R4、トランジスタQ6及びQ5、抵抗R2を含む回路が、本件発明の制御回路部に、それぞれ対応するものと認められる。

そうすると、本件発明の「前記第1ドライブ部の他端を、周波数設定部からの信号を受けて第1信号を発する制御回路部の端子に接続し、・・・前記第2ドライブ部の他端を前記制御回路部の第2信号を発する端子に接続」という構成は、引用例発明1に開示されているものといわなければならない。

この点について審決は、引用例発明1が、「『単一の端子（Drive Input）に入力された単一の信号から2つの信号を生成し、第1および第2のスイッチング素子を駆動する』もの」（審決書7頁18行～8頁1行）であると認定した

上、「『第1スイッチング素子を駆動する第1ドライブ部に入力する第1信号と第2スイッチング素子を駆動する第2ドライブ部に入力する第2信号とを別々の信号とした』ものではない。」(同8頁5～9行)と判断している。

しかし、前示本件発明の要旨においては、「第1スイッチング素子を駆動する第1ドライブ部に入力する第1信号」と「第2スイッチング素子を駆動する第2ドライブ部に入力する第2信号」とが、どのような信号等に基づいて生成されるものであるか、あるいは、当該第1信号と第2信号の具体的関係については全く規定がなされていないから、引用例発明1における第1信号及び第2信号が、単に、単一の端子に入力された単一の信号から生成されることを理由に、別々の信号ではないとし、本件発明における第1信号と第2信号は別々の信号であるとすることは、本件発明をそのように認定するための理論的根拠を欠くことが明らかである。

また、この点について被告は、引用例1の図23に記載された回路において、2つの信号が同時に導通しないようにタイミングを調整しようとしても、多量生産した場合には、部品のバラツキなどにより実験のようによくFETQ3における遅れと遅延回路における遅れが一致しないことも多々あり、上下貫通の発生が予測されるから、工業的には全く実用的ではないのに対し、本件発明は、直列接続された2つのスイッチング素子の同時導通を回避するために、2つのスイッチング素子へ印加する駆動信号をともにオフにする期間(デッドタイム)を設けたものであるから、2つのスイッチング素子へ印加する駆動信号に係る審決の認定に誤りはないと主張する。

しかしながら、審決は、引用例1の図23に記載された回路が、多量生産した場合に実用的ではないことを理由に、引用例発明1のスイッチング素子へ印加する駆動信号と本件発明のそれが相違すると判断したものでないことは明らかであるから、被告の主張はそれ自体失当といわざるを得ない。しかも、本件発明において、2つのスイッチング素子の同時導通を回避するために、2つのスイッチング素子へ印加する駆動信号をともにオフにする期間を設けることは、その特許請求の範囲に全く記載のない事柄であるから、被告の主張はこの点においても明らかに失当なのであり、到底、これを採用することはできない。

したがって、審決が、上記判断を前提として、引用例発明1には、「本件発明の構成要件『第1ドライブ部の他端を周波数設定部からの信号を受けて第1信号を発する制御回路部の端子に接続し、・・・第2ドライブ部の他端を制御回路部の第2信号を発する端子に接続する』・・・点に記載されていないばかりか示唆もされていない。」(同8頁15行～9頁6行)と判断したことは、誤りといわなければならない。

2 取消事由2(対比判断の誤り2)について

前示の争いのない事実及び引用例1の図23によれば、引用例発明1のインバータ装置においては、ダイオードD1のアノードが電源+15Vに接続され、そのカソードがコンデンサC1に接続されており、本件発明の第2スイッチング素子に相当するMOSFETQ2がオフ状態とされると、同じく第1スイッチング素子に相当するMOSFETQ1及び前記Q2の midpoint の電位が上昇し、コンデンサC1を介してダイオードD1のカソード電位が上昇するものであり、次に、MOSFETQ2がオン状態とされると、この midpoint の電圧が低下し、コンデンサC1は、ダイオードD1から充電されることとなるものと認められる。また、直流電源である+15Vが、ダイオードD1を介して第1のドライブ部のパワー端子に対応するトランジスタQ4のコレクタと、コンデンサC1との間に接続されており、前記のように充電されたコンデンサC1が、MOSFETQ1を駆動する電源として用いられるとともに、同じく直流電源である+15Vが、カスケード接続された2段のバッファにも接続されるものと認められる。

そうすると、引用例発明1では、本件発明の第2スイッチング素子に相当するMOSFETQ2が導通したときに、コンデンサC1に、ダイオードD1を介して充電されるものであり、このコンデンサC1が、本件発明の第1スイッチング素子に相当するFETQ1を駆動するドライブ部の電源として用いられるものであること、本件発明の第2ドライブ部に相当するカスケード接続された2段のバッファに、直流電源部が接続されていることが、いずれも明らかであるから、これを否定する審決の認定(審決書8頁9～15行、8頁20行～9頁1行)は誤りといわなければならない。

被告は、引用例1の図23中に、直流電源「+15V」が4か所付されているが、これらの相互間には配線が施されていないので、これらが全て共通の電源であ

ると断定できる根拠がなく、浮動電源である可能性を否定する記載は見当たらないと主張する。

確かに、引用例発明1の直流電源「+15V」が全て共通の電源であることは明示されていないが、1つの装置に対して同電位に設定され近傍に位置する複数の電源を共通とすることは、通常、極めて容易に行われることであり、引用例発明1においても、その「+15V」の電源を共通にすることは、当業者であれば、必要に応じて適宜に実施できる程度のものにすぎないことが明らかであるから、被告の上記主張を採用する余地はない。

したがって、審決が、上記判断を前提として、引用例発明1に、「本件発明の構成要件・・・『第2ドライブ部の電源端子に直流電源部を接続すると共に・・・直流電源部をダイオードを介して第1ドライブ部のパワー端子とコンデンサとの間に接続し、ダイオードを第2スイッチング素子が導通したときにコンデンサを充電する方向とした』点は記載されていないばかりか示唆もされていない。」（審決書8頁15行～9頁6行）と判断したことも誤りといわなければならない。

3 以上のとおり、審決における本件発明と引用例発明1との対比判断には、少なくとも2か所の誤り（取消事由1、2）があり、これらの誤りが審決の結論に影響を及ぼすことは明らかであるから、審決は取り消しを免れない。

よって、原告の本訴請求は理由があるから、これを認容することとし、訴訟費用の負担につき、行政事件訴訟法7条、民事訴訟法61条を適用して、主文のとおり判決する。

東京高等裁判所第13民事部

裁判長裁判官 田中康久

裁判官 石原直樹

裁判官 清水 節