

平成10年(行ケ)第379号 審決取消請求事件
判 決

原告	株式会社 東芝
代表者代表取締役	【A】
原告	東芝マイクロエレクトロニクス株式会社
代表者代表取締役	【B】
原告ら訴訟代理人弁理士	【C】
弁護士	吉 武 賢 次 神 谷 巖
弁理士	【D】
	【E】
被告	特許庁長官 【F】
指定代理人	【G】
	【H】
	【I】

主 文
原告らの請求を棄却する。
訴訟費用は原告らの負担とする。

事実及び理由

第1 原告らの求めた裁判

「特許庁が平成7年審判第9618号事件について平成10年10月16日にした審決を取り消す。」との判決。

第2 事案の概要

1 特許庁における手続の経緯

原告らは、昭和63年11月15日、名称を「半導体装置」とする発明(本願発明。後に名称を「半導体記憶装置」と補正)について特許出願(特願昭63-288438号)をしたが、平成7年3月3日拒絶査定があったので、同年5月8日審判を請求し(平成7年審判第9618号)、平成8年3月21日出願公告されたが(特公平8-28467号)、特許異議の申立てがあつて、平成10年10月16日「本件審判の請求は、成り立たない。」との審決があり、その謄本は同年11月9日原告らに送達された。

2 本願発明の要旨

一定間隔で形成された複数のワード線を選択するローデコーダと、一定間隔で形成された複数のビット線を選択するカラムデコーダと、前記ワード線およびビット線が格子状に配され、前記ワード線方向に設けられた複数のメモリセルアレイと、前記メモリセルアレイの相互間に設けられ、前記ワード線とこのワード線の延長方向に沿ってワード線上にワード線遅延の軽減のために絶縁膜を介して配された配線とのコンタクト部と、少なくとも、前記コンタクト部と前記メモリセルアレイの規則的なパターン領域に形成された最も端のビット線との間に、前記複数のビット線の間隔と同じ間隔だけ離して形成され、それぞれ電氣的に一定の電位に固定されたダミーパターンとを具備したことを特徴とする半導体記憶装置。

3 審決の理由の要点

(1) 本願発明の要旨

前項のとおりと認める。

(2) 拒絶理由の概要

審判で発見した理由により通知した拒絶理由の概要は次のとおりである。

本願発明は、その出願前に国内において頒布された下記の刊行物に記載された発明に基づいて、その出願前にその発明の属する技術における通常の知識を有する者が、容易に発明をすることができたものと認められるから、特許法29条2項の規定により特許を受けることができない。

引用例1 特開昭63-155493号公報

引用例 2	特開昭 63-224250 号公報
引用例 3	特開昭 61-214559 号公報
引用例 4	特開昭 62-145862 号公報
引用例 5	特開昭 61-194771 号公報

(3) 刊行物記載の発明

引用例 1 には、DRAM に関し、「列デコーダと接続されるビットライン 40 と、行デコーダと接続されるワードライン 50 と、上記ビットラインとワードライン間に接続され情報を記憶するメモリセル 11 と、上記行デコーダと列デコーダのアドレス指定により上記メモリセル 11 に記憶された情報を感知するセンス増幅器 10 とを具備するダイナミックランダムアクセスメモリアレイにおいて、上記ビットライン 40 の最外郭辺の外側に、上記センス増幅器 10 とは接続されないダミービットライン 3 を有することを特徴とするダイナミックランダムアクセスメモリアレイ。」(1 頁左欄 5 行~16 行)、「上記ダミービットライン 3 は所定のバイアス電圧が供給される」(1 頁右欄 1 行~2 行)と記載されている(別紙引用例 1 図面参照)。

そして、「(従来の)メモリセルアレイと周辺回路も同じく近接するようになった。上記のごときビットライン間及び周辺回路とビットラインの近接による半導体メモリ装置の近接効果(Fringing Effect)はビットラインの不均衡によって動作マージンに深刻な影響を与える。特に DRAM のごとき電荷分配(Charging Sharing)によるデータセンシングにおいてはビットラインの不均衡は、データ感知に誤動作を与え得る重要な問題が発生する。」(2 頁左上欄 2 行~11 行)と、「前記メモリセルアレイブロックの回路図を第 2 図に示し、更に詳述する。」(4 頁左上欄 4 行~5 行)と、「かかる構成によれば、ダミービットライン 3 を除く内部のすべてのビットライン 40 は、すべて半導体基板との間で自己の寄生キャパシタンス C_s と隣接したビットラインとの近接効果による寄生キャパシタンス C_f との合成キャパシタンス $C_s + 2C_f$ の値を有するようになる。従って、ダミービットライン 3 と近接した最外郭辺のビットライン 40 も従来のようなキャパシタンス値の不均衡現象がおこらないようになり、最外郭のセンス増幅器 10 も正常動作ができるようになる。なお、メモリセルアレイブロック 2a~2d の最外郭辺に配置されたダミービットライン 3 とメモリセル 11 は、通常のビットライン 40 とメモリセル 11 と同一に製造され、寸法もまた同一であることを留意すべきである。」(4 頁左下欄 1 行~16 行)とそれぞれ記載されている。

引用例 2 には、「半導体基板上に複数個の DRAM メモリセルをマトリクス状に配列したセルアレイブロックを複数有し、このセルアレイブロックをセルピッチ分ずらして配列し、メモリセルのゲート電極を各ブロックで共有して延在させ、この分ずらしたセルアレイブロック間でセンスアンプの対のビット線を配設し、前記ゲート電極上に低抵抗配線によりワードラインを設け、所望数のブロック境界部を飛び越えながら、ブロック境界部で前記ワードラインをゲート電極にコンタクトさせたることを特徴とする半導体記憶装置」(1 頁左欄 5 行~15 行)と、「コンタクト領域を増大させる必要がなく、セルアレイブロックのロウ方向幅が比較的小さく取れつなぎ換え領域の増大やビット線容量の不均衡が解決される。」(2 頁右下欄 10 行~13 行)と、「各セルアレイブロックに共有され連続してゲート電極(6)が配設され(ポリシリコン層)、その上層に A1 のワードライン(7)が設けられている。A1 ワードライン(7)はロウ方向について信号遅延を抑える為、所望間隔、例えば 128 本のビット線毎にゲート電極(6)とスルーホール(8)でコンタクトする。」(3 頁左上欄 8 行~13 行)と記載されている。

引用例 3 には、SRAM に際し「メモリセルの動作特性試験解析の結果、本発明者は、メモリセルアレイの周辺部でメモリセルの欠陥が発生し易いので、SRAM の歩留りが低下するという問題点を見出した。本発明者によれば、この問題点は、以下に述べる原因によって生じると考察している。すなわち、メモリセルが連続的に配置された領域(メモリセルアレイ)と、それを囲むフィールド絶縁膜等のそれ以外の領域との境界部で、前記メモリセルを構成するマスクパターンの連続性が失われる。このため前記境界部における写真蝕刻条件等に変動が生じるので、例えば、MISFET ゲート電極幅、接続孔径がメモリセルアレイの内部と周辺部とで異なる寸法で構成される。」(2 頁左上欄 7 行~20 行)と記載されている。

そして、「1 つ又は複数の半導体素子で構成される単位セルが連続的に複数配置されてなる半導体集積回路装置であって、前記単位セルが連続的に配置された領域

とそれ以外の非連続的な領域との境界部に、前記単位セルと略同一のパターンで構成され、回路動作をしないダミーセルを設けたことを特徴とする半導体集積回路装置。」(1頁左欄4行~10行)と、「前記ダミーセルは、前記境界部となるメモリセルアレイの周辺部の所定の行又は列に配置されてなる。」(1頁左欄20行~右欄2行)と、「5A及び5BはXデコーダであり、メモリセルアレイ3A、3B間及びメモリセルアレイ3C、3D間に設けられている。Xデコーダ5A及び5Bは、メモリセルアレイ3A乃至3Dのそれぞれを行方向に延在する複数のワード線WLと接続するように構成されている。Xデコーダ5A及び5Bは、ワード線選択駆動回路等によって構成されている。6A乃至6DはYデコーダであり、メモリセルアレイ3A乃至3Dのそれぞれの下部に設けられている。Yデコーダ6A乃至6Dは、メモリセルアレイ部3A乃至3Dのそれぞれ列方向に延在する複数の一対のデータ線D、D(以下、DLと称す)と接続するように構成されてる。」(4頁左上欄6行~19行)とそれぞれ記載されている。

引用例4には、ポリシリコンから成るワード線の抵抗を緩和する目的で、アルミニウムの配線を平行に設け任意の箇所でコンタクトして短絡したメモリが記載されている。

そして、「ワード線(WL1)~(WL4)に第2ポリシリコン膜(7)を用い、その上に平行して点線で示すアルミニウムより成る第3の配線層(11)を設けている。メモリセル間には図面上では4セル毎、実際には64セル毎にコンタクト孔(12)を形成するためのスペース(13)を設け、スペース(13)上では第2ポリシリコン膜(7)と第3の配線層(11)のコンタクトを形成するために第2ポリシリコン膜(7)に拡張部(14)を形成している。一方第3の配線層(11)は第2ポリシリコン膜(7)より巾広く形成され、実際には拡張部(14)の巾と同様に形成して加工精度を緩めている。従ってワード線(WL1)~(WL4)はポリシリコンで形成してもアルミニウムより成る第3の配線層(11)で裏打ちをしている。具体的には1024セルを16ヶ所で裏打ちするのでワード線(WL1)~(WL4)の抵抗を1/32に低下できる。」(2頁左下欄18行~同頁右下欄14行)と記載されている。

引用例5には、Xデコーダ3、Yデコーダ4及びメモリセルアレイ2を有する半導体記憶装置において、最も端のワード線WL0の周囲のパターン状態を他のワード線のパターン状態とほぼ同一にするために、追加のワード線11(WLADD1)を設けること、ワード線と追加のワード線は同時に形成すること、追加のワード線には、他の固定電位と同電位にすることが記載されている。

(4) 本願発明と引用例1記載の発明との対比

引用例1記載の発明において、その従来例を示す第4図で隣設したビットラインとの相互キャパシタンス C_f とし、ビットライン夫々の合成キャパシタンスは $C_s + 2C_f$ としており、同じ相互キャパシタンス C_f を有するから、ビットライン間隔は一定であることと認められ、引用例1の第2図においてもビットライン間隔は一定であると認められる。そして、ワード線とビット線は格子状になっており、メモリセルアレイ11は、ワード線方向及びビット線方向に設けられていることは、第2図からも明らかである。

また、第1図に示されるように、メモリセルアレイ2a、2b、2c、2dは上下左右に配置されており、ワード線方向及びビット線方向にそれぞれ複数のメモリセルが設けていると認められ、また、ダミービットラインが設けられた内側のメモリセルアレイの内部は規則的なパターン領域が形成された領域といえる。

そして、ダミービットライン3は所定のバイアス電圧が供給されるので、電氣的に一定の電位に固定されたダミービットラインであるといえ、ダミービットラインは本願発明のダミーパターンに相当する。

してみると、引用例1には、

「複数のワード線を選択するローデコーダと、一定の間隔で形成された複数のビット線とを選択するカラムデコーダと、ワード線及びビット線が格子状に配され、ワード線方向に設けられた複数のメモリセルアレイと、

メモリセルアレイの規則的なパターン領域に形成された最も端のビット線の外側に、複数のビット線の間隔だけ離して形成され、それぞれ電氣的に一定の電位に固定されたダミーパターンと

を具備したことを特徴とする半導体記憶装置」

が記載されており、本願発明と引用例 1 記載の発明とは、この点で一致する。

そして、両者は、次の点で相違する。

① 本願発明は、「前記メモリセルアレイの相互間に設けられ、前記ワード線の延長方向に沿ってワード線上にワード線遅延の軽減のために絶縁膜を介して配された配線とのコンタクト部」を有するのに対して、引用例 1 にはその記載がない点。

② 本願発明は、ダミーパターンが「少なくとも、前記コンタクト部と前記メモリセルアレイの規則的なパターン領域に形成された最も端のビット線との間に」あるのに対して、引用例 1 は、「行デコーダとメモリセルアレイの規則的なパターン領域に形成された最も端のビット線との間に」ある点。

③ 本願発明は、「一定間隔で形成された複数のワード線」であるのに対して、引用例 1 は、ワード線の間隔についての記載はない点。

(5) 相違点についての審決の判断

相違点①について

引用例 2 には、「メモリセルのゲート電極を各ブロックで共有して延在させ、このずらしたセルアレイブロック間でセンスアンプの一对のビット線を配設し、前記ゲート電極上に低抵抗配線によりワードラインを設け、所望数のブロック境界を飛び越えながら、ブロック境界部で前記ワードラインをゲート電極にコンタクトさせた半導体記憶装置」が記載されている。そして、「各セルアレイブロックに共有され連続してゲート電極 (6) が配設され (ポリシリコン層)、その上層に A1 のワードライン (7) が設けられている。A1 ワードライン (7) はロウ方向について信号遅延を抑える為、所望間隔、例えば 128 本のビット線毎にゲート電極 (6) とスルーホール (8) でコンタクトする。」の記載をみると、スルーホールでコンタクトしていることから絶縁膜を介していることは明らかである。

してみると、引用例 2 にはメモリセルアレイ相互間に遅延軽減用の配線とコンタクトを介してワード線を接続する構造は示されており、また、引用例 4 にも、ポリシリコンから成るワード線の抵抗を緩和する目的で、アルミニウムの配線を平行に設け任意の箇所でコンタクトして短絡したメモリが記載されているので、引用例 1 のワード線にワードシャント法といわれる、遅延軽減の配線と接続するコンタクト部をメモリセルアレイの相互間に設けることに格別の工夫を要するとは認められない。

したがって、相違点①は格別のものではない。

相違点②について

引用例 1 のダミービットライン 3 は、メモリセルアレイブロック 2 a、2 c と行デコーダ 6 との間に設けられている。そして、行デコーダは、信号を組み替える働きから、コンタクト孔を有するのが普通の形状である。

また、引用例 4 には、「ワード線 (WL1) ~ (WL4) に第 2 ポリシリコン膜 (7) を用い、その上に平行して点線で示すアルミニウムより成る第 2 の配線層 (11) を設けている。メモリセル間には・・・64 セルごとにコンタクト孔 (12) を形成するためのスペース (13) を設け、スペース (13) 上では第 2 ポリシリコン膜 (7) と第 3 の配線層 (11) のコンタクトを形成するために第 2 ポリシリコン膜 (7) に拡張部 (14) を形成している。」(2 頁左下欄 18 行~右下欄 14 行) と記載されている。そして、コンタクト孔を形成するためのスペースにおいては、メモリセルの規則的なパターンにはなっていないものと認められ、メモリセルに隣接してコンタクト孔を有するものは周知の構造であると認められる。

したがって、規則的なパターン領域の端の外側にある行デコーダにも、コンタクト孔が形成されているものと認められ、ダミーパターンを少なくとも、前記コンタクト部と前記メモリセルアレイの規則的なパターン領域に形成された最も端のビット線との間に形成することは、格別のものではない。そして、そこに設ける効果も、明細書に示されておらず、この相違点は、格別のことではない。

原告らは、上申書において、「ビット線が設けられない余分なスペースにダミーパターンを形成するようにしているので、このダミーパターンを形成することによるチップ面積の増加を防ぐことができます。」と主張しているが、このことは、明細書に記載のないものであるとともに、ダミーパターンを形成する以上、そのためのマージンを必要とし、余分なスペースに形成できるとはいえないので、この主張は採用できない。

相違点③について

メモリセルアレイの中のワード線を一定間隔で形成することは周知の形状であ

り、本願発明において、ワード線を一定間隔とすることは当業者が任意に設計できた事項であると認められ、この相違点に格別のことが認められない。

以上のとおり各相違点は格別のものではなく、それらを総合的にみても、格別のことが認められないので、本願発明は、上記各引用例に記載の発明に基づいて、容易に発明をすることができたものである。

(6) 審決のまとめ

以上のとおりであるから、本願発明は、引用例に記載された各発明に基づいて当業者が容易に発明できたものであるから、特許法29条2項の規定により特許を受けることができない。

第3 原告ら主張の審決取消事由

1 取消事由1（相違点①に対する判断の誤り）

審決は、本願発明と引用例1記載の発明との間の相違点①について、「引用例2にはメモリセルアレイ相互間に遅延軽減用の配線とコンタクトを介してワード線を接続する構造が示されており、また、引用例4にも、ポリシリコンから成るワード線の抵抗を緩和する目的で、アルミニウムの配線を平行に設け任意の箇所でコンタクトして短絡したメモリが記載されているので、引用例1のワード線にコンタクト部をメモリセルアレイの相互間に設けることに格別の工夫を要するとは認められない。したがって、相違点①は格別のものではない」と判断したが、誤りである。

すなわち、引用例1には、メモリセルアレイ相互間にワード線シャントのためのコンタクト部が全く示されていないが、ワード線シャントのためのコンタクト部をメモリセルアレイ2a～2d相互間に設ける場合、引用例1の第1図に示されるように、メモリセルアレイブロック2aと2c又は2bと2dの間には行デコーダ6が存在するため、その位置にワード線シャントのためのコンタクト部を形成することはできない。

したがって、引用例1記載の発明に引用例2及び引用例4記載の発明を単純に組み合わせることはできない。

2 取消事由2（相違点②に対する判断の誤り）

本願発明と引用例1記載の発明との間の相違点②に関してした審決の判断は誤りである。すなわち、ワード線シャントのためのコンタクトを全く示しておらず本願発明の解決する課題を開示・示唆していない引用例1記載の発明と、ダミービット線について全く言及しておらず本願発明の解決する課題を開示・示唆していない引用例4記載の発明とは、相互に全く関係のないものであって、両者を組み合わせることはできない。たとえ両者を組み合わせることができたとしても、本願発明の構成は得られず、その組合せにより、上述したような本願発明の特有の効果を奏することは決してできない。詳細は、以下のとおりである。

(1) 本願発明におけるワード線シャントのためのコンタクト部は、審決でいうコンタクト孔とはその意味及び目的が全く異なる。

すなわち、審決で言及された、行デコーダに普通に設けられるコンタクト孔は、行デコーダを構成するトランジスタのために必要なコンタクト孔の意である。したがって、引用例4記載の発明では、素子領域に対する引出しを行う通常のコンタクト孔を意味し、本願発明のようなワード線シャントのためのコンタクト部、すなわち、ワード線の抵抗値低減の目的で設けられるものではない。

(2) さらに、引用例1記載の発明及び引用例4記載の発明は、本願発明の技術的課題を認識しておらず、本願発明の奏する効果も開示されていない。

すなわち、半導体装置の集積化の向上とともにビット線間隔が縮小されていった。これに対して、ワード線タップのスペースは、合わせずれのマージンを取る必要性等の問題により、ビット線間隔の縮小化に比べると縮小化の割合が小さかった。これにより、従来は問題とならなかったワード線タップ付近におけるビット線不良の発生が大きな問題となること、本願発明の発明者により明らかになった。

具体的には、例えばワード線タップ付近では、ビット線の繰返し部分とは異なってお隣接パターンとの距離が急に広がり、その場所にはエッチング液が溜まりやすくなったり、露光状態が異なったりしてエッチングが進みやすく、配線の細りや断線が生じやすくなった。また、ワード線タップ付近では、配線間容量の違いによるビット線間のアンバランス及びこれに伴う動作不良等を生じやすくなった。

そこで、本願発明は、コンタクトと繰返しパターンであるビット線との間にダミ

一ビット線（ダミーパターン）を配設したことにより、セルアレイ端での配線の細りや断線を防止でき、端のビット線対の配線間容量の違いによるアンバランスをなくすることができるという、各引用例では決して得ることのできない格別の効果を奏することができるのである。

一方、引用例1記載の発明及び引用例4記載の発明においては、このようなセルアレイ端部やワード線のタップ（コンタクト）付近での種々の問題は全く認識されておらず、両引用例には本願発明が解決しようとする課題自体が示されていない。

(3) 被告は、ワード線タップ付近では、配線間容量の違いによるビット線間のアンバランス及びこれに伴う動作不良を生じやすくなったとの点は、明細書に記載されていない事項である旨主張する。

しかしながら、本願明細書には「発明が解決しようとする課題」の欄に「セルアレイ1～5の外周や、ワード線WLのタップ（ワード線のCRによる遅延小さくするため、ポリシリコンのワード線上のAl配線に沿わせて走らせ、これら両配線間で間隔的にコンタクトをとっている部分）付近で集中してビット不良が存在しやすい。また一番端に位置したビット線のみ、他のビット線に比べて細り、ビット線どうしの配線容量が異なるため、端のビット線対のセンスマージンが悪化するなどの問題も生じてくる。」（公告公報2頁3欄12～19行）と記載されており、当該記載から、セルアレイの外周やワード線WLタップ付近においてビット不良が存在しやすいだけでなく、その双方において、端のビット線対のセンスマージンが悪化するなどの問題が生じる旨認識することができる。

また、本願明細書の「ワード線WLのタップ付近でのビット線不良を防ぐだけでなく、端のビット線対での容量のアンバランスによるセンスマージンの悪化を防ぐとともに、カップリングの影響を抑えて、読み出しの誤動作を防止するようにしたものである。」（平成9年4月7日手続補正書2頁25～28行）との記載中、「端のビット線対での容量のアンバランスによるセンスマージンの悪化を防ぐとともに、カップリングの影響を抑えて、読み出しの誤動作を防止するようにしたものである。」との箇所は、繰返しパターン領域から非繰返しパターンとなる部分において生じる問題として総括して記載されているが、発明の効果の欄における「ダミーパターンを設けることにより、従来問題となっているセルアレイ外周やワード線タップ付近などに発生しやすい不良を防止できる。また端のビット線対の配線間容量によるアンバランスをなくすることができる。」との記載（公告公報3頁5欄1～6行）などから、ワード線タップ付近においても生じる問題点の記載と理解することができる。

(4) 被告はまた、「メモリセルが連続的に配置された領域と、それを囲む領域との境界部で、マスクパターンの連続性が失われ、写真蝕刻条件等に変動が生じるといふ問題点は、引用例3にも示されているように、周知のものである。」と主張するが、一般にはただ一つの引用例をもって周知とは認定し得ないはずであり、引用例3に記載のもののみをもって周知とするのは論理の飛躍である。

第4 審決取消事由に対する被告の反論

1 取消事由1について

引用例2の「A1ワードライン(7)はロウ方向について信号遅延を抑える為、所望間隔、例えば128本のビット線毎にゲート電極(6)とスルーホール(8)でコンタクトする。」との記載(3頁左上欄11～13行)、及び、引用例4の「ワード線(WL1)～(WL4)に第2ポリシリコン膜(7)を用い、その上に平行して点線で示すアルミニウムより成る第2の配線層(11)を設けている。メモリセル間には図面上では4セル毎、実際には64セル毎にコンタクト孔(12)を形成するためのスペース(13)を設け、スペース(13)上では第2ポリシリコン膜(7)と第3の配線層(11)のコンタクトを形成するために第2ポリシリコン膜(7)に拡張部(14)を形成している。」との記載(2頁左下欄18行～右下欄7行)を見ても、その効果が奏するような適宜単位で、ワード線の抵抗を軽減するためのコンタクト孔をメモリセルアレイ内に設けている。

したがって、引用例1記載の発明のメモリセルアレイに対して、引用例2又は引用例4記載のメモリセルアレイを適用することは、同じメモリの分野であり、メモリセルアレイ内部をどのようなものにするかの選択であり、当業者が容易にできることであるから、審決が「相違点①は格別でない」と判断した点に誤りはない。

2 取消事由2について

(1) 本願発明において、ワード線のタップ付近の問題については、問題点があることは指摘されているが、具体的にどのような問題なのか本願明細書に明記されていない。「本願発明における『配線とのコンタクト部』と、『行デコーダにあるコンタクト孔』とは、意味及び目的が異なる」旨の原告らの主張は、明細書の記載に基づかないものである。詳細は以下のとおりである。

① 本件公告公報には、「 $\cdot\cdot$ 間隔11に合わせてエッチングした場合、11に比べて12 ($11 < 12$)の方が、ドライエッチング用のガスがたまりやすく、エッチングレートが異なって、斜線部分22がオーバーエッチングとなり、配線212、223が細る。」(3欄25行~29行)と記載されているのみで、原告ら主張の「ワード線タップ(コンタクト)付近」についての記載はない。

② 「ワード線WLのタップ($\cdot\cdot\cdot$ 部分)付近で集中してビット不良が存在しやすい。」点、「一番端に位置したビット線のみ、他のビット線に比べて細り、端のビット線対のセンスマージンが悪化するなどの問題も生じてくる。」点の記載(3欄16~19行)があるのみで、ワード線タップ付近では、配線間容量の違いによるビット線間のアンバランス及びこれに伴う動作不良を生じやすくなったとする原告ら主張の記載はない。

③ コンタクトと繰返しパターンであるビット線との間にダミービット線(ダミーパターン)を配設することが、従来の問題を解決し格別な効果を奏するとの原告ら主張の記載はない。

④ 原告らは、本願発明はコンタクトと繰返しパターンであるビット線との間にダミービット線(ダミーパターン)を配設したことにより、セルアレイ端での配線の細りや断線を防止でき、端のビット線対の配線間容量の違いによるアンバランスをなくすることができるという、各引用例では決して得ることのできない格別の効果を奏することができるとするが、これは、メモリセルアレイの最も端のビット線の外側にダミーパターンを設けたことによる効果であって、コンタクト孔と端のビット線との間に設けた効果であるとは明細書に記載されていない。

(2) 引用例1記載の発明と引用例4記載の発明との組合せの容易性に関して、原告らは、ワード線シャントのためのコンタクト孔を全く示しておらず本願発明の解決する課題を開示・示唆していない引用例1記載の発明と、ダミービット線について全く言及しておらず本願発明の解決する課題を開示・示唆していない引用例4記載の発明とは、相互に関係ないものであって、これらの引用例1記載の発明及び引用例4記載の発明を組み合わせることをできない旨主張する。

しかしながら、引用例1にも、「メモリセルアレイと周辺回路も同じく近接するようになった。上記のごときビットライン間及び周辺回路とビットラインの近接による半導体メモリ装置の近接効果(Fringing Effect)はビットラインの不均衡によって動作マージンに深刻な影響を与える。特にDRAMのごとき電荷分配(Charging Sharing)によるデータセンシングにおいてはビットラインの不均衡は、データ感知に誤動作を与え得る重要な問題が発生する。」(2頁左上欄2~11行)と記載されている。

このことは、本願発明でいう「ビット線どうしの配線容量が異なるため、端のビット線対のセンスマージンが悪化する」との課題と同じである。したがって、引用例1記載の発明も、メモリセルアレイの端部におけるビット線の問題点を認識している。

また、メモリセルが連続的に配置された領域と、それを囲む領域との境界部で、マスクパターンの連続性が失われ、写真蝕刻条件等に変動が生じるという問題点は、引用例3にも示されているように、周知のものである。

さらに、引用例4には、「ポリシリコンから成るワード線の抵抗を緩和する目的で、アルミニウムの配線を平行に設け任意の箇所でコンタクトして短絡したメモリ」が記載され、しかも、メモリセルアレイには、ビット線とワード線があることは良く知られた事実である。そして、そのメモリセルアレイのビット線とワード線をどのように構成するかは、メモリセルアレイの分野で、当業者が考慮すべきものであり、ビット線の不均衡について記載された引用例1に記載のものと、ワード線の抵抗の緩和について記載された引用例4に記載のものを組み合わせて、メモリセルアレイを構成することに何の困難もない。

第5 当裁判所の判断

1 取消事由1について

(1) 引用例1に、審決が認定したとおり、

「複数のワード線を選択するローデコーダと、一定の間隔で形成された複数のビット線とを選択するカラムデコーダと、ワード線及びビット線が格子状に配され、ワード線方向に設けられた複数のメモリセルアレイと、

メモリセルアレイの規則的なパターン領域に形成された最も端のビット線の外側に、複数のビット線の間隔だけ離して形成され、それぞれ電氣的に一定の電位に固定されたダミーパターンと

を具備したことを特徴とする半導体記憶装置」が記載されており、本願発明と引用例 1 記載の発明とはこの点で一致することは、原告らも争っていない。

(2) 原告らは、本願発明と引用例 1 記載の発明との間の相違点①についてした審決の判断が誤りであると主張するので検討するに、甲第 6 号証によれば、引用例 4 の発明の詳細な説明の欄に次のとおりの記載があることが認められる（別紙引用例 4 図面参照）。

「(ハ) 発明が解決しようとする問題点」として、
「斯上した従来の折返しビット線方式のダイナミック RAM では、ワード線の立ち上がりからセンス回路を動作させるまでの時間が長くなり、アクセス時間が遅くなる欠点があった」

「(ニ) 問題点を解決するための手段」として、
「本発明は斯上した欠点に鑑みてなされ、ポリシリコンより成るワード線である第 1 の配線層(7)に平行にアルミニウムの第 3 の配線層(11)を設け、第 1 の配線層(7)と第 3 の配線層(11)を任意の箇所でもコンタクトして短絡することにより、従来の欠点を除去した半導体記憶装置を提供するものである。」

「(ホ) 作用」として、
「本発明に依ればアルミニウムの第 3 の配線層(11)によりワード線の抵抗を大巾に低減でき、折返しビット線方式におけるワード線の遅延を小さくして……」

「(ヘ) 実施例」として、
「ワード線(WL1)～(WL4)に第 2 ポリシリコン膜(7)を用い、その上に平行して点線で示すアルミニウムより成る第 2 の配線層(11)を設けている。メモリセル間には図面上では 4 セル毎、実際には 64 セル毎にコンタクト孔(12)を形成するためのスペース(13)を設け、スペース(13)上では第 2 ポリシリコン膜(7)と第 3 の配線層(11)のコンタクトを形成するために第 2 ポリシリコン膜(7)に拡張部(14)を形成している。」

これらの記載からすると、引用例 4 記載の発明では、ワード線の遅延を小さくするためにワード線シャント用コンタクト孔を任意箇所、すなわち、適宜間隔で設けている点を読み取れる。そして、引用例 1 に記載されたメモリのワード線にも「ワード線の遅延」が生じることは当業者にとっては自明のことと認められるから、遅延除去のために、引用例 4 記載の発明に、コンタクト孔を介するワード線シャントの構成を適用することは、当業者にとっては容易になし得る事項であると認められる。

そして、コンタクト孔の配設位置を、本願発明のようにメモリセルアレイの相互間に限定することによる格別の効果が、本願明細書に記載されているものとは認められないこと（甲第 2、第 3 及び第 9 号証）、このように限定した箇所にコンタクト孔を配設することが技術的に困難であることを認めるべき証拠はないこと、さらに、そもそも、コンタクト孔はワード線の抵抗を小さくするとの目的に合致するよう、適宜配設されればよいものと認められるのであり、これらの点からすると、コンタクト孔の配設位置に関する本願発明の限定は、当業者が必要に応じてなし得る設計的事項であるというべきである。

したがって、本願発明と引用例 1 記載の発明との間の相違点①は格別のものではないとした審決の判断に、原告ら主張の誤りはない。

(3) コンタクト孔配設箇所に関して、原告らは、引用例 1 記載の発明では、メモリセルアレイブロック 2 a と 2 c 又は 2 b と 2 d の間に行デコーダ 6 が存在するため、その位置にワード線シャントのためのコンタクト部を形成することはできない旨主張する。

しかしながら、メモリセルアレイブロック一行デコーダ間距離を、コンタクト孔が配設できる程度の間隔を設け得ない技術上の理由があるものとは認められないから、当該距離は適宜設定し得るものであり、必要に応じてコンタクト部の形成も可能というべきであり、原告らの主張は理由がない。

2 取消事由2について

(1) 原告らは、本願発明と引用例1記載の発明との間の相違点②に関してした審決の判断は誤りであるとし、まず、本願発明におけるワード線シャントのためのコンタクト部は、審決が説示した引用例4に記載されているコンタクト孔とはその意味及び目的が異なる旨主張する。

しかしながら、取消事由1について判断したとおり、引用例4の記載から、ワード線の遅延を小さくするためにワード線シャントのためのコンタクト孔を任意箇所、すなわち、適宜間隔で設けているとの技術的事項が読み取れるのであり、引用例4に記載されたコンタクト孔の意味及び目的は、本願発明における「ワード線遅延の軽減のために絶縁膜を介して配された配線とのコンタクト部」の意味及び目的と異なるものとは認められない。したがって、審決が、このような意味及び目的を有するコンタクト孔をもって、本願発明のコンタクト部と対比した点に誤りはないというべきである。

(2) 原告らは、引用例1記載の発明及び引用例4記載の発明は本願発明の技術的課題を認識しておらず、本願発明の奏する作用効果も開示していない旨主張するので検討するに、甲第2号証によれば、本願発明の技術的課題ないし目的として本願発明細書に次の記載があることが認められる。

発明が解決しようとする課題として、
「上記のような構成において、繰り返しから非繰り返しとなる部分をパターンニングする場合、配線が細ってしまうなどの問題点が生じている。特にデザインルールの厳しいコア部においては、このような現象が起こりやすくセルアレイ1～5の外周や、ワード線WLのタップ（ワード線のCRによる遅延を小さくするため、ポリシリコンのワード線上のAl配線を沿わせて走らせ、これら両配線間で間隔的にコンタクトをとっている部分）付近で集中してビット不良が存在しやすい。また一番端に位置したビット線のみ、他のビット線に比べて細り、ビット線どうしの配線容量が異なるため、端のビット線対のセンスマージンが悪化するなどの問題も生じてくる。」（特許出願公告公報2頁3欄8～19行）、

発明の目的として、
「本発明の目的は、繰り返しパターン領域から非繰り返しパターンとなる部分において、製造装置やプロセスを変えずに、配線の細りやパターン相互の容量のアンバランス等の従来の問題点を改善することにある。」（同35～38行）

(3) 一方、甲第7号証によれば、引用例3に次のとおりの記載があることが認められる。

◇ 発明の詳細な説明の「背景技術」の項の記載として、
「パターンの微細化に伴って、製造歩留は低くなるため、不良ビット、不良行又は不良列を予備エレメントで置換する。所謂、冗長構成が採用されている。」（1頁右下欄18～2頁左上欄1行）

「メモリセルの動作特性試験解析の結果、本発明者は、メモリセルアレイの周辺部でメモリセルの欠陥が発生し易いので、SRAMの歩留りが低下するという問題点を見出した。

本発明者によれば、この問題点は、以下に述べる原因によって生じると考察している。

すなわち、メモリセルが連続的に配置された領域（メモリセルアレイ）と、それを囲むフィールド絶縁膜等のそれ以外の領域との境界部で、前記メモリセルを構成するマスクパターンの連続性が失われる。このため、前記境界部における写真蝕刻条件等に変動が生じるので、例えば、MISFETのゲート電極幅、接続孔径がメモリセルアレイの内部と周辺部とで異なる寸法で構成される。」（2頁左上欄7～20行）

◇ 特許請求の範囲の記載として、
「1つ又は複数の半導体素子で構成される単位セルが連続的に複数配置されてなる半導体集積回路装置であって、前記単位セルが連続的に配置された領域とそれ以外の非連続的な領域との境界部に、前記単位セルと略同一のパターンで構成され、回路動作をしないダミーセルを設けたことを特徴とする半導体集積回路装置。」（特許請求の範囲第1項）

「前記ダミーセルは、前記境界部となるメモリセルアレイの周辺部の所定の行又は列に配置されてなる……半導体集積回路装置。」（特許請求の範囲第4項）

(4) また、甲第8号証によれば、引用例5に次の記載があることが認められる。

「パターンの微細化に伴って、製造の歩留は低くなる。このため、不良ビット、不良行又は不良列を予備エレメントで置換するいわゆる冗長構成が採用されている。

本発明者の研究によれば、最も多く置換される部分は、各メモリセルアレイの端部にあるワード線である。」（1頁右下欄8～14行）

「導出した層間絶縁膜は容易にエッチされる。このため、層間絶縁膜の下にあるワード線がエッチされ、断線等の不良が発生する。

ワード線が断線するような不良は、レジスト膜の特に薄いところで、局所的に発生する。」（2頁右上欄2～7行）

(5) これらの記載からみると、引用例3及び5記載の発明においても、パターンの微細化に伴い、エッチングに起因して、不良ビット、不良行、不良列、断線等が生じることから、ゲート電極幅、接続孔径がメモリセルアレイの内部と周辺部とで異なる寸法で構成させる点は認識されており、本願発明の技術的課題と同様の認識があったことが明らかであり、さらにその解決策として、セルの連続的領域と非連続的領域との境界部に、単位セルと略同一のパターンで構成され、回路動作をしないダミーセル、すなわち、ダミーパターンを配置すること（冗長構成）により製造歩留まりを向上させることも、本願発明と同様の解決手段であり、同様の効果であると認められる。

そして、甲第4号証によれば、引用例1に「セルの大きさはもとよりメモリセルの接続されるビットラインの間隔もますます近接するようになり、メモリセルアレイと周辺回路も同じく接近するようになった。」（1頁右下欄20行～2頁左上欄3行）と記載されていることが認められ、引用例1もパターンの微細化について記載しているが、パターンの微細化に伴い、エッチング等に起因して生じるメモリに関する上記技術的課題は、当業者ならば当然想起するものであるというべきである。

したがって、引用例1及び4は本願発明の技術的課題を全く認識していないとする原告らの主張は、理由がない。

(6) 効果に関してみるに、甲第7号証によれば、引用例3に次の記載があることが認められる。

「1つ又は複数の半導体素子で構成される単位セルが連続的に複数マトリクス状に配置された領域と、それ以外の領域との境界部に、前記単位セルと同一のパターンで構成された回路動作をしないダミーセルを設ける。

これにより、回路動作するメモリセルアレイ端で単位セルの連続性を保持し、写真蝕刻条件等を上記メモリセルアレイ端とメモリセルアレイ中央で均一にできるので、メモリセルアレイ端の単位セルの欠陥の発生を防止し、半導体集積回路装置の歩留まりの低下を抑制することができる。」（2頁右上欄16行～左下欄6行）

そして、本願明細書には、発明が解決しようとする課題の項に「・・・間隔11に合わせてエッチングした場合、11に比べて12（11<12）の方が、ドライエッチング用のガスがたまりやすく、エッチングレートが異なって、斜線部分22がオーバーエッチングとなり、配線212、223が細る。」（甲第2号証3欄25～29行）と記載されていることが認められるが、引用例3に記載の上記目的は本願発明のこの技術的課題問題と同様といえるから、引用例3のダミーセルも、本願発明と同様の効果が生じることとは当然のことと認められることができる。

そして、前記のとおり（1の(1)）、引用例1においては、メモリセルアレイの規則的なパターン領域に形成された最も端のビット線の外側に、複数のビット線の間隔だけ離して形成され、それぞれ電氣的に一定の電位に固定されたダミーパターンの記載があるが、パターンの微細化に伴い、エッチング等に起因して生じるメモリに関して生じる不都合を解消するためのものと理解されるダミーパターンが構成となっている引用例1記載の発明においても、同様のダミーパターンを設けた引用例3記載の発明及び本願発明と同様の作用効果を生じることとは、当業者にとっては明らかな事項と認められる。

したがって、引用例1及び4には本願発明の奏する効果が開示されていないとの原告らの主張は、前記のように広く知られた課題と、及びその解決手段である「ダミーパターン」の存在とを考慮すれば理由がない。

(7) なお、効果に関して、原告らは、本願明細書においては、「ワード線タップ付近では、配線間容量の違いによるビット線間のアンバランス及びこれに伴う動作不良を生じやすくなった」旨の記載があると主張する。

原告らのこの主張は、「動作不良」は「配線間容量の違いに依るビット線間のア

ンバランス」によるもので、それは「ワード線タップ付近」に起因するものであると理解し得るが、甲第2号証によれば、この点に関する本願明細書の記載としては、「また一番端に位置したビット線のみ、他のビット線に比べて細り、ビット線どうしの配線容量が異なる」（2頁3欄16～18行）との部分があるのみであり、配線容量の違いの原因として「ワード線タップ付近」に起因することについての記載は認められない。

(8) したがって、本願発明と引用例1記載の発明との間の相違点②に関してした審決の判断が誤りであるとする原告らの取消事由2も理由がない。

第6 結論

以上のとおり、原告ら主張の審決取消事由は理由がないので、原告らの請求は棄却されるべきである。

(平成11年11月25日口頭弁論終結)

東京高等裁判所第18民事部

裁判長裁判官 永 井 紀 昭

裁判官 塩 月 秀 平

裁判官 市 川 正 巳