

平成17年（行ケ）第10279号事件（東京高裁平成14年（行ケ）第607号）

審決取消請求事件

平成17年3月10日口頭弁論終結

判 決
原 告 三菱電機株式会社
訴訟代理人弁理士 高橋省吾，三井健弘
被 告 特許庁長官 小川洋
指定代理人 川崎優，井関守三，高橋泰史，宮川久成，伊藤三男

主 文
原告の請求を棄却する。
訴訟費用は，原告の負担とする。

事実及び理由

第1 原告の求めた裁判

「特許庁が不服2001-23522号事件について平成14年10月21日にした審決を取り消す。」との判決。

第2 事案の概要

本判決においては，書証等を引用する場合を含め，公用文の用字用語例にしたがって表記を変えた部分がある。

本件は，原告が，特許出願をしたところ，拒絶査定を受け，これを不服として審判請求をしたが，審判請求は成り立たないとの審決がされたため，同審決の取消しを求めた事案である。

1 特許庁における手続の経緯

(1) 本願発明

出願人：三菱電機株式会社（原告）

発明の名称：「半導体記憶装置」

出願番号：平成3年特願第225922号

出願日：平成3年9月5日

(2) 本件手続

手続補正：平成10年6月4日

手続補正：平成13年11月9日

拒絶査定日：平成13年11月27日

審判請求日：平成13年12月28日（不服2001-23522号）

手続補正：平成14年1月23日（以下「本件補正」といい，本件補正後の明細書（甲3）を「本願明細書」という。）

審決日：平成14年10月21日

審決の結論：「本件審判の請求は，成り立たない。」

審決謄本送達日：平成14年11月5日（原告に対し）

2 本願発明の要旨（下線部が本件補正による補正部分。以下「本願発明」という。請求項2以下の記載省略。）

【請求項1】「不揮発性の半導体記憶素子を用いて情報を記憶する記憶部と，上記記憶部にある情報を所定の通信規定に基づいてアクセスする通信制御部と，上記通信制御部とソケットを有する外部装置とを接続する通信信号線とを備える半導体記憶装置であって，上記半導体記憶装置は，上記外部装置の有するソケットに着脱可能な上記通信信号線を外部に形成するパッケージに配置されるときに，上記通信制御部は，上記記憶部の記憶容量が異なる場合でも，上記通信信号線の数を変更することなく同一の通信信号線を用いて上記記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする」

ことを特徴とする半導体記憶装置。

3 審決の理由の要点

(1) 引用例

引用例1：特開昭51-110927号公報（本訴甲4）

引用例2：特開昭59-220861号公報（本訴甲5）

(2) 引用例1に記載された発明

「A. 「本発明は環状バスを介して複数個のプロセッサユニットと複数個のメモリユニットを結合するポリプロセッサシステムに適用されるメモリバス結合方式に関する。」（1頁右下欄6～9行）

B. 「第1図は本発明に基づくポリプロセッサシステムの全体を表わすブロック図である。本図において $M_1, M_2 \dots M_m$ は必要なデータを所定のアドレスに収納する m 個のメモリユニットであり、これら m 個のメモリユニット $M_1, M_2 \dots M_m$ ごとに1つずつ m 個の環状メモリバス $B_1, B_2 \dots B_m$ が接続される。さらに環状メモリバス $B_1, B_2 \dots B_m$ のいずれの1つに対しても結合可能なインターフェース装置 $I_{B1}, I_{B2} \dots I_{Bn}$ を備えた n 個のプロセッサユニット $P_1, P_2 \dots P_n$ があり、所望のメモリユニット（ $M_1, M_2 \dots M_m$ ）に対しメモリバス（ $B_1, B_2 \dots B_m$ ）を介してデータの読出し又は書込みを行なう。なお、 $I_{M1}, I_{M2} \dots I_{Mm}$ はメモリユニット側インターフェース、 $I_{P1}, I_{P2} \dots I_{Pn}$ はプロセッサユニット側インターフェースであり詳しい構成については後述する。本図の環状メモリバス $B_1, B_2 \dots B_m$ には、本発明により規定されるビット構成の転送情報が単一方向（例えば図中の右廻りのみ）に直列伝送される。この転送情報は1つのメモリバス内に1つだけ存在しかつ該メモリバスを巡回する。」（2頁左下欄18行～右下欄18行、及び第1図参照）

C. 「第2図は本発明により規定されるビット構成の転送情報を模式的に示すフォーマットである。ただし、各メモリバス（ $B_1, B_2 \dots B_m$ ）は情報用信号線とビットクロック線の対からなり、該ビットクロック線 CL 上のビットクロックに同期して前記転送情報は情報用信号線上を走る。第2図において情報用信号線 IM を走る転送情報は、リンクビット L 、確認ビット H 、リード／ライトビット R/W 、アクセスしたメモリユニットのどのアドレスをアクセスするかを指示するアドレスビット AD 、転送すべきデータ情報を収納するデータビット DT 及び誤り検査用のパリティビット P からなる。」（2頁右下欄19行～3頁左上欄11行、及び第2図参照）

D. 「第6図のメモリユニット側インターフェースを第4図の動作シーケンスに従って説明する。信号線 71 及び 72 を介しメモリバス B_1 上を走る転送情報のうちリンクビット L を制御回路 73 において監視し、もしこれが“1”であればいずれかのプロセッサユニットよりアクセス要求があることを知る（第4図(1)）。信号線 74 を介してリード／ライトビット R/W よりアクセス要求が読出しであるか書込みであるかを判断し、さらにメモリ素子 75 のどのアドレスをアクセスすべきか転送情報のアドレスビット AD から読み取る（第4図(2)）。もしアクセス要求が読出しであれば（第4図(3)のNO）対応するアドレスを信号線 76 を介してメモリアクセスし（第4図(5)）、読出したデータをシフトレジスタ 77 にセットする。このシフトレジスタ 77 へのデータのセットは、信号線 $78'$ を介し、パラレルインクロックにより、同時に（並列に）行なわれる。このとき、確認ビット H もシフトレジスタ 77 に“1”にセットし（第4図(6)）、後にデータの読出しが終了したことを今アクセス要求しているプロセッサユニットに知らせる。」（5頁左上欄2行～右上欄2行、及び第4、6図参照）

上記B. の記載、及び第1図を参照すると、各メモリユニット $M_1, M_2 \dots M_m$ に対応してメモリユニット側インターフェース $I_{M1}, I_{M2} \dots I_{Mm}$ がそれぞれ設けられており、メモリユニット及びメモリユニット側インターフェースよりなる一対の構成により、1つの記憶装置を構成しているといえることができる。

さらに、上記D. の記載、及び第6図を参照すると、メモリユニット側インターフェースには、プロセッサユニット $P_1, P_2 \dots P_n$ との間で信号をやりとりする情報用信号線 IM 及びビットクロック線 CL が接続されており、メモリユニット及びメモリユニット側インターフェースよりなる記憶装置は、情報用信号線 IM 及びビットクロック線 CL よりなる通信信号線を備えているといえることができる。

また、上記B. の記載、及び第1図において、プロセッサユニット $P_1, P_2 \dots P_n$ 、プロセッサユニット側インターフェース $I_{P1}, I_{P2} \dots I_{Pn}$ 、インターフェース装置 $I_{B1}, I_{B2} \dots I_{Bn}$ よりなる構成部分は、メモリユニット及びメモリユニット側インターフェースよりなる記憶装置に対しては、外部装置であるといえることができる。

さらに、上記C. 及びD. の記載を参照すると、情報用信号線上を走る転送情報は、アクセスしたメモリユニットのどのアドレスをアクセスするかを指示するアド

レスビットADを含むものであり、また、メモリユニット側インターフェースは、メモリ素子75のどのアドレスをアクセスすべきかを転送情報のアドレスビットADから読み取って、メモリ素子75のアクセスを行っているから、「メモリユニット側インターフェース I_{M1} , $I_{M2}\cdots I_{Mm}$ 」は、「メモリユニット M_1 , $M_2\cdots M_m$ にあるデータを所定の転送情報によりアクセスする」ものであるということができ、「転送情報」は、「通信信号線を用いて、アドレスの指定が可能なフォーマットを有する」ものであるということができる。

よって、上記A.～D.の記載事項、及び第1, 2, 4, 6図を参照すると、引用例1には、次の発明（以下、「引用例1記載の発明」という。）が記載されていると認められる。

メモリ素子75を用いてデータを記憶するメモリユニット M_1 , $M_2\cdots M_m$ と、
上記メモリユニット M_1 , $M_2\cdots M_m$ にあるデータを所定の転送情報によりアクセスするメモリユニット側インターフェース I_{M1} , $I_{M2}\cdots I_{Mm}$ と、
上記メモリユニット側インターフェース I_{M1} , $I_{M2}\cdots I_{Mm}$ と外部装置とを接続する通信信号線と
を備える記憶装置であって、
上記メモリユニット側インターフェース I_{M1} , $I_{M2}\cdots I_{Mm}$ は、上記通信信号線を用いて、アドレスの指定が可能なフォーマットを有する転送情報によりメモリユニット M_1 , $M_2\cdots M_m$ をアクセスする記憶装置。」

(3) 引用例2に記載された発明

「第1図に典型的なパーソナルコンピュータの構成の一例を示す。CPU(1)からはアドレスバスや（原文に「アドレスバスエ」とあるのは誤記と認められる。）データバスそして制御バスを含むシステムバス(8)が接続されている。…（中略）…ROMソケット(4)は…（中略）…ROMパック(5)を差込むためのソケットである。…（中略）…なお、第1図の点線内はパーソナルコンピュータの筐体を示す。」

（1頁左下欄20行～右下欄19行、及び第1図参照）

上記記載事項及び第1図を参照すると、次の事項が本件出願前周知事項であったということができる。

パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすること。」

(4) 引用発明と本願発明の対比

「本願発明と引用例1記載の発明とは、
記憶素子を用いて情報を記憶する記憶部と、
上記記憶部にある情報を所定の通信規定に基づいてアクセスする通信制御部と、
上記通信制御部と外部装置とを接続する通信信号線と
を備える記憶装置であって、
上記通信制御部は、上記通信信号線を用いてアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする記憶装置
である点で一致し、次の各点が相違する。

相違点(1)：本願発明においては、「記憶素子」が「不揮発性の半導体記憶素子」であり、「記憶装置」が「半導体記憶装置」であるのに対し、引用例1記載の発明においては、「メモリ素子75」が不揮発性の半導体記憶素子であるとはされておらず、「記憶装置」が「半導体記憶装置」であるかどうか明らかな点。

相違点(2)：本願発明は、「外部装置」がソケットを有するものであり、「外部装置の有するソケットに着脱可能な通信信号線を外部に形成するパッケージに配置される」半導体記憶装置であるのに対し、引用例1記載の発明はそのようなものでない点。

相違点(3)：「通信制御部」が、本願発明においては、「記憶部の記憶容量が異なる場合でも、通信信号線の数を変更することなく同一の通信信号線を用いて上記記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする」ものであるのに対し、引用例1記載の発明においては、「通信信号線を用いて、アドレスの指定が可能なフォーマットを有する転送情報によりメモリユニット M_1 , $M_2\cdots M_m$ をアクセスする」ものであるが、記憶部の記憶容量が異なる場合にどのように対処するものであるか明らかな点。」

(5) 相違点についての判断

「[相違点(1)について]

記憶装置において、EEPROM等の不揮発性の半導体記憶素子を用いることは、本件出願前広く一般的に行われていることにすぎず、その場合、記憶装置を半

導体記憶装置と称することも、ごく普通になされることにすぎないから、相違点(1)が格別なこととは認められない。

〔相違点(2)について〕

上記引用例2に示されるように、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすることは、本件出願前周知事項にすぎないから、引用例1記載の発明において、外部装置をソケットを有するものとし、外部装置の有するソケットに着脱可能な通信信号線を外部に形成するパッケージに配置される記憶装置とすることは、当業者が適宜に設計できる事項であるものと認められる。

〔相違点(3)について〕

引用例1記載の発明において、引用例1の上記C.の記載及び第2図から明らかのように、引用例1記載の発明における「転送情報」は、アドレスビットADを含むフォーマットを有するものである。そして、この転送情報は、情報用信号線IMを通じてメモリユニット側インターフェースに入力されるものである。

ここで、上記「転送情報」は、アドレスビットADによりメモリユニットのアドレスの指定を可能としているものであり、該アドレスビットADをメモリユニットの記憶容量に合わせたビット構成とすることは、当然のことである。

そして、メモリの記憶容量が次第に増加していくことは技術の趨勢であるから、転送情報のフォーマットとして、上記アドレスビットADを将来のメモリユニットの記憶容量の増加を見込んだ余裕を持ったビット構成とするようなフォーマットを採用するようにすることは、当業者が適宜になし得ることにすぎないものと認められる。

また、引用例1記載の発明において、上記転送情報は、シリアルデータとしてメモリユニット側インターフェースに入力されるものであるから、上記アドレスビットADを余裕を持ったビット構成としたからといって、転送情報がシリアルデータである限り、情報用信号線IMの数を増やす必要がないことは、当業者にとって明らかである。

よって、引用例1記載の発明において、通信制御部を、「記憶部の記憶容量が異なる場合でも、通信信号線の数を変更することなく同一の通信信号線を用いて上記記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする」ものとするとは、当業者が適宜に設計できる事項にすぎないものと認められる。

そして、本願発明の構成によってもたらされる効果も、引用例1記載の発明及び上記周知事項から当業者ならば容易に予測することができる程度のものであって、格別のものとはいえない。」

(6) 結論

「したがって、本願発明は、引用例1記載の発明及び上記周知事項に基づいて、当業者が容易に発明をすることができたものであるので、特許法29条2項の規定により特許を受けることができない。」

第3 原告の主張の要点

審決は、相違点についての判断を誤り、本願発明の予期し得ない顕著な作用効果を看過した結果、当業者が本願発明を容易に想到し得ると誤って判断したものであり、違法であるから取り消されるべきである。

1 取消事由1（相違点(2)の判断の誤り）

(1) 引用例2に記載された技術内容の認定判断の誤り

審決は、引用例2に基づき、「パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすること」が本件出願前に周知の事項であったとしている。

しかしながら、引用例2の第1図に記載されたROMパック5には、本願発明の「記憶部」に対応するROMが設けられているにすぎず、「通信制御部」は設けられていないのであるから、引用例2の記載事項から認定できるのは、「通信制御部」と「記憶部」を含めてパッケージ化することではなく、「記憶部」のみをパッケージ化し、このパッケージ化された「記憶部」を外部装置の有するソケットに着脱可能とすることにすぎない。

これに対し、本願発明の特徴は、パッケージ化された半導体記憶装置に「通信制御部」を設けたことにあり、本願発明に係る半導体記憶装置は、「記憶部」のみならず「通信制御部」をも有する。本願発明において、「記憶部」だけではなく「通信制御部」をパッケージ化された半導体記憶装置に設けているのは、「異なった容

量の記憶装置に取り替える場合でも、ハードウェアの改修なしに置き換えることができる記憶装置を得る」(本願明細書の段落【0010】)ためであるが、かかる技術課題は、引用例2には示されていない。

したがって、引用例2に基づき、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすることが周知事項であったということはできない。

(2) 引用例1に記載された発明に関する認定判断の誤り

審決は、引用例1は、「メモリユニット及びメモリユニット側インターフェースよりなる一対の構成により、1つの記憶装置を構成して」おり、「プロセッサユニット…プロセッサユニット側インターフェース…及びインターフェース装置…よりなる構成部分は、メモリユニット及びメモリユニット側インターフェースよりなる記憶装置に対しては、外部装置であるということが出来る。」と認定している。

しかしながら、そもそも、引用例1には本願発明の通信制御部が開示されていない上、引用例1は、通常1つの計算機の筐体内に納められる共通母線バス方式システム等の課題を解決するための技術であり、その第1図から明らかなように、メモリユニット、メモリユニット側インターフェース、プロセッサユニット及びプロセッサユニット側インターフェースのそれぞれが環状メモリバスで接続されている。したがって、引用例1のポリプロセッサシステムは、その第1図に記載された全体が1つの筐体内に納められたシステムであると考えるのが自然である。しかも、引用例1には、メモリユニット、あるいはメモリユニットとメモリユニット側インターフェースを組み合わせたものを、装置本体から切り離すことが可能であるとの記載や示唆はない。被告は、引用例2記載のパソコン等の外部装置に着脱可能に用いられる付加的な周辺装置であるメモリパックと、引用例1記載のポリプロセッサシステムの装置本体を構成する主用部品であるメモリユニット側インターフェースとを同一視し、当該メモリユニットとメモリユニット側インターフェースを装置本体から当然のように着脱可能に分離できると主張するが、失当である。

(3) 引用例1及び2に記載された発明の組合せの困難性

審決は、相違点(2)の構成に関し、「上記引用例2に示されるように、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすることは、本件出願前周知事項にすぎないから、引用例1記載の発明において、外部装置をソケットを有するものとし、外部装置の有するソケットに着脱可能な通信信号線を外部に形成するパッケージに配置される記憶装置とすることは、当業者が適宜に設計できる事項であるものと認められる」としている。

ア しかしながら、引用例2に記載されているのは、記憶部をパッケージ化することにすぎないのであるから、引用例1記載の発明に引用例2記載の発明を適用したとしても、引用例1のメモリユニットをパッケージ化するにとどまることは、上記(1)のとおりである。また、引用例1には、メモリユニット、あるいはメモリユニットとメモリユニット側インターフェースを組み合わせたものを装置本体から切り離すことが可能であるとの記載や示唆がないことは、上記(2)のとおりである。

イ 仮に、引用例1記載の発明の構成を、本願発明と同様、外部装置がソケットを有し、当該ソケットに着脱可能な通信信号線を外部に形成するパッケージに半導体記憶装置が配置される構成に変更したとしても、引用例1記載のシステムは機能しない。

すなわち、引用例1記載の発明では、転送情報が常にメモリバスを巡回しており、プロセッサユニットは、転送情報内のリンクビットLが“0”となるのを監視し、リンクビットLが“0”となるのを検知した時点で、メモリユニットへのアクセス権限を持つ。他方、メモリユニットは常に転送情報のリンクビットLを監視しており、リンクビットLが“1”であることを検知したときに、指令を実行する。要するに、引用例1記載のシステムは、転送情報が常に環状のメモリバス上を巡回することによって初めて機能する。メモリユニット、メモリユニット側インターフェース及びメモリバスからなる記憶装置を、プロセッサユニット、プロセッサユニット側インターフェース及びインターフェース装置からなる外部装置から取り外した場合には、システムを成立させるために必須の転送情報が環状のメモリバス上を巡回し得なくなる。プロセッサユニットは、転送情報のリンクビットLを監視し続けることになり、引用例1の第3図におけるフローチャートのステップ③(「Lビット監視捕捉したか?」)で無限にループすることになる。そのため、プロセッサはハングアップし、引用例1のシステムは機能しなくなる。

また、引用例1記載の発明では、メモリユニット側インターフェースはビットク

ロック発生器79を有しており、このビットクロック発生器79から、メモリバスのビットクロック線C1を介して、プロセッサユニットにビットクロックが供給されている。メモリユニット及びメモリユニット側インターフェースからなる記憶装置を外部装置のソケットから取り外した場合には、メモリユニット側インターフェースのビットクロック発生回路79から出力されたビットクロックがプロセッサユニットに供給されなくなるので、プロセッサユニットが動作し得なくなる。

このように、引用例1記載のシステムを本願発明のように変更した場合には、不具合が生じるのであるから、当業者が、引用例1記載の発明において、外部装置をソケットを有するものとし、外部装置の有するソケットに着脱可能な通信信号線を外部に形成するパッケージに配置される記憶装置とすることはあり得ない。

ウ 引用例1及び2には、引用例1記載の発明に引用例2に記載の技術を適用する動機付けとなる記載を見いだすことはできない。

引用例2記載の発明は、1つのシステムバス8に、CPU1、ROM2等が接続される、いわゆる共通母線バス方式を採用し、共通母線バスとしてのシステムバス8をソケット化した技術である。これに対し、引用例1記載の発明が採用しているのは、共通母線バス方式を使用しない全く異なるメモリバス結合方式に関する技術である。このように、引用例1記載の発明と引用例2記載の発明とは、全く異なるバス結合方式を採用しているのであるから、当業者が、引用例1記載の発明に引用例2記載の発明を適用するとは考えられない。ましてや、引用例1は「この方式では…種々の不都合な問題を有している」（甲4の2頁左上欄9～19行）と記載しているように、共通母線バス方式を否定しているから、当業者は、共通母線バス方式を前提とする引用例2記載の発明を引用例1記載の発明に適用するはずがない。

引用例1記載の発明と引用例2記載の発明では、技術的課題及び機能も異なっている。すなわち、引用例1記載の発明は、「①バス制御を不要としてハードウェアを簡素化し、かつ、そのハードウェアの量を縮小し、②並列メモリアクセスを可能とし、③結合のための制御を簡易にし、④信頼性を増大させることを可能とする」（甲4の2頁右上欄15～19行）ことを技術的課題とし、この課題を解決するために、メモリユニットごとに接続した環状メモリバスに転送情報を巡回させるメモリバス結合方式を用いている。これに対し、引用例2記載の発明は、「ROMパック上のプログラムの必要性に応じ、同一ROMパック内にダイナミックRAMメモリを並設でき、ROMパックのソケットにはROM及びダイナミックRAMメモリ駆動用の信号を用意した構成を持つこと」（甲5の2頁左上欄17行～右上欄1行）を技術的課題とし、「同一ROMパック内にダイナミックRAMメモリを並設でき、ROMパックのソケットにはROM及びダイナミックRAMメモリ駆動用の信号を用意した」（甲5の1頁左欄8～11行）ものである。このように、引用例1及び2記載の発明は、その技術的課題及び機能において全く異なっている。

以上のとおり、引用例1記載の発明と引用例2記載の発明とは技術分野及び方式、技術的課題及び機能のすべてが異なっているから、引用例1記載の発明に引用例2記載の発明を適用する動機付けは存在しない。

2 取消事由2（相違点(3)の判断の誤り）

審決は、「メモリの記憶容量が次第に増加していくことが技術の趨勢である」という理由から、「上記アドレスビットADを将来のメモリユニットの記憶容量の増加を見込んだ余裕を持ったビット構成とするようなフォーマットを採用するようにすることは、当業者が適宜になし得る」と結論付けている。しかしながら、以下のとおり、審決の論理には飛躍があり、その結論を根拠付ける資料も示されていない。

(1) 被告は、本訴において、特開平1-182992号公報（乙1）及び特開昭58-192154号公報（乙3）を提出する。しかし、乙1及び3記載の技術は、発明者によって認識された課題あるいは発明の実施の形態として記載されたものであり、周知技術として記載されたものではないから、公知ではあっても周知ではない。また、乙1には、引用例1及び2に全く記載のない新たな事項が含まれるが、原告は、審判段階で新たな拒絶理由の通知を受け、意見書又は補正書を提出する機会を与えられていない。

(2) 仮に、乙1及び3記載の技術が周知であるとしても、乙1及び3には、異なる記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定についての記載はないのであるから、乙1及び3に基づいて、相違点(3)に係る構成を想到することが容易であるとはいえない。

これを、乙1に基づいて説明するならば、乙1には、増大した現在のメモリ容量

に合わせてシフトレジスタの段数を増加させることが開示されているにすぎず、信号線の数を変えないで記憶容量の増加に対応することは可能であるとしても、記憶容量の増加前に用いられるフォーマットでは増加後の記憶容量には対応することはできない。つまり、乙1の通信フォーマットには特に工夫が加えられていないため、異なる記憶容量に対応するアドレスの指定は不可能である。例えば、乙1記載の発明においては、現在の記憶容量が64キロバイトの場合には、この記憶容量の記憶装置のアドレスをアクセスするために必要な2バイトをアドレス23に割り当ててのものと考えられるが、2バイトのアドレス長を持った現在の通信規定では、その後、128キロバイトや16メガバイトの記憶容量を持った記憶部を備えた記憶装置が登場しても、もはやアドレス指定を行うことができず、記憶装置を置き換えることはできないのである。

他方、本願発明は「記憶部の記憶容量が異なる場合でも、…上記記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする」（本願発明の特許請求の範囲請求項1）通信制御部を備えるものである。本願発明は、単に、記憶容量が異なる場合に、通信信号線の数を変更することなくアドレス情報を供給する通信規定にとどまるものではなく、異なる記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定を使用する点に特徴を有し、乙1に記載された技術から一歩進んだものである。例えば、本願発明の記憶装置では、現在の記憶容量を64キロバイトとすると、必要なアドレス長は2バイトとなるが、アドレス長を将来のメモリユニットの記憶容量の増加を見込んだ余裕を持ったビット構成（3バイト）にしているため、64キロバイトから最大16メガバイトまでの異なる記憶容量の記憶装置に対しても、アドレスの指定が可能になる。乙1及び3にはそのような通信規定に基づいて記憶部をアクセスする通信制御部に関する記載も示唆もないのであって、乙1及び3記載の発明に基づいて、本願発明に係る構成が当然に導き出させるものではない。

(3) 乙3にいう「記憶容量の増加」は、本願発明にいう「記憶容量の増加」とは意味が異なるのであるから、乙3記載の技術に基づいて、相違点(3)に係る本願発明の構成を適宜採用し得たとはいえない。

すなわち、乙3記載の発明のメモリ装置としては、その第1図に示されている第1のRAM4又は第2のRAM5として示された広義のメモリ装置と、この広義のメモリ装置RAM4又はRAM5の内部装置として第2図に示されている狭義のメモリ装置であるRAM20とが存在する。乙3記載の発明は、記憶容量が増加してもCPUとの接続ライン数が増加しないメモリ装置を提供することを目的とするものであるが、乙3にいう記憶容量の増加とは、広義のメモリ装置であるRAM4、5の個数が増え、第3のRAM、第4のRAMを追加し得ることを意味しており、RAM20の記憶容量が増加する場合を意味するものではない。これに対し、本願発明では、パッケージ化された単体の記憶装置を対象とするものであり、その単体の記憶装置内部の記憶部の記憶容量の増加を問題としているのであるから、乙3でいうRAM20の記憶容量の増加を問題としている。したがって、乙3記載の発明に接した当業者が、本願発明のように、単体の記憶装置内部の記憶部の記憶容量を増加させる技術を容易に想到し得たとは考えられない。

3 取消事由3（予期し得ない顕著な作用効果の看過）

審決は、「本願発明の構成によってもたらされる効果も、引用例1記載の発明及び上記周知事項から当業者ならば容易に予測することができる程度のものであって、格別なものとはいえない」と判断した。しかしながら、引用例1記載の発明に引用例2記載の発明を適用した場合でも、本願発明のような構成及び機能を有さないことは、上記のとおりである。したがって、引用例1記載の発明に引用例2記載の発明を適用したとしても、本願発明の持つ作用効果を奏することはない。

第4 被告の主張の要点

本願発明は、引用例1記載の発明及び周知技術に基づいて、当業者が容易に発明することができたものであるとの審決の判断には誤りはない。

1 取消事由1（相違点(2)の判断の誤り）に対して

(1) 引用例2に記載された技術内容の認定判断

原告は、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすることが本件出願前に周知であったとの審決の認定は誤りであると主張する。

しかしながら、審決が引用例2を提示したのは、引用例1記載の発明において、

外部装置とメモリユニット及びメモリユニット側インターフェースよりなる構成の接続をソケットによって着脱可能な構成とすることが、単なる設計事項であることを示すに当たり、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすることが周知技術であることを明らかにするためである。

一般的に、引用例記載の発明において周知技術として広く知られている事項が適用可能であるかどうかは、引用例の記載内容及び周知技術として導き出された技術事項並びに当業者の技術常識によって決まる。本願発明の通信制御部が引用例2の半導体記憶装置に備えられているかどうか、あるいは、異なった容量の記憶装置に取り替える場合でも、アドレス線の増設などのハードウェアの改修を不要にするなどの技術的課題が引用例2に示されているかどうかは、上記周知技術の認定とは関係のない事項である。

(2) 引用例1に記載された発明に関する認定判断

原告は、引用例1のポリプロセッサシステムは、その全体が1つの筐体内に納められたシステムであると考えるのが自然であり、メモリユニット、あるいはメモリユニットとメモリユニット側インターフェースを組み合わせたものを装置本体から切り離すことが可能であるとは、引用例1に記載も示唆もされていないと主張する。

しかしながら、引用例1の第1図をみれば、当業者であれば、メモリユニットとメモリユニット側インターフェースよりなる一対の構成により1つの記憶装置が構成されていることを当然に理解できるはずである。すなわち、1つの記憶装置を構成するに当たっては、メモリユニットとメモリユニット側インターフェースは一体のものであって、引用例1記載の発明において、「パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とする」という周知技術を適用するに当たっては、引用例1記載の発明におけるメモリユニットとメモリユニット側インターフェースは一体のものとして考えなければならない。原告は、引用例1の第1図におけるメモリユニットとメモリユニット側インターフェースを切り離して考えているが、これは引用例2の第1図に記載されるROMパック5に含まれるROMだけを取り出し、ROMパック内に当然に存在する配線やROMパック用の端子の存在などを一切無視することと同様である。

また、原告は、そもそも、引用例1には本願発明の通信制御部が開示されていないと主張する。しかしながら、本願発明における「通信制御部」と引用例1記載の発明における「メモリユニット側インターフェース」とは対応する構成であり、審決は、両者の相違点を相違点(3)として認定した上で検討しているのであるから、原告の主張は失当である。

(3) 引用例1及び2に記載された発明の組合せの困難性

ア 原告は、引用例2に記載されているのは、記憶部をパッケージ化することにより、引用例1には、メモリユニット、あるいはメモリユニットとメモリユニット側インターフェースを組み合わせたものを装置本体から切り離すことが可能であるとは記載されていないから、引用例2記載の発明を引用例1記載の発明に適用することはできないと主張する。しかしながら、原告の上記主張がいずれも失当であることは上記(1)(2)のとおりである。

引用例1記載の発明は、メモリユニットとメモリユニット側インターフェースからなる記憶装置を、記憶装置から見たときの外部装置と接続するものであり、引用例2記載の発明も、引用例1記載の発明同様に、パッケージ化された半導体記憶装置を、記憶装置から見た外部装置に接続するものである。したがって、当業者であれば、引用例2記載の発明に含まれる技術思想を引用例1記載の発明に適用し、引用例1のメモリユニット及びメモリユニット側インターフェースからなる一つの記憶装置をパッケージ化して、外部装置の有するソケットに着脱可能とすることは、適宜に設計できる事項である。

イ 原告は、引用例1記載の発明においてメモリユニット、メモリユニット側インターフェース及びメモリバスからなる記憶装置を、プロセッサユニット、プロセッサユニット側インターフェース及びインターフェース装置からなる外部装置から取り外した場合には、プロセッサユニットは機能しなくなると主張する。

しかしながら、そもそも記憶装置を取り外した状態でプロセッサがメモリアクセスを行う場合にエラーになるのは当然であり、このことは、引用例1のメモリユニット及びメモリユニット側インターフェースよりなる一対の構成要素により構成される一つの記憶装置をパッケージ化して、外部装置の有するソケットに着脱可能となることを否定する根拠とはならない。また、原告の指摘するビットクロックは、

プロセッサからメモリアクセスを行う場合には重要な役割を果たすものであるが、プロセッサユニットの動作自体、すなわちプロセッサの命令実行に関するものではなく、プロセッサユニットが動作し得なくなることはないのであって、上記のような主張はやはり失当である。

ウ 原告は、引用例 1 記載の発明に引用例 2 に記載の技術を適用する動機付けがないと主張するが、以下のとおり、失当である。

原告は引用例 1 及び 2 記載のバス結合方式の相違点を指摘するが、バス方式の違いは、記憶装置の構成の違いと関係するものではない。すなわち、引用例 1 記載の記憶装置において「パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とする」という周知技術の適用可能性を考察するに当たり、バス方式の差異は関係のない事項であり、この点をもって引用例 2 記載の周知技術の引用例 1 記載の発明への適用可能性を考察することは誤りである。

また、原告は、引用例 1 に記載された技術的課題と引用例 2 に記載された技術的課題の相違をもって、引用例 2 記載の周知技術の引用例 1 記載の発明への適用可能性を否定するが、いずれもコンピュータの記憶装置として用いられる半導体記憶装置という技術的共通点を有するものであり、引用例 2 に示される周知技術を引用例 1 記載の発明に適用することを妨げるような特段の技術的阻害要因も存在しない。

2 取消事由 2（相違点(3)の判断の誤り）に対して

(1) 原告は、乙 1 及び 3 記載の技術は、公知ではあるが、周知ではないと主張する。しかしながら、乙 1 及び 3 記載の技術が本件出願時点において周知であるかどうかということと、乙 1 及び 3 の発明者がこれらの技術を周知技術として記載したかどうかは全く関係のない事項である。乙 1 及び 3 には、メモリの記憶容量が増えた場合でも通信信号線の数を変更することなくアドレス情報の供給を可能とする技術が示されており、本件出願当時、この技術的事項は周知であったと認めることができる。

(2) 原告は、乙 1 は、増大した現在のメモリ容量に合わせてシフトレジスタの段数を増加させることを示しているにすぎず、本願発明のように異なる記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いるものではないのであるから、将来のメモリ容量の増大を見越してあらかじめ余裕を持ったビット構成を採用するには新たな着想が必要であると主張する。

そこで、検討するに、本願明細書には、「この通信規約において、将来実現可能な記憶容量より十分に大きいアドレスの指定が可能なものとし、実際に記憶装置が存在するアドレスにおいてその動作が可能な通信規約にすることにより、異なる容量の記憶装置に対しても同一のハードウェアで対応できる。」（段落【0028】）、「たとえば、アドレス 23 に 2 バイトの長さを割りあてると、最大 64 キロバイトまでのアクセスが可能である。また、3 バイトの長さを割りあてると、最大 16 メガバイトまでのアクセスが可能である。」（段落【0029】）との記載がある。

ところで、現在の記憶容量よりも十分に大きなアドレス長を用いてアドレスの指定をする場合であっても、そのアドレスよりもさらに大きな記憶容量を持ったメモリのすべての領域のアドレス指定をすることは不可能である。例えば、アドレスに 2 バイトの長さを割り当ててアドレスの指定をする場合（この場合には最大 64 キロバイトまでのアクセスが可能である）、128 キロバイトのメモリを接続したのでは、この 128 キロバイトのすべてのメモリ領域に対するアドレスの指定は不可能である。

そうすると、本願明細書の特許請求の範囲請求項 1 の「記憶部の記憶容量が異なる場合でも、上記通信信号線の数を変更することなく同一の通信信号線を用いて上記記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする」とは、一定の長さをアドレスを指定するために割り当てた通信フォーマットによって記憶部をアクセスする場合に、一定の長さのアドレスでアクセス可能な記憶容量の範囲内においてのみ、記憶容量が異なる場合であっても記憶容量に対応するアドレスの指定が可能であるということの意味するものである。原告が主張するように、通信信号線の数を変更することなくアドレス情報を供給するために特に適した、特定の通信規定を意味するとは理解できない。

他方、乙 1 には「外部から直列で供給されたアドレスデータをシフトレジスタで並列に変換してメモリ回路に供給するようにしたので、メモリ容量の増大に対してはシフトレジスタの段数を増加させることで対応でき、外部端子を増加させる必要はなく、このため大容量の半導体記憶装置を少ない外部端子数で実現できる」（2

頁左上欄 11～17行)と記載されている。つまり、乙1には、メモリ容量が増大するとシリアルデータのフォーマットで送られてくるアドレス長が長くなるが、この場合アドレスデータをすべて保持するためにシフトレジスタの段数を増加させることで対応し得ることが開示されている。

メモリの記憶容量が増加するとアドレス信号線の数が増えてしまうという課題が既に本件出願前に広く知られており、記憶容量が増加した場合(すなわち、アドレス情報のビット数が増加した場合)に、アドレス信号線を増加せずにメモリアクセスを行うことができるという技術が本件出願前に広く知られていたことは、乙3からも明らかである。乙3では、その第3図(A)に示されているように、アドレス情報(X_0, X_2, X_3, X_4)を時間的に分割して送ることで、記憶容量が増加しアドレス情報のビット数が増加した場合にも通信信号線の数を増やさずにアクセスすることを可能にしているが、このような技術は本件出願前に広く知られている技術思想である。

引用例1のメモリユニット側インターフェース $I_{M1}, I_{M2} \cdots I_{Mm}$ は、シリアルデータ形式で構成されるアドレス情報を含み、アドレスの指定が可能なフォーマットを有する転送情報によりメモリユニット $M_1, M_2 \cdots M_m$ をアクセスするものである。乙1及び3に見られるように、メモリの記憶容量が増えた場合でもCPUから通信信号線の数を変更することなくアドレス情報の供給を可能とするための手段が本件出願前に広く知られた技術思想にすぎない以上、引用例1記載の発明における「転送情報」として、記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いることは、当業者が適宜なし得ることにすぎない。また、将来にわたってメモリの記憶容量が次第に増加していくことが技術の趨勢である以上、それに見合ったアドレス長を確保しておけばよいことは、当業者であれば、何ら新規な着想がなくとも導き出せることである。

(3) 原告は、乙3において記憶容量が増加する場合とは、狭義のメモリ装置で本願発明のメモリあるRAM20の容量が増加する場合を意味するのではなく、広義のメモリ装置であるRAM4, 5の個数が増えることを意味しているのであるから、本願発明とは異なると主張する。

確かに、原告が主張するように、乙3の実施例には、RAM20の記憶容量が増加するものではなく、第1のRAM4, 第2のRAM5の個数が増加することにより記憶容量が増加するものが記載されている。しかしながら、乙3の特許請求の範囲には、「中央処理装置(CPU)とバスラインを介して電氣的に接続され、前記CPUから送出される命令コードをデコードし、制御命令を出力する制御手段と、前記制御命令に従ってアドレスを発生するアドレス発生手段と、このアドレス発生手段からのアドレスデータによって指定されるメモリと、前記制御手段からの制御命令に従って前記メモリの読み出しまたは書き込みを行う手段とを具備したことを特徴とする自動データ処理機能を有するメモリ装置」(1頁左下欄5～14行)と記載されており、その記憶部の構成については単に「メモリ」と記載しているにすぎない。したがって、乙3記載の発明自体、複数の記憶容量に限定されるものではなく、「メモリ」の記憶容量が増加する場合にアドレスを指定する技術一般について、「メモリの記憶容量が増えた場合でもCPUから通信信号線の数を変更することなくアドレス情報の供給を可能とする」ことを開示しているのである。

他方、本願発明でも、パッケージ化された記憶容量がどのように構成されているかについては何の限定もなく、パッケージ化された単体の記憶容量に限定されない。すなわち、本願明細書の請求項1には「不揮発性の半導体記憶素子を用いて情報を記憶する記憶部と、上記記憶部にある情報を所定の通信規定に基づいてアクセスする通信制御部と、上記通信制御部とソケットを有する外部装置とを接続する通信信号線とを備える半導体記憶装置であって、上記半導体記憶装置は、上記外部装置の有するソケットに着脱可能な上記通信信号線を外部に形成するパッケージに配置される」と記載されており、記憶部の構成自体は、単体の記憶容量に限られず、複数の記憶容量であってもよいのである。

以上によれば、乙3にいう「記憶容量の増加」と本願発明にいう「記憶容量の増加」とは意味が異なるとの原告主張は失当である。

3 取消事由3(予期し得ない顕著な作用効果の看過)に対して

原告は、引用例1記載の発明に引用例2記載の発明を適用した場合でも、本願発明のような構成及び機能を有しないと主張する。しかしながら、上記のとおり、引用例2記載の周知技術を引用例1記載の発明に適用することにより、当業者であれば、本願発明の構成を容易に想到し得たものであり、それにより生じる作用効果

も、引用例 1 及び 2 記載の技術事項から、当業者が容易に予測できる程度のものである。

第 5 当裁判所の判断

1 取消事由 1（相違点(2)の判断の誤り）について

(1) 引用例 2 に記載された技術内容の認定判断について

審決は、引用例 2 に基づいて、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすることが本件出願前に周知であったとするとところ、原告は、引用例 2 の ROM パック 5 は本願発明の「通信制御部」に相当する構成や機能を持たないものであるから、審決の認定は誤りであると主張する。

しかしながら、審決は、引用例 2 に基づいて、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とするという技術が、本件出願時に周知であったと認定しているにすぎない。引用例 2 の ROM パック 5 が「パッケージ化された半導体記憶装置」に該当し、ROM ソケット 4 が「外部装置の有するソケット」に該当することは明らかであり、引用例 2 の第 1 図には、ROM パック 5 が、外部装置の有する ROM ソケット 4 に着脱可能とされていることが示されている。そうすると、引用例 2 には、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とするという技術が開示されているということが出来る。原告は、ROM パック 5 が本願発明の「通信制御部」に相当する構成や機能を含まないと主張するが、パッケージ化された半導体記憶装置の具体的な構成の差異は、上記周知技術を認定する妨げとはならないというべきである。

したがって、原告の主張は理由がない。

(2) 引用例 1 に記載された発明に関する認定判断について

原告は、引用例 1 のポリプロセッサシステムは、1 つの筐体内に納められたシステムが一体として機能するものであり、引用例 1 にも、メモリユニット及びメモリユニット側インターフェースを装置本体から切り離せるとの示唆等はないのであるから、審決が、メモリユニット及びメモリユニット側インターフェースは 1 つの記憶装置を構成しており、プロセッサユニット、プロセッサユニット側インターフェース、インターフェース装置からなる構成部分は、メモリユニット及びメモリユニット側インターフェースからなる記憶装置に対しては、外部装置であると認定したのは誤りであると主張する。

しかしながら、引用例 1 のポリプロセッサシステム全体を表すブロック図（第 1 図）、動作シーケンス（第 4 図）、メモリユニット側インターフェースの構造（第 6 図）及びこれらの図面についての引用例 1 の記載によれば、メモリユニットとメモリユニット側インターフェースが一体となって 1 つの記憶装置を構成していることは明らかであり、この一体となった記憶装置は、環状メモリバスを介して、プロセッサユニット及びプロセッサユニット側インターフェース、インターフェース装置と接続されていると認められる。したがって、プロセッサユニット、プロセッサユニット側インターフェース、インターフェース装置から構成される部分が上記記憶装置に対しては外部装置であるとの審決の認定は是認することができる。

なお、原告は、引用例 1 には本願発明の通信制御部が開示されていないとも主張する。しかしながら、引用例 1 のメモリユニット側インターフェース IM_1 、 IM_2 、… IM_m が、本願発明の通信制御部と対応する構成であることは、原告の争うところではないところ、審決は、本願発明における「通信制御部」と引用例 1 の「メモリユニット側インターフェース」の差異を相違点(3)として認定し、その進歩性について判断しているのであるから、原告の上記主張は失当である。

(3) 引用例 1 及び 2 に記載された発明の組合せの困難性

ア 上記(1)(2)で判示したとおり、パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とすることは、本件出願当時、周知の技術事項であったと認められ、また、引用例 1 記載のプロセッサユニット、プロセッサユニット側インターフェース等からなる構成部分は、メモリユニットとメモリユニット側インターフェースからなる記憶装置に対して外部装置であるということが出来る。引用例 2 の第 1 図には、ROM パック 5 が、ROM ソケット 4 を介して、外部装置に配設されたシステムバスに接続していることが示されているが、この技術を引用例 1 記載の発明に適用して、メモリユニットとメモリユニット側インターフェースからなる記憶装置を装置全体から切り離し、プロセッサユニット、プロセッサユニット側インターフェース等からなる外部装置の有するソケットに接続することにより、本願発明に係る記憶装置とすることは、当業者であれば、容易に想到し得ると

いうべきである。

イ これに対し、原告は、引用例１記載の発明においてメモリユニット、メモリユニット側インターフェースからなる記憶装置を、プロセッサユニット、プロセッサユニット側インターフェース等からなる外部装置から取り外した場合には、プロセッサユニットは機能しなくなると主張する。

原告の主張は、記憶装置を取り外した状態でメモリアクセスを行うと、エラーが発生するというものであると理解できるが、必要な記憶装置がバスに接続されていない場合にエラーが発生し、システムとして機能しなくなることは当然のことである。逆に、引用例１記載のメモリユニットとメモリユニット側インターフェースからなる記憶装置をパッケージ化して、装置本体から切り離したとしても、ソケット等を介して、パッケージ化した記憶装置をバスに接続すれば、プロセッサユニットは機能し得ると考えられる。したがって、引用例１記載の発明においてメモリユニット、メモリユニット側インターフェースからなる記憶装置を、プロセッサユニット、プロセッサユニット側インターフェース等からなる外部装置から取り外した場合に、プロセッサユニットは機能しなくなるとの原告の主張は、失当である。

ウ 原告は、引用例１記載の発明に引用例２記載の発明を適用する動機付けがないと主張し、その理由として、①異なるバス結合方式を採用していること、②技術的課題及び機能が異なることを挙げる。しかしながら、バスはソケットを介して接続される外部装置の構成要素であるから、バス結合方式の差異は、「パッケージ化された半導体記憶装置を外部装置の有するソケットに着脱可能とする」という周知技術を引用例１記載の発明に適用できるかどうかの判断を左右するものではないことは明らかである。また、引用例１及び２記載の発明は、いずれもコンピュータの記憶装置として用いられる半導体記憶装置という技術的共通点を有するものであり、引用例２に示される周知技術を引用例１記載の発明に適用することを妨げるような技術的課題及び機能の差異は認められない。したがって、引用例１記載の発明に引用例２記載の発明を適用する動機付けがないとの原告主張も採用できない。

(4) 以上によれば、相違点(2)に係る構成は当業者が適宜設計できる事項であるとした審決の認定判断は、是認し得るというべきである。

2 取消事由２（相違点(3)の判断の誤り）について

審決は、相違点(3)に関し、「メモリの記憶容量が次第に増加していくことは技術の趨勢であるから、転送情報のフォーマットとして、上記アドレスビットADを将来のメモリユニットの記憶容量の増加を見込んだ余裕を持ったビット構成とするようなフォーマットを採用するようにすることは、当業者が適宜になし得る」と判断した。これに対し、原告は、審決の上記判断は誤りであると主張する。

(1) そこで、まず、相違点(3)に係る本願発明の内容について検討する。

本願発明の特許請求の範囲請求項１のうち、相違点(3)に係る部分は、「上記通信制御部は、上記記憶部の記憶容量が異なる場合でも、上記通信信号線の数を変更することなく同一の通信信号線を用いて上記記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする」というものである。

請求項１の上記構成に関し、本願明細書には、以下の記載がある。

「【０００７】

【発明が解決しようとする課題】

従来の半導体記憶装置では記憶内容を特定するためのアドレスのビット数は記憶容量により決定されていたので、異なった容量の記憶装置に置き換える場合、アドレス線の増設などのハードウェアの改修を必要とするため、簡単には置き換えることができず、また、多くの信号線の接続を必要とするため、接続の手間が多く、実装密度も上げられないという問題点があった。

【０００８】

また、信号線を減少するためにシリアル／パラレル変換回路を付加したもので、アドレス等のビット数は記憶容量に依存するので、単にシリアル／パラレル変換をただけでは、信号線の減少はできても、容量の異なる記憶装置に置き換えることはできなかった。

【００１０】

この発明は、上記のような問題点を解消するためになされたもので、異なった容量の記憶装置に取り替える場合でも、ハードウェアの改修なしに置き換えることができる記憶装置を得ることを目的としている。

【００１８】

【作用】

また、記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスすることによって、異なる容量の記憶装置に対しても同一のハードウェア、つまり、通信信号線の数を変更することなく対応できる。

【0026】

【実施例】

実施例1.

図1はこの発明の一実施例を示すものであり、1が通信信号線であり、外部との情報のやりとりを行う。2はこの発明による半導体記憶装置である。3が記憶部で従来の半導体記憶装置と同一の物である。4が通信制御部で、通信信号線1を使って外部と交信する。5は電源であり、この記憶装置に電源を供給する。

図2は、通信制御部4と外部との間でやりとりが行われる通信フォーマットの一例を示す図であり、(a)は命令21のフォーマット、(b)はデータ22のフォーマットである。

【0027】

前記のように構成された半導体記憶装置2においては、電源5を投入した時点で、通信制御部4の初期化を行い、通信制御部4は外部からの命令21を待つ。次に、通信信号線1から、命令21を半導体記憶装置2に送ると、通信制御部4はその命令21を解読し、命令21が本発明による半導体記憶装置2への書き込みであれば、続いて送られるデータ22を記憶部3に記憶する。また、命令21が本発明による半導体記憶装置2からの読み出しであれば通信制御部4は記憶部3から記憶内容を取り出し、通信信号線1へ出力する。このときの、アドレス23や、やりとりするデータの長さ24は、命令のフォーマットに含めてあることとする。また、これらのすべての動作は、通信規約においてあらかじめ決められており、これに従うものとする。

【0028】

この通信規約において、将来実現可能な記憶容量より十分に大きいアドレスの指定が可能なものとし、実際に記憶装置が存在するアドレスにおいてその動作が可能な通信規約にすることにより、異なる容量の記憶装置に対しても同一のハードウェアで対応できる。

【0029】

たとえば、アドレス23に2バイトの長さを割りあてると、最大64キロバイトまでのアクセスが可能である。また、3バイトの長さを割りあてると、最大16メガバイトまでのアクセスが可能である。」

以上の記載によれば、本願発明は、記憶部の記憶容量が異なる場合に、単にシリアル／パラレル変換をただけでは、信号線の減少はできても、容量の異なる記憶装置に置き換えることはできないことから、異なる記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いることにより、通信信号線の数を変更することなく対応できるようにしたものとする認めることができる。そして、本願明細書に記載された実施例1（図2）によれば、本願発明には、例えば、現在の記憶容量が64キロバイト（その場合の必要なアドレス長は2バイト）の場合に、将来の記憶容量の増大を見越し、アドレスに3バイトの長さ（その場合には、最大16メガバイトまでのアクセスが可能）を割り当てることにより、64キロバイトから最大16メガバイトまでの異なる記憶容量の装置に対するアクセスを可能にする場合も含まれるということが出来る。ただし、現在の記憶容量よりも十分に大きなアドレス長を用いてアドレスの指定をする場合であっても、その大きなアドレス長で対応し得る記憶容量よりさらに大きな記憶容量を持ったメモリのすべての領域のアドレス指定をすることは、本願明細書にもそのようなことが可能であるとの記載はなく、通常できないと考えられる。この点、原告は、かかる場合でも本願発明ではアドレス指定が可能であると主張するが、採用できない。

なお、本願発明の請求項1には、単に「記憶部の記憶容量が異なる場合」と記載されているにすぎず、その文言上は、現在の記憶容量より大きな記憶容量に記憶容量に対応する場合に限定されず、現在の記憶容量より小さい記憶容量に対応する場合をも含み得るが、原告は、上記文言が現在の記憶容量より大きな記憶容量に対応することを意味するものとの前提に立ち、被告もこれに沿って反論しているので、本判決も、以下、同様の前提に基づいて判断することとする。

(2) 次に、乙1及び3に示される本件出願当時の周知技術について検討する。

ア 乙1には、以下の記載がある。

「〔作用〕

この発明においては、外部から直列で供給されたアドレスデータをシフトレジスタで並列に変換してメモリ回路に供給するようにしたので、メモリ容量の増大に対してはシフトレジスタの段数を増加させる事で対応でき、外部端子を増加させる必要はなく、このため大容量の半導体記憶装置を少ない外部端子数で実現できる。」

(2頁左上欄10～17行)

上記記載によれば、乙1には、メモリ容量が増大して、シリアルデータのフォーマットで送られてくるアドレス長が長くなったとしても、シフトレジスタの段数を増加させることにより、通信信号線を増設することなく対応し得ることが開示されているといえることができる。

イ また、乙3には、以下の記載がある。

「RAMの容量が増加すると前記アドレスラインも増加させる必要があり、ライン数が増えるという欠点があった。」(1頁右下欄13～15行)

「この発明は前記事情に基づいてなされたもので、その目的とするところは、CPUから送出された命令コードをデコードしてメモリ装置のアドレスを順次指定することにより、記憶容量が増加してもCPUとの接続ライン数が増加せず、CPUとの並列処理が可能な自動データ処理機能を有するメモリ装置を提供することである。」(1頁右下欄19行～2頁左上欄5行)

「第3図はCPU1から4ビットのデータD₁～D₄として第1のRAM4および第2のRAM5に送られてくる命令形式の例を示したものである。第3図(A)は全体が1桁4ビットずつ桁X₀～X₄の5桁分からなり、このうち桁X₀には第1のRAM4あるいは第2のRAM5のいずれかを指定するDEVICE NOデータが、また桁X₁には命令の種類を示すオペレーションコードOPEが、また桁X₂～X₄にはRAM20のアドレスを指定するRAM ADDRESSがそれぞれ送出される。」(3頁右上欄15行～左下欄4行)

上記記載及び上記第3図(A)によれば、乙3には、メモリの記憶容量が増加するとアドレス信号線の数が増えてしまうとの課題が本件出願以前から広く知られており、それに対して、アドレス情報(X₀, X₂, X₃, X₄)を時間的に分割して送る方法を採用することにより、通信信号線の数を増やすことなく、記憶容量の増大に対応し得ることが開示されているといえることができる。

ウ 上記のとおり、乙1及び3記載の発明の記憶装置においては、記憶容量が増大した場合において、通信信号線の数を増やさずに、アドレス情報を送出し、メモリアクセスを行うための具体的な構成がそれぞれ開示されており、これらの技術は、本件出願当時、周知であったと認められる。なお、原告は、乙1(平成1年7月20日出願公開)及び乙3(昭和58年11月9日出願公開)に記載された技術は、発明者によって認識された課題あるいは発明の実施の形態として記載されたものであり、周知技術として記載されたものではないから、本件出願(平成3年9月5日)当時、周知ではないと主張する。しかしながら、乙1及び3記載の技術が周知技術として記載されたか、発明者によって認識された課題あるいは発明の実施の形態として記載されたかは、周知技術を認定する上では関係ないというべきであり、その出願公開日に照らせば、乙1及び3に記載された技術は、本件出願当時、当業者に周知であったと認めることができる。また、乙1及び3は、審決が前提とした周知技術の存在を証明するものとして提示されているにすぎないのであって、本訴においてこれらの証拠を新たに提出すること及び当裁判所が上記周知技術の存在を認定するのに採用することが違法であるとはいえない。

(3) そこで、進んで、乙1及び3に示される周知技術を引用例1記載の発明に適用して、相違点(3)に係る本願発明に想到することが容易かどうかについて、検討する。

ア 原告は、乙1及び3には、増大した現在のメモリ容量に合わせて対応するための技術は記載されているとしても、異なる記憶容量に対応するための通信フォーマットを用いる通信規定については何ら示唆していないと主張する。

しかしながら、引用例1のメモリユニット側インターフェースは、シリアルデータ形式で構成されるアドレス情報を含み、アドレスの指定が可能なフォーマットを有する転送情報によりメモリユニットをアクセスするものと認められるところ、このようにシリアルデータ形式でアドレス情報を構成した場合には、乙1に示されているとおり、シフトレジスタの段数(すなわち、アドレス長)を増やすことにより、通信信号線の数を変更することなくメモリ増量に対応し得ることは周知技術で

あるということができる。

そして、メモリの記憶容量が次第に増加していくことは技術の趨勢であり、メモリの容量が増加すると、それに応じて対応するアドレス情報を供給してアドレス指定をしなければならないことは、乙2に「メモリの集積度が向上すると、メモリセルを識別するのに必要なアドレス数が増える」と記載されているように技術常識であるから、当業者であれば、将来のメモリ容量の増大を見越してあらかじめ余裕を持ったアドレス数、すなわちビット構成とするようなフォーマットを採用することは、適宜、設計し得る事項であるということができる。

そうすると、引用例1記載の発明における「転送情報」の通信フォーマットとして、将来のメモリ容量の増大を見越してあらかじめ余裕を持ったビット構成とするような通信フォーマットを採用することにより、本願発明のような「記憶容量が異なる場合でも、上記通信信号線の数を変更することなく同一の通信信号線を用いて上記記憶容量に対応するアドレスの指定が可能な通信フォーマットを用いる通信規定に基づいて記憶部をアクセスする」通信制御部とすることは、当業者が容易に想到し得ることであるというべきである。

イ 原告は、乙3には、狭義のメモリ装置であるRAM20と広義のメモリ装置であるRAM4、5が存在するところ、乙3における「記憶容量の増加」とは、広義のメモリ装置であるRAM4、5の個数が増えることを意味するのであるから、乙3のRAM20に相当する「記憶部」の容量の増加が問題になるにすぎない本願発明とは、「記憶容量の増加」の意味が異なると主張する。

しかしながら、乙3の特許請求の範囲には、その記憶部の構成について「メモリ」と記載されているにすぎず、複数の記憶容量に限定していない。そうすると、乙3には、「メモリ」の記憶容量が増加する場合にアドレスを指定する技術一般について、「メモリの記憶容量が増えた場合でもCPUから通信信号線の数を変更することなくアドレス情報の供給を可能とする」ことが開示されていると理解できる。他方、本願発明でも、パッケージ化された記憶容量がどのように構成されているかについては何の限定もなく、パッケージ化された単体の記憶容量に限定されないことは、本願明細書の特許請求の範囲の記載において、単に「記憶部」とされていることから明らかである。

したがって、乙3にいう「記憶容量の増加」と本願発明にいう「記憶容量の増加」とは意味が異なるとの原告主張は失当である。

ウ 以上によれば、原告の主張する取消事由2は、理由がない。

3 取消事由3（予期し得ない顕著な作用効果の看過）について

原告は、引用例1記載の発明に引用例2記載の周知技術等を適用した場合でも、本願発明のような構成及び機能を有しないと主張する。しかしながら、引用例1及び2記載の発明並びに従来の周知技術に基づいて、本願発明の構成を容易に発明し得ることは前記判示のとおりである。そして、本願発明の作用効果は、引用例1及び2記載の発明並びに従来の周知技術を組み合わせることで本願発明の構成にすることにより、当然に生じ、あるいは生じると予測されるものであり、予期し得ない顕著な効果であるとも認められない。

したがって、原告の主張する取消事由3は、理由がない。

4 結論

以上のとおり、原告の主張する審決取消事由は、いずれも理由がないので、原告の請求は棄却されるべきである。

知的財産高等裁判所第4部

裁判長裁判官	塚	原	朋	一
裁判官	田	中	昌	利
裁判官	佐	藤	達	文