

平成22年8月31日判決言渡 同日原本領収 裁判所書記官

平成21年(ワ)第1986号 特許権侵害差止請求事件

口頭弁論終結日 平成22年7月13日

判 決

大韓民国<以下略>

原 告	三 星 電 子 株 式 会 社
同訴訟代理人弁護士	田 中 昌 利
同	小 原 淳 見
同	渡 邊 瑞
同	高 橋 雄 一 郎
同	大 堀 健 太 郎
同訴訟代理人弁理士	望 月 尚 子

東京都町田市<以下略>

被 告	更生会社Spansion Japan株式会社管財人
	A
同訴訟代理人弁護士	牧 野 利 秋
同	鈴 木 修
同	矢 部 耕 三
同	岡 本 義 則
同	小 野 智 博
同	永 島 孝 明
同	安 國 忠 彦
同	浅 村 昌 弘
同補佐人弁理士	上 田 忠
同	田 中 拓 人
同	磯 田 志 郎

主 文

- 1 原告の請求をいずれも棄却する。
- 2 訴訟費用は原告の負担とする。

事 実 及 び 理 由

第 1 請 求

- 1 被告は、別紙被告製品目録記載 1 の製品（以下「被告製品 1」という。）を譲渡し、輸入し、譲渡の申出をしてはならない。
- 2 被告は、別紙被告製品目録記載 2 の製品（以下、「被告製品 2」といい、被告製品 1 と被告製品 2 を総称して「被告製品」という。）を製造してはならない。
- 3 被告は、その占有に係る被告製品 1 並びに被告製品 2 及びその半製品を廃棄せよ。

第 2 事 案 の 概 要

本件は、フラッシュメモリ装置の特許権を有する原告が、更生会社である S p a n s i o n J a p a n 株式会社（以下「訴外会社」という。）による被告製品の譲渡、製造等が上記特許権を侵害する行為であるとして、訴外会社の管財人である被告に対し、特許法 100 条 1 項に基づき被告製品 1 の譲渡、輸入及び譲渡の申出並びに被告製品 2 の製造の差止めを求めるとともに、同条 2 項に基づき被告製品の廃棄を求める事案である。

1 前提事実（争いが無い。）

(1) 当事者

原告は、半導体装置の製造、販売等を業とする会社である。

訴外会社は、半導体集積回路の開発・製造及び販売等を業とする会社であり、本件訴えが提起された後である平成 21 年 3 月 3 日、東京地方裁判所において、更生手続開始の決定を受け、同日、被告がその管財人に選任された。訴外会社は、被告製品 2 を製造しており、また、被告製品 1 を譲渡している。

(2) 本件特許権

原告は、次の特許権（以下、その特許請求の範囲請求項1の発明を「本件発明1」、同請求項2の発明を「本件発明2」といい、本件発明1と本件発明2とを併せて「本件発明」ということがある。また、本件発明に係る特許を「本件特許」といい、本件特許に係る明細書（別紙特許公報参照）を「本件明細書」という。）を有している。

特許番号 第3834189号
発明の名称 フラッシュメモリ装置
出願日 平成12年7月12日
登録日 平成18年7月28日
優先日 平成11年7月13日

特許請求の範囲

【請求項1】

「階層的なワードライン構造を有する不揮発性半導体メモリ装置において、

各々がローカルワードラインに連結されたメモリセルを有する複数個のセクターと、

各々対応する前記セクターを通して配置された複数個のグローバルワードラインと、

奇数番グローバルワードラインの中の一つのワードラインを選択する第1グローバルデコーダと、偶数番グローバルワードラインの中の一つのワードラインを選択する第2グローバルデコーダとを有するグローバルワードライン選択回路と、

前記奇数番グローバルワードラインに各々対応し、各々が、対応する奇数番グローバルワードラインが選択される時に、対応するローカルワードラインの中の一つのワードラインをワードライン電圧に駆動する第1ローカルデ

コーダと、

前記偶数番グローバルワードラインに各々対応し、各々が、対応する偶数番グローバルワードラインが選択される時に、対応するローカルワードラインの中の一つのワードラインを前記ワードライン電圧に駆動する第2ローカルデコーダとを含み、

前記第1及び第2ローカルデコーダの各々は、対応するローカルワードラインに各々連結された複数個のドライバを有し、

各ドライバは、対応するグローバルワードラインの信号に対応するローカルワードラインを行パーシャルデコーダに連結するプルアップトランジスタと、

前記対応するグローバルワードラインの信号に従って前記対応するローカルワードラインをブロックデコーダに連結するプルダウントランジスタで構成し、

前記選択された奇数番/偶数番グローバルワードラインに対応するローカルワードラインの中の二つのローカルワードラインが連続的に選択される時、以前に選択されたローカルワードラインの電圧が、放電信号に応答して対応するドライバのプルダウントランジスタを通じて放電されることを特徴とするメモリ装置。」

【請求項2】

「前記行パーシャルデコーダは、読み出し及びプログラム動作に必要な前記ワードライン電圧を出力し、

前記ブロックデコーダは、消去動作に必要な前記ワードライン電圧を出力することを特徴とする請求項1に記載のメモリ装置。」

(3) 構成要件の分説

ア 本件発明1を構成要件に分説すると次のとおりである（以下、分説した構成要件をそれぞれ「構成要件1-A」などという。）

- 1 - A 階層的なワードライン構造を有する不揮発性半導体メモリ装置において、
- 1 - B 各々がローカルワードラインに連結されたメモリセルを有する複数個のセクターと、
- 1 - C 各々対応する前記セクターを通して配置された複数個のグローバルワードラインと、
- 1 - D - 1 奇数番グローバルワードラインの中の一つのワードラインを選択する第1グローバルデコーダと、
- 1 - D - 2 偶数番グローバルワードラインの中の一つのワードラインを選択する第2グローバルデコーダと
- 1 - D - 3 を有するグローバルワードライン選択回路と、
- 1 - E - 1 前記奇数番グローバルワードラインに各々対応し、各々が、対応する奇数番グローバルワードラインが選択される時に、対応するローカルワードラインの中の一つのワードラインをワードライン電圧に駆動する第1ローカルデコーダと、
- 1 - E - 2 前記偶数番グローバルワードラインに各々対応し、各々が、対応する偶数番グローバルワードラインが選択される時に、対応するローカルワードラインの中の一つのワードラインを前記ワードライン電圧に駆動する第2ローカルデコーダとを含み、
- 1 - F - 1 前記第1及び第2ローカルデコーダの各々は、対応するローカルワードラインに各々連結された複数個のドライバを有し、各ドライバは、
- 1 - F - 2 対応するグローバルワードラインの信号に対応するローカルワードラインを行パルシャルデコーダに連結するプルアップトランジスタと、

- 1 - F - 3 前記対応するグローバルワードラインの信号に従って前記対応するローカルワードラインをブロックデコーダに連結するプルダウントランジスターで構成し、
- 1 - G 前記選択された奇数番 / 偶数番グローバルワードラインに対応するローカルワードラインの中の二つのローカルワードラインが連続的に選択される時、以前に選択されたローカルワードラインの電圧が、放電信号に応答して対応するドライバのプルダウントランジスターを通じて放電される
- 1 - H ことを特徴とするメモリ装置。

イ 本件発明 2 を構成要件に分説すると次のとおりである（以下、分説した構成要件をそれぞれ「構成要件 2 - A」などという。）。

- 2 - A 前記行パーシャルデコーダは、読み出し及びプログラム動作に必要な前記ワードライン電圧を出力し、
- 2 - B 前記ブロックデコーダは、消去動作に必要な前記ワードライン電圧を出力する
- 2 - C ことを特徴とする請求項 1 に記載のメモリ装置。

(4) 当事者間に争いのない被告製品の構成

被告製品の構成について、当事者間に争いのない部分は、別紙被告製品説明書に記載のとおりである。

また、被告製品の各々のセクターがワードラインに接続されたメモリセルを有することも当事者間に争いが無い。

（なお、別紙被告製品の構成についての当事者の主張のとおり、被告製品の構成について争いのある部分がある。）

2 争点

- (1) 被告製品は、本件発明の技術的範囲に属するか（争点 1）
- (2) 本件特許は、特許無効審判により無効にされるべきものか（争点 2）

3 当事者の主張

(1) 被告製品は、本件発明の技術的範囲に属するか(争点1)

(原告の主張)

ア 被告製品は、下記(ア)ないし(ス)のとおり、本件発明1の構成要件をいずれも充足し、本件発明1の技術的範囲に属する。

(ア) 構成要件1 - Aについて

被告製品のうち半導体IC製品はフラッシュメモリ製品であり、被告製品のうち半導体ウェーハにはこれらのフラッシュメモリ製品用チップが多数作り込まれている。したがって、被告製品は、いずれも、「不揮発性半導体メモリ装置」に該当する。

また、被告製品の各セクター内には64対のドライバ選択ライン(WLS[0]～[63], /WLS[0]～[63])と512本のワードライン(WL[0]～[511])があり、8本のワードライン(WL)には一対のドライバ選択ライン(WLS, /WLS)が対応する。そして、64対のドライバ選択ライン(WLS[0]～[63], /WLS[0]～[63])が上位の層、512本のワードライン(WL[0]～[511])が下位の層に相当するから、被告製品は、「階層的なワードライン構造」を有している。

したがって、被告製品は、構成要件1 - Aを充足する。

(イ) 構成要件1 - Bについて

被告製品において、各々のセクターは、ワードラインに接続されたメモリセルを有するから、被告製品は、構成要件1 - Bを充足する。

(ウ) 構成要件1 - Cについて

被告製品のドライバ選択ラインは「グローバルワードライン」に該当する。また、被告製品のドライバ選択ラインは、一つのセクターについてみれば、「通して配置」されている。

したがって、被告製品は、構成要件 1 - C を充足する。

(エ) 構成要件 1 - D - 1 について

a 「奇数番グローバルワードライン」(1 - D - 1) 及び「偶数番グローバルワードライン」(1 - D - 2) の解釈について

(a) 「奇数番」、「偶数番」が問題となるのは、「グローバルワードライン」についてであって、「ローカルワードライン」についてではなく、本件発明 1 では「ローカルワードライン」の並び順は問わない。

(b) 本件発明 1 においては、「プルアップトランジスター」が PMOS であり、「プルダウントランジスター」が NMOS であるという限定はないから、二つのトランジスターが同時にオフ状態となり、それに起因してローカルワードラインがフローティング状態になるという問題は前提にしていない。そして、本件明細書の段落【0032】のフローティング状態のローカルワードラインに生じるカップリングの問題とその解決についての記載は、本件明細書の特許請求の範囲請求項 12, 13 の発明に係る記載であり、本件発明 1 の解釈に参酌されるべき記載ではない。

(c) 本件明細書の特許請求の範囲請求項 5 には、被告が主張する「奇数番ローカルワードラインと偶数番ローカルワードラインを交互に配置する構成」や、PMOS トランジスターと NMOS トランジスターの組を一組用いることは何ら規定されていないから、同請求項に係る被告の主張は失当である。

b 被告製品が構成要件 1 - D - 1 を充足するか

複数のドライバ選択ラインの中の一つのドライバ選択ライン (WLS [1] 及び / WLS [1]) を選択する回路 B は、NAND ゲート 1 とこの出力が入力されるインバータ 2 (出力が AXA [1]) と、

A X A [1] と A X B が入力される N A N D ゲート 3 と , この N A N D ゲート 3 の出力が入力されるレベルシフト回路 4 (出力が W L S [1]) と , この N A N D ゲート 3 の出力と R 2 信号が入力される N O R ゲート 5 と , この N O R ゲートの出力が入力されるインバータ 6 (出力が / W L S [1]) を有する。そして , ドライバ選択ライン W L S [1] ・ / W L S [1] は「奇数番グローバルワードラインの中の一つのワードライン」に該当し , このドライバ選択ライン W L S [1] ・ / W L S [1] を選択する回路 B は , 「第 1 グローバルデコーダ」に該当する。

したがって , 被告製品は , 構成要件 1 - D - 1 を充足する。

(オ) 構成要件 1 - D - 2 について

複数のドライバ選択ラインの中の一つのドライバ選択ライン (W L S [0] 及び / W L S [0]) を選択する回路 A は , N A N D ゲート 1 とこの出力が入力されるインバータ 2 (出力が A X A [0]) と , A X A [0] と A X B が入力される N A N D ゲート 3 と , この N A N D ゲート 3 の出力が入力されるレベルシフト回路 4 (出力が W L S [0]) と , この N A N D ゲート 3 の出力と R 2 信号が入力される N O R ゲート 5 と , この N O R ゲートの出力が入力されるインバータ 6 (出力が / W L S [0]) を有する。そして , ドライバ選択ライン W L S [0] ・ / W L S [0] は「偶数番グローバルワードラインの中の一つのワードライン」に該当し , このドライバ選択ライン W L S [0] ・ / W L S [0] を選択する回路 A は , 「第 2 グローバルデコーダ」に該当する。

したがって , 被告製品は , 構成要件 1 - D - 2 を充足する。

(カ) 構成要件 1 - D - 3 について

被告製品にはドライバ選択デコーダが存在し , これが「グローバルワードライン選択回路」に該当する。

したがって、被告製品は、構成要件 1 - D - 3 を充足する。

(キ) 構成要件 1 - E - 1 について

被告製品の、ドライバ D [0] ~ D [5 1 1] のうち、ドライバ D [8] ~ D [1 5] は、ドライバ選択ライン (W L S [1] 及び / W L S [1]) に各々対応し、各々が、対応するドライバ選択ライン (W L S [1] 及び / W L S [1]) が選択される時に、対応するワードライン (W L [8] ~ W L [1 5]) の中の一つのワードライン (W L [8]) をワードライン電圧に駆動する。そして、ドライバ D [8] ~ D [1 5] からなる回路群は、いずれも「奇数番グローバルワードライン」に相当するドライバ選択ライン (W L S [1] 及び / W L S [1]) に対応し、ドライバ選択ライン (W L S [1] 及び / W L S [1]) が選択される時に、対応するワードライン (W L [8] ~ W L [1 5]) の中の一つのワードライン (W L [8]) をワードライン電圧に駆動する。よって、ドライバ D [8] ~ D [1 5] からなる回路群は「第 1 ローカルデコーダ」に該当する。

したがって、被告製品は、構成要件 1 - E - 1 を充足する。

(ク) 構成要件 1 - E - 2 について

被告製品の、ドライバ D [0] ~ D [5 1 1] のうち、ドライバ D [0] ~ D [7] は、ドライバ選択ライン (W L S [0] 及び / W L S [0]) に各々対応し、各々が、対応するドライバ選択ライン (W L S [0] 及び / W L S [0]) が選択される時に、対応するワードライン (W L [0] ~ W L [7]) の中の一つのワードライン (W L [0]) をワードライン電圧に駆動する。そして、ドライバ D [0] ~ D [7] からなる回路群は、いずれも「偶数番グローバルワードライン」に相当するドライバ選択ライン (W L S [0] 及び / W L S [0]) に対応し、ドライバ選択ライン (W L S [0] 及び / W L S [0]) が選択される時に、対応す

るワードライン (WL [0] ~ WL [7]) の中の一つのワードライン (WL [0]) をワードライン電圧に駆動する。よって、ドライバD [0] ~ D [7] からなる回路群は「第2ローカルデコーダ」に該当する。

したがって、被告製品は、構成要件1 - E - 2を充足する。

(ケ) 構成要件1 - F - 1について

被告製品のドライバD [8] ~ D [15] からなる回路群 (上記(キ)のとおり、この回路群が「第1ローカルデコーダ」に該当する。) は、8個のドライバD [8] ~ D [15] を含み、かつ、これらのドライバD [8] ~ D [15] がそれぞれ対応するワードラインWL [8] ~ WL [15] に接続されている。また、被告製品のドライバD [0] ~ D [7] からなる回路群 (上記(ク)のとおり、この回路群が「第2ローカルデコーダ」に該当する。) は、8個のドライバD [0] ~ D [7] を含み、かつ、これらのドライバD [0] ~ D [7] がそれぞれ対応するワードラインWL [0] ~ WL [7] に接続されている。

したがって、被告製品は、構成要件1 - F - 1を充足する。

(コ) 構成要件1 - F - 2について

被告製品の各ドライバは、当該ドライバに接続されたドライバ選択ライン (WLS, /WLS) の第1の信号 (WLS) がHIGHのときに、対応するワードライン (WL) に、パーシャルデコーダに対応する回路の出力電圧が現れるように、対応するワードライン (WL) をパーシャルデコーダに対応する回路と電氣的に結合するNMOSトランジスタ t_0 及びNMOSトランジスタ t_1 の組を有する。その際、パーシャルデコーダに対応する回路とワードライン (WL) とはNMOSトランジスタ t_1 が導通することによって接続されるから、NMOSトランジスタ t_1 は「プルアップトランジスタ」に該当する。

したがって、被告製品は、構成要件1 - F - 2を充足する。

(サ) 構成要件 1 - F - 3 について

被告製品の各ドライバは、ドライバ選択ライン (WLS, /WLS) の第 2 の信号 (/WLS) が HIGH のときに、対応するワードライン (WL) をスイッチ回路と電氣的に結合する NMOS トランジスタ t_2 を有する。上記スイッチ回路は、各セクターに一つずつ設けられ、ドライバ選択デコーダ、パーシャルデコーダに対応する部分に共通に入力されるセクター選択信号の入力を受ける。さらに、被告製品は、入力されたアドレス信号をデコードすることによってセクター選択信号を生成するセクターアドレスデコーダ回路を有する。そして、セクターアドレスデコーダ回路及びスイッチ回路は「ブロックデコーダ」に、トランジスタ t_2 は「プルダウントランジスタ」にそれぞれ該当する。

したがって、被告製品は、構成要件 1 - F - 3 を充足する。

(シ) 構成要件 1 - G について

被告製品においては、アドレス遷移がある場合、現在選択されているワードラインにつき、アドレス遷移が起こる前に、R1 信号に回答してパーシャルデコーダに対応する回路の出力が 0 V に切り替わり、ワードラインを 0 V に戻し (処理 1)、同時に、R2 信号に回答して、NMOS トランジスタ t_2 を導通させ、スイッチ回路につなげ (処理 2。この処理 2 により、ワードラインの電圧が非選択電位 (0 V) になる時間を短縮する。)、アドレス遷移が起こる。

上記「アドレス遷移」は、例えば、ワードライン WL [0]、ワードライン WL [1] が連続的に選択される場合も含む。そして、二つのワードライン WL [0]、WL [1] (これらは、「偶数番グローバルワードライン」に相当するドライバ選択ライン (WLS [0] 及び /WLS [0]) に対応する。) は、「二つのローカルワードライン」に該当する。

また、R2信号は、残留電位の放電のための信号であり、この信号が生成されるタイミングについて、行アドレスが遷移する前後を問うものではないから、R2信号は、「放電信号」に該当する。

そして、R2信号が供給されると、ワードラインは一斉に0Vに接地され、このタイミングにおいて選択されているローカルワードラインは存在しないから、放電動作は、「以前に選択されたローカルワードライン」に対して行われているといえる。

以上によれば、被告製品は、構成要件1-Gを充足する。

(ス) 構成要件1-Hについて

a 被告製品は、フラッシュメモリ製品である半導体IC製品及びこの半導体IC製品用チップが多数作り込まれた半導体ウェーハである。

そして、フラッシュメモリ製品は、「メモリ装置」に該当する。また、半導体ウェーハも「メモリ装置」が多数搭載されているものであり、同様に「メモリ装置」といい得る。

したがって、被告製品は、構成要件1-Hを充足する。

b 被告が、半導体ウェーハは「メモリ装置」ではないと主張するのであれば、原告は、予備的に特許法101条1号の適用を主張する。

イ 被告製品は、以下の(ア)ないし(ウ)のとおり、本件発明2の構成要件をいずれも充足し、本件発明2の技術的範囲に属する。

(ア) 構成要件2-Aについて

被告製品のパーシャルデコーダに対応する回路は、8本の出力線のうち、書込み・読出しを行うワードラインに対応する出力の電圧を、書込み・読出しに必要な電圧に切り替え出力し、その他の出力は0Vに維持され、これらがドライバを通してワードラインに供給される。そして、上記の書込み・読出しに必要な電圧は、「読み出し及びプログ

ラム動作に必要な前記ワードライン電圧」に該当する。

したがって、被告製品は、構成要件 2 - A を充足する。

(イ) 構成要件 2 - B について

上記ア(サ)記載のとおり、セクターアドレスデコーダ回路及びスイッチ回路は「ブロックデコーダ」に該当し、このうち、スイッチ回路は「消去動作に必要な」「電圧を出力」する。

したがって、被告製品は、構成要件 2 - B を充足する。

(ウ) 構成要件 2 - C について

上記アのとおり、被告製品は、本件発明 1 の構成要件をいずれも充足する。

したがって、被告製品は、構成要件 2 - C を充足する。

(被告の主張)

ア 被告製品は、下記(ア)ないし(コ)のとおり、本件発明 1 の構成要件を充足しないから、本件発明 1 の技術的範囲に属しない。

(ア) 構成要件 1 - A について

「階層的なワードライン構造」とは、一つのセクターを超えたメモリの全体的な構造を指し、グローバルワードラインとローカルワードラインでセクター間とセクター内が分割された階層構造を意味する。被告製品のドライバ選択ライン及びワードラインはいずれも一つのセクター内にとどまるので、「階層的なワードライン構造」を充足しない。

また、被告製品 2 は、半導体ウェーハであり、「不揮発性半導体メモリ装置」ではない。

したがって、被告製品は、構成要件 1 - A を充足しない。

(イ) 構成要件 1 - B について

被告製品のワードラインが構成要件 1 - B の「ローカルワードライン」に相当することは認める。

(ウ) 構成要件 1 - C について

「各々対応する前記セクターを通して配置された複数個のグローバルワードライン」とは、「グローバルワードライン」が複数のセクターを通して配置されることを意味する。

被告製品において、ドライバ選択ラインは、一つのセクター内にとどまっており、「グローバルワードライン」に当たらない。また、ドライバ選択ラインは、複数個のセクターを通して配置されていないから、「前記セクターを通して配置」を充足しない。

したがって、被告製品は、構成要件 1 - C を充足しない。

(エ) 構成要件 1 - D - 1 ないし 1 - D - 3 について

a 「奇数番グローバルワードライン」(1 - D - 1) 及び「偶数番グローバルワードライン」(1 - D - 2) の解釈について

(a) そもそも、本件発明は、半導体集積回路ダイの占有面積を最小化するために、PMOS トランジスターと NMOS トランジスターの組を一組のみ用いることとしたため、PMOS トランジスターと NMOS トランジスターが共にオフの状態となってローカルワードラインがフローティング状態となることから、誘起電圧（カップリング）の問題が生じ、また、パーシャルデコーダからの出力が 0 V に戻ってもローカルワードラインが 0 V にならないという残留電位の問題が生じている。これら二つの問題を解決するため、本件発明では、奇数番ローカルワードライン用グローバルワードラインの制御経路と偶数番ローカルワードライン用グローバルワードラインの制御経路を分け、奇数番ローカルワードラインと偶数番ローカルワードラインを交互に配置するという構成（以下「制御経路分離構成」という。）を採用している。

(b) 本件明細書の発明の詳細な説明の記載では、奇数番グローバル

ワードラインOGWL_iは、WL₁、WL₃、WL₅、WL₇と、偶数番グローバルワードラインEGWL_iは、WL₀、WL₂、WL₄、WL₆とそれぞれ対応し、明確に奇数番と偶数番が分かれた構成になっており（本件明細書段落【0023】、図3等参照）、この構成は、フローティング状態になる偶数番（または奇数番）のローカルワードラインを、接地電圧を有する奇数番（または偶数番）のローカルワードラインによって遮蔽することにより、隣接したローカルワードラインの間のカップリングによる不要な電圧の誘起を防止することを目的としている。

よって、本件発明の「奇数番グローバルワードライン」(1-D-1)は、奇数番のローカルワードラインとのみ対応するグローバルワードラインでなければならず、また、「偶数番グローバルワードライン」(1-D-2)は、偶数番のローカルワードラインとのみ対応するグローバルワードラインでなければならない。

しかしながら、被告製品のドライバ選択ラインは、奇数番と偶数番の双方を含むワードラインと対応し、被告製品には、奇数番とのみ、あるいは偶数番とのみ対応するドライバ選択ラインは存在しない。

(c) 上記(b)の解釈は、本件明細書の特許請求の範囲請求項1に従属する同請求項5の記載からも裏付けられる。

すなわち、同請求項5記載の発明は、制御経路分離構成を採用し、ローカルワードラインがフローティング状態となることによって生じるカップリングによる誘起電圧を防止するため、一方のグローバルワードラインが選択されるとき、他方を接地することによって遮蔽を行うものであり、同項の「奇数番/偶数番グローバルワードライン」とは、それぞれ独立して制御され、それぞれと対応するロー

カルワードラインが交互に配置された偶数番ローカルワードライン用グローバルワードラインと奇数番ローカルワードライン用グローバルワードラインを意味するものであることが明らかである。そして、同請求項1の「奇数番/偶数番グローバルワードライン」も同請求項5と同じ意味に理解されるべきである。

(d) また、ドライバ選択ラインは、上記(ウ)のとおり、「グローバルワードライン」に当たらない。

(e) 以上によれば、被告製品は、「奇数番グローバルワードライン」(1-D-1)、「偶数番グローバルワードライン」(1-D-2)のいずれも充足しない。

b(a) 「第1グローバルデコーダ」(1-D-1)は、上記aの「奇数番グローバルワードライン」だけを制御するものであり、「第2グローバルデコーダ」(1-D-2)は、上記aの「偶数番グローバルワードライン」だけを制御するものである。しかしながら、被告製品のドライバ選択デコーダは、64個の内部回路を有するのみで、奇数番用と偶数番用の二つのデコーダを設けていない。

また、被告製品のドライバ選択デコーダは、一つのセクター内のもので、他のセクターのドライバを選択するものではなく、「グローバルデコーダ」ではない。

(b) また、被告製品の内部回路は、アドレスの入力を受けて複数のビットに変換するデコーダではなく、一つのセクター内のごく一部分に過ぎず、一つのセクターを超えて他のセクターを制御するものではないから「グローバル」なものではなく、各内部回路は、奇数番と偶数番の双方のワードラインと関係し、奇数番用と偶数番用の二種類の内部回路があるわけではなく、以上のことは、原告が主張する回路A、回路Bにも同様に当てはまる。

(c) 以上によれば，被告製品は，「第1グローバルデコーダ」(1 - D - 1)，「第2グローバルデコーダ」(1 - D - 2)のいずれも充足しない。

c 被告製品の各内部回路は，一对のドライバ選択ラインとのみ接続され，複数のドライバ選択ライン中の一つを選択するものではない。

よって，被告製品は，「中の一つのワードラインを選択する」(1 - D - 1，1 - D - 2)を充足しない。

d 被告製品のドライバ選択デコーダは，上記b(a)のとおり一つのセクター内のドライバの選択を扱うものに過ぎないから，「グローバルワードライン選択回路」(1 - D - 3)に当たらない。

e 「グローバルワードライン選択回路」(1 - D - 3)は，奇数番用と偶数番用の二つの「グローバルデコーダ」を包括するものである。しかしながら，被告製品のドライバ選択デコーダは，奇数番と偶数番の双方のワードラインに関係し，奇数番のみと関係する第1ドライバ選択デコーダと，偶数番のみと関係する第2ドライバ選択デコーダと，その両者を包括する選択回路という構成を有していない。

よって，被告製品は，「を有するグローバルワードライン選択回路」(1 - D - 3)を充足しない。

f 以上によれば，被告製品は，構成要件1 - D - 1ないし1 - D - 3のいずれも充足しない。

(オ) 構成要件1 - E - 1，1 - E - 2について

a 「第1ローカルデコーダ」(1 - E - 1)は，「奇数番グローバルワードライン」に対応するものであり，上記(エ)aのとおり奇数番ローカルワードライン用の回路でなければならないと解釈され，また，「第2ローカルデコーダ」(1 - E - 2)は，「偶数番グローバルワードライン」に対応するものであり，上記(エ)aのとおり偶数

番ローカルワードライン用の回路でなければならないと解釈される。しかしながら，被告製品の中で一組を構成する 8 個のドライバは，奇数番，偶数番双方のワードラインを駆動しており，奇数番用の回路，偶数番用の回路に分かれていない。

さらに，「第 1 ローカルデコーダ」(奇数番用ローカルデコーダ)は，各々，「奇数番グローバルワードライン」により，「第 1 グローバルデコーダ」(奇数番グローバルデコーダ)に接続されているという関係を必須とし，また，「第 2 ローカルデコーダ」(偶数番用ローカルデコーダ)は，各々，「偶数番グローバルワードライン」により，「第 2 グローバルデコーダ」(偶数番グローバルデコーダ)に接続されているという関係を必須とする。すなわち，奇数番用の回路同士が，「奇数番グローバルワードライン」により接続されており，偶数番用の回路同士が，「偶数番グローバルワードライン」により接続されているという関係を必要とするが，被告製品は，奇数番用回路と偶数番用回路に分かれておらず，このような関係を満たさない。

よって，被告製品は，「第 1 ローカルデコーダ」(1 - E - 1)，「第 2 ローカルデコーダ」(1 - E - 2)のいずれも充足しない。

b 本件発明 1 は，複数のセクターを縦貫する 1 本の「奇数番グローバルワードライン」に，複数の「第 1 ローカルデコーダ」(奇数番用ローカルデコーダ)が，「各々」対応すること(1 - E - 1)，及び，複数のセクターを縦貫する 1 本の「偶数番グローバルワードライン」に，複数の「第 2 ローカルデコーダ」(偶数番用ローカルデコーダ)が，「各々」対応すること(1 - E - 2)を必須としている。

しかしながら，被告製品においては，一組を構成する 8 個のドラ

イバが一对のドライバ選択ラインにしか対応しないため、上記「各々」を充足しない。

c 以上によれば、被告製品は、構成要件 1 - E - 1 , 1 - E - 2 のいずれも充足しない。

(カ) 構成要件 1 - F - 1 について

被告製品のドライバ D [8] ~ [15] は、奇数番用のデコーダすなわち「第 1 ローカルデコーダ」ではなく、ドライバ D [0] ~ [7] は、偶数番用のデコーダすなわち「第 2 ローカルデコーダ」ではない。

したがって、被告製品は、構成要件 1 - F - 1 を充足しない。

(キ) 構成要件 1 - F - 2 について

a 被告製品が「行パーシャルデコーダ」を充足することについては認める。

b 本件発明は、一つのローカルワードラインが一组の PMOS トランジスター及び NMOS トランジスターのみを利用して駆動されることにより、行デコーダ回路によって占有されるダイ面積を小さくする発明であり、「プルアップトランジスター」は PMOS トランジスターに限られる。

被告製品のトランジスター t 1 は、NMOS トランジスターであり、「プルアップトランジスター」に該当しない。

したがって、被告製品は、構成要件 1 - F - 2 を充足しない。

c なお、本件発明は、一つの「プルアップトランジスター」によって「ワードライン電圧に駆動」(1 - E - 1 , 1 - E - 2) するように規定されているが、被告製品では、トランジスター t 0 とトランジスター t 1 が組になって働かないとワードラインに選択電位を与えることができないから、被告製品は、構成要件 1 - E - 1 , 1 - E - 2 のいずれも充足しない。

(ク) 構成要件 1 - F - 3 について

- a 被告製品のスイッチ回路は、「ブロックデコーダ」ではない。
- b 本件発明は、上記(キ)bのとおり、各ドライバが一組のPMOSトランジスター及びNMOSトランジスターのみを用いる発明であり、被告製品のドライバは、三つのNMOSトランジスターで構成されているから、被告製品は、「各ドライバは・・・構成し」(1 - F - 1ないし1 - F - 3)を充足しない。
- c したがって、被告製品は、構成要件 1 - F - 3を充足しない。

(ケ) 構成要件 1 - G について

- a 「前記選択された奇数番 / 偶数番グローバルワードラインに対応するローカルワードラインの中の二つのローカルワードラインが連続的に選択される」とは、奇数番グローバルワードラインに奇数番ローカルワードラインが、偶数番グローバルワードラインに偶数番ローカルワードラインが接続されて、奇数番用回路と偶数番用回路の制御経路が分離されていることを前提とするものであり、奇数番から奇数番又は偶数番から偶数番が連続的に選択される場合を指す。

この点、原告は、WL [0] と WL [1] が連続的に選択される場合を主張するが、これは偶数番と奇数番が連続的に選択される場合であるから、「前記選択された奇数番 / 偶数番グローバルワードラインに対応するローカルワードラインの中の二つのローカルワードラインが連続的に選択される」を充足しない。

- b 「放電信号」は、残留電位の放電動作のための信号であり、行アドレスが遷移する時に生成されるパルス信号である。

この点、被告製品では、そもそも残留電位の問題は生じないため、被告製品の R 2 信号は残留電位の放電動作のための信号ではない。

また，R 2 信号は，行アドレスが遷移する「前」に生成される信号である。

よって，被告製品は，「放電信号」を充足しない。

- c 「以前に選択された」という文言は，行アドレス遷移後に，行アドレス遷移前に選択していたローカルワードライン（以前に選択されたローカルワードライン）の放電が行われることを要求していると解される。

この点，被告製品は，「現在」選択されている行アドレスについてワードラインを 0 V にする処理を行っており，「以前に」選択された行アドレスについて処理を行っていないから，「以前に選択された」を充足しない。

- d 「以前に選択されたローカルワードラインの電圧」とは，行アドレスが遷移した後になっても，いまだフローティング状態で以前に選択されたローカルワードラインに残っている残留電位のことである。

他方，被告製品は，ワードラインにおいて残留電位の問題は生じないから，「以前に選択されたローカルワードラインの電圧」を充足しない。

- e 「ローカルワードラインの電圧が・・・プルダウントランジスターを通じて」とは，ローカルワードラインの電圧が，そのままプルダウントランジスターを通過していることを意味する。他方，被告製品では，R 1 信号により，ワードラインの電圧が，パーシャルデコードに対応する回路からの処理 1 によって，0 V に戻る。よって，被告製品は，「ローカルワードラインの電圧が・・・プルダウントランジスターを通じて」を充足しない。

- f 「前記選択された奇数番 / 偶数番グローバルワードライン」は，

上記(エ) a (c)のとおり，本件明細書の特許請求の範囲請求項 5 との関係で，制御経路分離構成を含むものを意味すると理解される。しかし，被告製品は，上記構成を有しないので，「前記選択された奇数番 / 偶数番グローバルワードライン」を充足しない。

g 以上によれば，被告製品は，構成要件 1 - G を充足しない。

(コ) 構成要件 1 - H について

a 被告製品のうち，半導体 I C 製品が「メモリ装置」に該当することは認める。

b 被告製品のうち，半導体ウェーハは，シリコンの円盤状の板であり，半導体 I C 製品のチップが組み込まれているだけのものであるから，「メモリ装置」に該当しない。

c 原告は，半導体ウェーハについて，予備的に特許法 1 0 1 条 1 号の適用を主張するが，被告製品の半導体ウェーハは海外に輸出され，最終的に海外で半導体 I C 製品が製造されるのであって，海外での製造は，日本国特許法の問題にはならない。

イ 被告製品は，下記(ア)ないし(ウ)のとおり，本件発明 2 の構成要件を充足しないから，本件発明 2 の技術的範囲に属しない。

(ア) 構成要件 2 - A について

上記ア(キ) a のとおり，被告製品が「行パーシャルデコーダ」を充足することについては認める。なお，被告製品においては，パーシャルデコーダに対応する回路が読出し及びプログラム動作に必要な電圧を出力しても，トランジスター t 0 がなければ，それをワードラインに伝えることはできない。

(イ) 構成要件 2 - B について

上記ア(ク) a のとおり，スイッチ回路は，「前記ブロックデコーダ」に該当しない。

したがって、被告製品は、構成要件 2 - B を充足しない。

(ウ) 構成要件 2 - C について

被告製品は、本件発明 1 の構成要件を充足しないので、構成要件 2 - C を充足しない。

(2) 本件特許は、特許無効審判により無効にされるべきものか (争点 2)

(被告の主張)

本件特許には、下記アないしウ記載の無効理由 (無効理由 1 ないし 5) があるから、特許無効審判により無効にされるべきものである。

ア 無効理由 1 ないし 3 について

(ア) 本件特許の発明の詳細な説明の記載は、当業者がその実施をすることができる程度に明確かつ十分に記載されたものではないため、平成 11 年法律第 160 号による改正前の特許法 36 条 4 項に規定する要件を満たしていない (無効理由 1, 実施可能要件違反)。

また、本件特許の特許請求の範囲の記載は、特許を受けようとする発明が発明の詳細な説明に記載したものではないから、特許法 36 条 6 項 1 号に規定する要件を満たしていない (無効理由 2, サポート要件違反)。

さらに、本件特許の特許請求の範囲の記載は、特許を受けようとする発明が不明確なものであるから、同項 2 号に規定する要件を満たしていない (無効理由 3, 明確性要件違反)。

以下、これらの無効理由について説明する。

(イ) a 原告は、本件発明においては、ドライバを構成する二つのトランジスタが、NMOS と NMOS, PMOS と PMOS, NMOS と PMOS, PMOS と NMOS のいずれのトランジスタの組合せであっても構わないと主張する。この原告の主張に従えば、本件発明にフローティング状態が生じない構成をも含むことになり、本

件発明の技術的な意義が不明となるから，本件特許の記載は不明確なものとなる（無効理由3，明確性要件違反）。

b) また，原告は，本件発明には，PMOSとNMOSだけではなく，NMOSとNMOS，PMOSとPMOS，NMOSとPMOSのすべてのトランジスターの組合せが含まれると主張する。

しかし，本件明細書には，一つのローカルワードラインにつき，プルアップトランジスターにPMOSTランジスター，プルダウントランジスターにNMOSTランジスターを用いる発明しか開示されていない。

よって，仮に原告の主張に従えば，本件特許の発明の詳細な説明の記載が，当業者がその実施をすることができる程度に明確かつ十分に記載されたものであるとはいえず（無効理由1，実施可能要件違反），また，本件特許の特許請求の範囲の記載は，特許を受けようとする発明が発明の詳細な説明に記載したものであるとはいえない（無効理由2，サポート要件違反）。

(ウ) a) 平成18年3月1日付け意見書(甲3)で原告が主張したように，本件発明1が，「二つのローカルワードラインが連続的に選択される時の不要な電圧の誘起を防止すること」を目的とするものであるとすると，不要な電圧の誘起を防止するためには，奇数番のローカルワードラインと偶数番のローカルワードラインの制御経路を分離し，フローティング状態になる偶数番（又は奇数番）のローカルワードラインを，接地電圧を有する奇数番（又は偶数番）のローカルワードラインによって遮蔽することが必須の要件となる。

これに対し，原告は，「奇数番グローバルワードライン」，「偶数番グローバルワードライン」は，単にそれぞれ奇数番目のグローバルワードライン，偶数番目のグローバルワードラインを意味すると主

張するが、そのような構成の技術的な意義は不明であるから、特許を受けようとする発明が不明確であるといわざるを得ない（無効理由3，明確性要件違反）。

b また、本件明細書の発明の詳細な説明には、本件発明に係る唯一の実施例として、奇数番と偶数番の制御経路を分離し、フローティング状態の偶数番（又は奇数番）のローカルワードラインを、接地電圧を有する奇数番（又は偶数番）のローカルワードラインで遮蔽する発明が開示されているだけであり、カップリングによる不要な電圧の誘起の問題を解決する他の発明の開示はない。

よって、原告の主張に従えば、本件特許の発明の詳細な説明の記載が、当業者がその実施をすることができる程度に明確かつ十分に記載されたものであるとはいえず（無効理由1，実施可能要件違反）、また、本件特許の特許請求の範囲の記載は、特許を受けようとする発明が発明の詳細な説明に記載したものであるとはいえない（無効理由2，サポート要件違反）。

イ 無効理由4（新規性の欠如）について

本件発明について、仮に原告が主張するとおりに解釈するとすれば、下記のとおり、本件発明は、本件特許の優先日である平成11年7月13日よりも前に頒布された刊行物である特開平7-169282号公報（乙2。以下「乙2公報」という。）に記載された発明（以下「乙2発明」という。）と同一であるから、特許法29条1項の規定により特許を受けることができないものである。

以下、本件発明の構成要件ごとに、対応する乙2公報の記載について検討する。

（ア） 構成要件1-Aについて

原告は、構成要件1-Aの「階層的」について、一つのセクター内

において、1本のグローバルワードラインに対して多数のローカルワードラインが対応していることを意味すると主張する。

この点、乙2発明では、一つのゲート選択アドレス信号G1に対して、多数のワード線(W11~Wi1)が対応しており(乙2公報段落【0018】ないし【0020】)、これは原告主張の階層的なワードライン構造に当たる。

したがって、乙2公報には、

1 - a 階層的なワードライン構造を有する不揮発性半導体記憶装置において、

という構成が記載されており、これは構成要件1 - Aに相当する。

(イ) 構成要件1 - Bについて

乙2公報段落【0034】、【0036】には、

1 - b 各々がワード線に連結されたメモリセルを有する複数個のセクターと、

という構成が記載されており、これは構成要件1 - Bに相当する。

(ウ) 構成要件1 - Cについて

一つのセクター内にとどまる信号線も「グローバルワードライン」であるという原告の主張によれば、乙2発明のゲート選択アドレス信号G1、G2・・・に対応する信号線(以下、「ゲート選択アドレス信号線」といい、この信号線を示す記号としてもG1、G2等を用いることがある。)は、「グローバルワードライン」に相当する。そして、乙2公報には、

1 - c 各々対応するセクターを通して配置された複数個のゲート選択アドレス信号線と、

という構成が記載されており、これは構成要件1 - Cに相当する。

(エ) 構成要件1 - D - 1ないし1 - D - 3について

原告の主張によれば，奇数番目のグローバルワードラインの中の1本のワードラインと偶数番目のグローバルワードラインの中の1本のワードラインとが，それぞれデコーダの中の異なる部分に結合されていけば，構成要件1 - D - 1ないし1 - D - 3を充足することとなる。

この点，乙2公報の段落【0020】，【0057】には，アドレス信号AXGに基づいて，ゲート選択アドレス信号線の中の一つのアドレス信号線を選択するワードデコーダ回路の一部分（以下，「ワードデコーダ部分」という。）が記載されている。そして，ゲート選択アドレス信号線ごとにかかるワードデコーダ部分が存在するので，奇数番のゲート選択アドレス信号線の中の1本のゲート選択アドレス信号線（例えばG1）と，偶数番のゲート選択アドレス信号線の中の1本のゲート選択アドレス信号線（例えばG0）は，それぞれ異なるワードデコーダ部分に接続されている。

よって，乙2公報には，

1 - d - 1 奇数番ゲート選択アドレス信号線の中の一つのゲート選択アドレス信号線を選択する第1のワードデコーダ部分と，

1 - d - 2 偶数番ゲート選択アドレス信号線の中の一つのゲート選択アドレス信号線を選択する第2のワードデコーダ部分と

1 - d - 3 を有するワードデコーダと，

という構成が記載されており，「ゲート選択アドレス信号線」は「グローバルワードライン」に，「ワードデコーダ部分」は「グローバルデコーダ」に，「ワードデコーダ」は「グローバルワードライン選択回路」にそれぞれ相当するから，上記1 - d - 1ないし1 - d - 3の構成は，それぞれ構成要件1 - D - 1ないし1 - D - 3に相当する。

(オ) 構成要件 1 - E - 1 , 1 - E - 2 , 1 - F - 1 について

原告の主張によれば，グローバルワードラインの奇数番，偶数番は並び順の意味しかないから，構成要件 1 - E - 1 , 1 - E - 2 は，「グローバルワードラインに各々対応し，各々が，対応するグローバルワードラインが選択される時に，対応するローカルワードラインの中の一つのワードラインをワードライン電圧に駆動するローカルデコーダ」という構成が二つ以上あることを意味するに過ぎない。

乙 2 公報の段落【 0 0 4 2 】ないし【 0 0 4 4 】には，ゲート選択アドレス信号線 G 1 , G 2 に各々対応し，各々が，対応するゲート選択アドレス信号線（例えば，G 1）が選択される時に，対応するワード線 W 1 1 , W 2 1 . . . の中の一つのワード線（例えば，W 1 1）を V c c に駆動するサブワードデコーダ回路が記載されている。

よって，乙 2 公報には，

1 - e - 1 奇数番ゲート選択アドレス信号線に各々対応し，各々が，対応する奇数番ゲート選択アドレス信号線が選択される時に，対応するワード線の中の一つのワード線を読み出しに必要な電圧 V c c に駆動する第 1 のサブワードデコーダ回路の集合体と，

1 - e - 2 偶数番ゲート選択アドレス信号線に各々対応し，各々が，対応する偶数番ゲート選択アドレス信号線が選択される時に，対応するワード線の中の一つのワード線を読み出しに必要な電圧 V c c に駆動する第 2 のサブワードデコーダ回路の集合体とを含み，

1 - f - 1 第 1 及び第 2 のサブワードデコーダ回路の集合体の各々は，対応するワード線に各々連結された複数個のサブワードデコーダ回路を有し，各サブワードデコーダ回路

は、

との構成が記載されており、「ゲート選択アドレス信号線」は「グローバルワードライン」に、「ワード線」は「ローカルワードライン」に、「読出しに必要な電圧Vcc」は「ワードライン電圧」に、「サブワードデコーダ回路の集合体」は「ローカルデコーダ」に、「サブワードデコーダ回路」は「ドライバ」にそれぞれ相当するから、上記1-e-1, 1-e-2, 1-f-1の構成は、それぞれ構成要件1-E-1, 1-E-2, 1-F-1に相当する。

(カ) 構成要件1-F-2について

乙2公報の段落【0043】、【0044】、【0057】には、アドレス信号AXBに基づいて、ゲート選択アドレス信号線Gjに対応するワード線Wijをワードデコーダ部分に連結するpチャンネルトランジスタが記載されている。

よって、乙2公報には、

1-f-2 対応するゲート選択アドレス信号線に対応するワード線をワードデコーダ部分に連結するpチャンネルトランジスタと、

という構成が記載されており、「ゲート選択アドレス信号線」は「グローバルワードライン」に、「ワード線」は「ローカルワードライン」に、「ワードデコーダ部分」は「行パーシャルデコーダ」に、「pチャンネルトランジスタ」は「プルアップトランジスタ」にそれぞれ相当するから、上記1-f-2の構成は、構成要件1-F-2に相当する。

(キ) 構成要件1-F-3について

乙2公報の段落【0043】、【0050】、【0057】には、アドレス信号AXBに基づいて、ゲート選択アドレス信号線Gjに対応するワード線Wijをワードデコーダ部分に連結するnチャンネルトラ

ンジスターが記載されている。

よって、乙2公報には、

1 - f - 3 対応するゲート選択アドレス信号線の信号に従って対応するワード線をワードデコーダ部分に連結するnチャンネルトランジスターとで構成し、

という構成が記載されており、「ワードデコーダ部分」は、ゲート選択アドレス信号線G_jの信号に応答して、選択されたワード線に消去動作に必要なワードライン電圧を印加する回路であることから「ブロックデコーダ」に相当し、「ゲート選択アドレス信号線」は「グローバルワードライン」に、「ワード線」は「ローカルワードライン」に、「nチャンネルトランジスター」は「プルダウントランジスター」にそれぞれ相当する。したがって、上記1 - f - 3の構成は、構成要件1 - F - 3に相当する。

(ク) 構成要件1 - Gについて

原告は、構成要件1 - Gについて、次のローカルワードラインを選択する前に、従前に選択されたローカルワードラインに印加された電圧を、放電信号に応答して、対応するドライバのプルダウントランジスターを通じて放電する構成であると主張する。

そして、乙2公報の段落【0045】、【0061】ないし【0063】には、

1 - g 選択された奇数番/偶数番ゲート選択アドレス信号線に対応するワード線の中の二つのワード線が連続的に選択される時、以前に選択されたワード線の電圧が、内部信号REVに応答して対応するサブワードデコーダ回路のnチャンネルトランジスターを通じて放電される

という構成が記載されており、内部信号REVによる放電動作は、以

前に選択されたワードラインの電圧を放電させることを目的とするから、「内部信号REV」は「放電信号」に相当し、「ゲート選択アドレス信号線」は「グローバルワードライン」に、「ワード線」は「ローカルワードライン」に、「サブワードデコーダ回路」は「ドライバ」に、「nチャンネルトランジスタ」は「プルダウントランジスタ」にそれぞれ相当する。したがって、上記1-gの構成は、構成要件1-Gに相当する。

(ケ) 構成要件1-Hについて

乙2公報の段落【0018】には、

1-h ことを特徴とする記憶装置
という構成が記載されており、「記憶装置」は「メモリ装置」に相当するから、上記構成は、構成要件1-Hに相当する。

(コ) 構成要件2-Aについて

乙2公報の段落【0022】、【0042】ないし【0044】、【0046】には

2-a ワードデコーダ部分は、読出し及びメモリセルのしきい値を上げる動作に必要な電圧Vcc及び1.2Vを出力し、
という構成が記載されており、「メモリセルのしきい値を上げる動作」は、メモリセルにデータを書き込む「プログラム動作」に相当し、また、乙2発明では、読出し動作に必要な電圧がVcc、プログラム動作に必要な電圧が1.2Vであるから、「読出し及びメモリセルのしきい値を上げる動作に必要な電圧Vcc及び1.2V」は、「読み出し及びプログラム動作に必要な前記ワードライン電圧」に相当する。よって、上記構成は、構成要件2-Aに相当する。

(サ) 構成要件2-Bについて

乙2公報の段落【0023】、【0050】には、

2 - b ワードデコーダ部分は、メモリセルのしきい値を下げる動作に必要な電圧 - 8 V を出力する

という構成が記載されており、「メモリセルのしきい値を下げる動作」は「消去動作」に相当し、乙2 発明では、消去動作に必要な電圧が - 8 V であることから、「メモリセルのしきい値を下げる動作に必要な電圧 - 8 V」は「消去動作に必要な前記ワードライン電圧」に相当する。よって、上記構成は、構成要件 2 - B に相当する。

(シ) 構成要件 2 - C について

上記(ケ)のとおり乙2 公報には「記憶装置」の発明が記載されており、以上の検討によれば、乙2 公報には、

2 - c ことを特徴とする 1 - a ないし 1 - h の構成を有する記憶装置

という構成が記載されており、この構成は、構成要件 2 - C に相当する。

ウ 無効理由 5 (進歩性の欠如) について

上記イのとおり本件発明と乙2 発明とは同一のものである。しかしながら、仮に本件発明の構成要件 1 - C の「セクターを通して」が「セクターを縦に貫くこと」を意味すると解するならば、乙2 公報にはセクターを縦に貫くようにゲート選択アドレス信号線を配設することについて明確な記載がなく、この点が本件発明と乙2 発明の相違点となる。

他方、本件特許の優先日よりも前の平成 11 年 5 月 21 日に頒布された特開平 11 - 134887 号公報(乙3。以下「乙3 公報」という。)には、グローバルワードラインが複数のセクターを縦に貫くように配置される構成(以下「乙3 発明」という。)が記載されている。

よって、仮に構成要件 1 - C の「セクターを通して」を「セクターを縦に貫くこと」と解釈するとしても、当該構成は、同一の技術分野に属する

乙3発明によって埋められるものであり、上記イ(ウ)の1 - cの構成において、各々対応する前記セクターに配置された複数個のゲート選択アドレス信号線をセクターを縦貫するように配置することは、本件特許の優先日以前において、当業者にとって容易になし得ることである。

以上のとおり、本件発明は、乙2発明及び乙3発明に基づいて当業者が容易に発明をすることができたものであるから、特許法29条2項の規定により特許を受けることができないものである。

(原告の主張)

ア 無効理由1ないし3について

被告が主張する無効理由1ないし3は、要するに、本件発明の特許請求の範囲の文言が、トランジスターの極性を限定しない点、及びグローバルワードラインの奇数・偶数がそれぞれローカルワードラインの奇数・偶数と対応することを限定していない点において不当であるというものである。しかしながら、本件発明の特許請求の範囲の文言は、下記(ア)、(イ)のとおり、いずれも不当ではない。

(ア) トランジスターの極性を限定しない点について

本件発明1は、同じグローバルワードラインに対応する二つのローカルワードラインが連続的に選択される際に、放電信号を用いてプルダウントランジスターを介してブロックデコーダへと放電するところにその特徴があり、この点に不要な電圧の誘起を防止することが可能となるという効果があるから、ドライバについてみれば、プルアップトランジスターとプルダウントランジスターの両者から構成されていれば足り、これらのトランジスターの極性を問うものではない。

(イ) グローバルワードラインの奇数・偶数がそれぞれローカルワードラインの奇数・偶数と対応することを限定していない点について

本件発明1は、上記(ア)のとおり、同じグローバルワードラインに

対応する二つのローカルワードラインが連続的に選択される際に、放電信号を用いてプルダウントランジスタを介してブロックデコーダへと放電するところにその特徴があるのであって、グローバルワードラインの奇数・偶数と、ローカルワードラインの奇数・偶数とが対応することに特徴があるのではない。

イ 無効理由 4（新規性の欠如）について

乙 2 発明と本件発明とでは、以下のとおり、グローバルワードライン、ローカルワードライン、ドライバ及びパーシャルデコーダの配置が全く異なり、また、乙 2 発明には、ブロックデコーダが存在せず、さらに、同じグローバルワードラインに対応する二つのローカルワードラインが連続的に選択される際に放電信号を用いてプルダウントランジスタを介して放電するという点も開示されていないから、本件発明と乙 2 発明は、同一ではない。

(ア) 乙 2 発明と本件発明とでは、次のとおり、グローバルワードライン、ローカルワードライン、ドライバ及びパーシャルデコーダに係る基本的な構成が根本的に異なり、乙 2 発明には、構成要件 1 - C 以降の構成が存在しない。

a 被告は、ゲート選択アドレス信号線 G 1、G 2 をグローバルワードラインに当てはめている。しかし、この当てはめでは、ローカルワードラインとグローバルワードラインが直交することになり、その結果、グローバルワードラインがビット線と平行して配置されることとなるため、技術常識に反し、また、グローバルワードライン G 1、G 2 がセクターを貫通せず、失当である。

b 乙 2 発明を本件発明に適切に当てはめると、W 1 1、W 1 2 がローカルワードラインに、B 1 p 及び B 1 n の組がグローバルワードラインにそれぞれ対応し、B 1 p 及び B 1 n の組が「選択ブロック」

を選択し、「選択ブロック」の中でさらにいずれかのワードラインを選択するのがゲート選択アドレス信号G1、G2を駆動する乙2公報の図13の下半分に示された回路であるから、この回路が「パーシャルデコーダ」に対応する。そうすると、トランジスタWDp11はW11をB1pに連結しており、「パーシャルデコーダ」には連結しておらず、また、トランジスタWDn11はW11をB1nに連結しており、「ブロックデコーダ」には連結していないことになる。

(イ) 乙2発明には、次のとおり、本件発明のブロックデコーダが存在せず、構成要件1-F-3に相当する構成は記載されていない。

a 被告は、乙2発明のアドレス信号AXBをデコードするNANDゲートを本件発明の「行パーシャルデコーダ」と「ブロックデコーダ」の双方に当てはめているが、これは一つのデコーダ回路を分解することとなるため、失当である。

b 上記(ア)bのとおり乙2発明を本件発明に当てはめると、乙2公報の図13の上半分の回路は、「グローバルデコーダ」に対応し、また、乙2公報には「ブロックデコーダ」は存在しない。

(ウ) 被告の主張によれば、ゲート選択アドレス信号線G1、G2がグローバルワードラインに相当することとなるが、乙2公報の図15では、上記グローバルワードラインが切り替わった際(W11からW12に、W12からW21に、W21からW22に切り替わる際、いずれの場合においても、グローバルワードラインはそれぞれ、G1からG2に、G2からG1に、G1からG2に切り替わる。)にREV信号が活性化されることが示されており、同じグローバルワードラインに対応する二つのローカルワードラインが連続的に選択される際(例えば、W11からW21が選択される場合)にどうなるかについては記載がなく、

同様に、乙2公報の図14、16にも記載がない。

よって、被告の主張によれば、乙2公報には、構成要件1-Gに相当する記載がない。

ウ 無効理由5（進歩性の欠如）について

乙3公報には、被告が主張するとおり、複数のセクターを貫くグローバルワードラインが記載されている。

しかし、乙2発明においては、一つのデコーダによって選択・駆動される相補的なB1n線、B1p線によって電源が供給されるドライバ回路が用いられており、パーシャルデコーダとブロックデコーダの区別が存在しておらず、乙2発明と乙3発明とは、グローバルワードライン等の基本的な構成において相違するから、両者を組み合わせることは困難である。

さらに、被告主張のとおり、組合せが可能であると仮定してみても、本件発明の構成要件1-Gに対応する構成は、乙2公報及び乙3公報には記載されていない。

加えて、同じグローバルワードラインに対応する二つのローカルワードラインが連続的に選択される際に、放電信号を用いてプルダウントランジスターを介して、パーシャルデコーダではなくブロックデコーダへと放電するという本件発明の作用及び効果については、乙2公報及び乙3公報には記載されていないし、示唆もされていない。

以上によれば、本件発明は、当業者が乙2発明及び乙3発明に基づいて容易に発明をすることができたものとはいえない。

第3 争点に対する判断

1 争点1（被告製品は、本件発明の技術的範囲に属するか）について

(1) 構成要件1-A（階層的なワードライン構造を有する不揮発性半導体メモリ装置）について

被告製品1はフラッシュメモリ製品であること、被告製品2の半導体ウェ

一八には被告製品 1 のフラッシュメモリ製品のチップが多数作り込まれていることは当事者間に争いが無いから、被告製品は、いずれも「不揮発性半導体メモリ装置」に該当する。

「階層」とは、「一般に、段階的に層をなすものの各層」を意味する（広辞苑第 6 版）。

前記の本件特許の特許請求の範囲請求項 1 の記載によれば、本件発明 1 においては、複数のグローバルワードラインのうちの一つを選択し、次いで、選択したグローバルワードラインに対応する複数のローカルワードラインのうちの一つを選択するという、段階的にワードラインを選択する構成が採られていることが認められ、これが、構成要件 1 - A の「階層的なワードライン構造」に当たるといえることができる。

当事者間に争いのない被告製品の構成によれば、被告製品においては、一つのセクター内の複数のドライバ選択ラインのうちの一対を選択し、次いで、選択したドライバ選択ラインに対応する複数のワードラインのうちの一つを選択する構成が採られていることが認められるから、被告製品は、構成要件 1 - A の「階層的なワードライン構造」を有しているといえることができる。

被告は、「階層的なワードライン構造」とは、セクター内のみならず複数のセクター間においても階層的な構造を有することが必要である旨主張するものの、そのように限定して解釈すべき根拠を見いだすことはできないから、被告の主張は採用することができない。

したがって、被告製品は、構成要件 1 - A を充足する。

(2) 構成要件 1 - B（各々がローカルワードラインに連結されたメモリセルを有する複数個のセクター）について

当事者間に争いのない被告製品の構成によれば、被告製品は、複数個のセクターを有し、各々のセクターがワードラインに接続されたメモリセルを有すると認められる。被告製品の「ワードライン」が構成要件 1 - B の「ロー

カルワードライン」に相当することは争いがない。

したがって、被告製品は、構成要件 1 - B を充足する。

- (3) 構成要件 1 - C (各々対応する前記セクターを通して配置された複数個のグローバルワードライン) について

前記(1)で説示したところによれば、構成要件 1 - C の「グローバルワードライン」とは、「ローカルワードライン」に対して、より上位のワードラインを意味するものといえることができる。当事者間に争いのない被告製品の構成によれば、被告製品のドライバ選択ラインは、ローカルワードラインに相当する「ワードライン」に対して、より上位のワードラインであると認められるから、「グローバルワードライン」に相当するものといえることができ、また、一つのセクターを貫いているものと認められるから、「セクターを通して配置された」ものであるといえることができる。

被告は、本件発明におけるグローバルワードラインとは、複数のセクターを通して配置されたものでなければならぬと主張するものの、そのように限定して解釈すべき根拠を見いだすことはできないから、被告の主張は採用することができない。

したがって、被告製品は、構成要件 1 - C を充足する。

- (4) 構成要件 1 - D - 1 , 1 - E - 1 , 1 - G (奇数番グローバルワードライン) 及び構成要件 1 - D - 2 , 1 - E - 2 , 1 - G (偶数番グローバルワードライン) について

ア 原告は、「奇数番」、「偶数番」が問題となるのは、「グローバルワードライン」についてであって、「ローカルワードライン」の並び順は問われないと主張する(前記第 2 の 3 (1) (原告の主張) ア(エ) a (a))。これに対し、被告は、「奇数番グローバルワードライン」は、奇数番のローカルワードラインとのみ対応するグローバルワードラインであり、「偶数番グローバルワードライン」は、偶数番のローカルワードラインとのみ対応す

るグローバルワードラインである旨主張する（前記第2の3(1)（被告の主張）ア(エ) a (b)）。

本件発明の特許請求の範囲に記載された「奇数番グローバルワードライン」、「偶数番グローバルワードライン」の各用語は、一般的な技術用語ではなく、その意義は、本件発明の特許請求の範囲の記載から一義的に明らかであるとはいえないから、これらの用語は、本件明細書の記載及び図面を考慮して解釈されなければならない（特許法70条2項）。

そこで、以下、本件明細書の記載及び図面を参酌し、上記各用語の意義について検討することとする。

イ 本件明細書中には、「奇数番グローバルワードライン」、「偶数番グローバルワードライン」のいずれの用語についても、その意義を直接的に定義付ける記載はなく、また、各用語の意義について直接説明する記載もない。

ウ 本件明細書には、本件発明の唯一の実施例として、図3（「本発明の好適な実施の形態による行デコーダ回路を示す回路図」）と共に次の各記載がある。

(ア) 「図3は、本発明の好適な実施の形態による行デコーダ回路を示す回路図である。図3の行デコーダ回路は、階層的なワードライン構造（中略）又はワードライン分割構造（中略）を有する図1のフラッシュメモリ装置に組み込まれ得る。なお、図面には示されていないが、複数のグローバルワードラインは同一の方向に配列されたセクターを通して配置され、各セクターはグローバルワードラインと階層的に配列されたローカルワードラインとを有する。」（6頁47行～7頁3行、段落【0020】）

(イ) 「図3の行デコーダ回路は、偶数番行グローバルデコーダ(100)、奇数番行グローバルデコーダ(120)、行ローカルデコーダ(140)、行パーシャル(partial)デコーダ(160)、及びブロックデ

コーダ(180)を含む。図3の行デコーダ回路は、2本のグローバルワードライン(EGWL i)及び(OGWL i)と8個のローカルワードライン(WL0)~(WL7)に対応するが、残りのグローバルワードライン(EGWL1)~(EGWL $i-1$)及び(OGWL1)~(OGWL $i-1$)に各々対応する偶数番及び奇数番行グローバルデコーダ(100)及び(120)は、図示されていないが、各セクターに対応して設けられている。」(7頁5行~12行、段落【0021】)

(ウ) 「偶数番行グローバルデコーダ(100)は、図3に示されたように連結されたNANDゲート(102)、NORゲート(104)及びレベルシフター(106)で構成され、行アドレス(Add1)に应答して対応する偶数番グローバルワードライン(EGWL i)を電圧(VH)又は(VL)に駆動する。同様に、奇数番行グローバルデコーダ(120)は、図3に示されたように連結されたNANDゲート(122)、NORゲート(124)及びレベルシフター(126)で構成され、行アドレス(Add1)に应答して対応する奇数番グローバルワードライン(OGWL i)を電圧(VH)又は(VL)に駆動する。偶数番及び奇数番行グローバルデコーダ(100)及び(120)は、グローバルワードライン選択回路を構成する。」(7頁14行~22行、段落【0022】)

(エ) 「行ローカルデコーダ(140)は、偶数番グローバルワードライン(EGWL i)に対応する4個のローカルワードライン(WL0)、(WL2)、(WL4)及び(WL6)に各々連結された4個のドライバと、奇数番グローバルワードライン(OGWL i)に対応する4個のローカルワードライン(WL1)、(WL3)、(WL5)及び(WL7)に各々連結された4個のドライバとで構成される。各ドライバは、PMOSトランジスターとNMOSトランジスターで構成され、偶数番グロ

ーバルワードライン(EGWL i)に対応するローカルワードライン(WL0),(WL2),(WL4)及び(WL6)は、奇数番グローバルワードライン(OGWL i)に対応するローカルワードライン(WL1),(WL3),(WL5)及び(WL7)と交互に配列される。」(7頁24行~32行,段落【0023】)

(オ) 「ローカルワードライン(WL0),(WL2),(WL4)及び(WL6)に各々連結されたドライバのPMOSトランジスタ(P10),(P12),(P14)及び(P16)は、行パーシャルデコーダ(160)のワードライン選択信号(PWL0),(PWL2),(PWL4)及び(PWL6)に各々連結されたソース電極、偶数番グローバルワードライン(EGWL i)に共通に連結されたゲート電極及び対応するローカルワードライン(WL0),(WL2),(WL4)及び(WL6)に各々連結されたドレイン電極を有する。ローカルワードライン(WL0),(WL2),(WL4)及び(WL6)に各々連結されたドライバのNMOSトランジスタ(N10),(N12),(N14)及び(N16)は、対応するローカルワードライン(WL0),(WL2),(WL4)及び(WL6)に各々連結されたドレイン電極、偶数番グローバルワードライン(EGWL i)に共通に連結されたゲート電極及びブロックデコーダ(180)に共通連結されたソース電極を有する。」(7頁34行~45行,段落【0024】)

(カ) 「ローカルワードライン(WL1),(WL3),(WL5)及び(WL7)に各々連結されたドライバのPMOSトランジスタ(P18),(P20),(P22)及び(P24)は、行パーシャルデコーダ(160)のワードライン選択信号(PWL1),(PWL3),(PWL5)及び(PWL7)に各々連結されたソース電極、奇数番グローバルワードライン(OGWL i)に共通に連結されたゲート電極及び対応するロ

ーカルワードライン(WL1),(WL3),(WL5)及び(WL7)に各々連結されたドレーン電極を有する。ローカルワードライン(WL1),(WL3),(WL5)及び(WL7)に各々連結されたドライバのNMOSトランジスタ(N18),(N20),(N22)及び(N24)は、対応するローカルワードライン(WL1),(WL3),(WL5)及び(WL7)に各々連結されたドレーン電極、奇数番グローバルワードライン(OGWL_i)に共通に連結されたゲート電極及びブロックデコーダ(180)に共通連結されたソース電極を有する。」(7頁47行~8頁8行,段落【0025】)

(キ) 「以下、本発明の好適な実施の形態によるプログラム、読み出し及び消去動作を説明する。なお、ここでは、説明の便宜のために、ローカルワードライン(WL2)が選択されるものとしてプログラム及び読み出し動作を説明する。」(8頁35行~37行,段落【0029】)

(ク) 「上記の表に示すように、プログラム及び読み出し動作の間、図3の偶数番行グローバルデコーダ(100)は、行アドレス(AddI)に応答して偶数番グローバルワードライン(EGWL_i)を0Vの電圧(VL)に駆動し、その結果、PMOSトランジスタ(P10)~(P16)はターンオンし、NMOSトランジスタ(N10)~(N16)はターンオフする。この時、奇数番行グローバルデコーダ(120)は、行アドレス(AddI)に応答して、奇数番グローバルワードライン(OGWL_i)を読み出し動作時は5Vの電圧(VH)に駆動し、プログラム動作時は10Vの電圧(VH)に駆動し、その結果、PMOSトランジスタ(P18)~(P24)はターンオンし、NMOSトランジスタ(N18)~(N24)はターンオフする。行パーシャルデコーダ(160)は、行アドレス(AddII)に応答して、ワードライン選択信号(PWL2)を読み出し動作時は約5Vの電圧(Vw1)に駆動し、

プログラム動作時は約10Vの電圧(Vw1)に駆動し、残りのワードライン選択信号(PWL0),(PWL1),(PWL3)~(PWL7)を各々接地電圧(GND)に駆動する。そして、ブロックデコーダ(180)は、行アドレス(AddIII)に应答して、読み出し及びプログラム動作の間、0Vの電圧(VL)を出力する。」(8頁39行~9頁3行,段落【0030】)

(ケ) 「結果的に、ローカルワードライン(WL2)は、PMOSトランジスタ(P12)を通じて、読み出し動作時は5V、プログラム動作時は10Vのワードライン選択信号ライン(PWL2)に連結され、ローカルワードライン(WL0),(WL4)及び(WL6)は、PMOSトランジスタ(P10),(P14)及び(P16)を通じて、読み出し及びプログラム動作時に0Vのワードライン選択信号ライン(PWL0),(PWL4)及び(PWL6)に各々連結される。そして、奇数番グローバルワードライン(OGWL*i*)に対応するローカルワードライン(WL1),(WL3),(WL5)及び(WL7)は、対応するNMOSトランジスタ(N18),(N20),(N22)及び(N24)を通じてブロックデコーダ(180)の出力(VL)、即ち、0Vに連結される。このようなバイアス条件下で、読み出し及びプログラム動作が実行される。」(9頁5行~14行,段落【0031】)

(コ) 「ここで、非選択されたローカルワードライン(WL0),(WL4)及び(WL6)は、読み出し及びプログラム動作の間、PMOSトランジスタ(P10),(P14)及び(P16)の各々のゲート電極が0Vの偶数番グローバルワードライン(EGWL*i*)に連結され、ソース電極が0Vの対応するワードライン選択信号ラインに連結されているのでフローティング状態(floating state)になる。しかしながら、フローティング状態にされたローカルワードライン(W

L 0), (W L 4) 及び (W L 6) が接地電圧を有する奇数番グローバルワードライン (O G W L i) に対応するローカルワードライン (W L 1), (W L 3), (W L 5) 及び (W L 7) によって遮蔽 (s h i e l d i n g) されているので, ローカルワードライン (W L 2) がワードライン電圧 (V w 1) に駆動される時に, 隣接したワードラインの間のカップリングは生じない。即ち, ローカルワードライン (W L 2) がワードライン電圧 (V w 1) に駆動される時, フローティング状態のローカルワードラインには電圧が誘起されない。」(9 頁 1 6 行 ~ 2 7 行, 【 0 0 3 2 】)

(サ) 「任意の選択されたグローバルワードライン(例えば, E G W L i) に対応するローカルワードライン(例えば, W L 0 , W L 2 , W L 4 及び W L 6) のうちの任意のローカルワードライン(例えば, W L 2 及び W L 4) が連続的に選択される場合, 次のような放電動作が実行される。選択されたグローバルワードライン (E G W L i) に対応する行グローバルデコーダ (1 0 0) が, 放電信号 (W L D I S) に応答して当該選択されたグローバルワードライン (E G W L i) を電圧 (V H) に駆動することによって, 以前に選択されたローカルワードライン(例えば, W L 2) の電圧 (V w 1) はローカルワードライン (W L 2) に対応するドライバの N M O S トランジスタ (例えば, N 1 2) を通じて放電される。ここで, 放電信号 (W L D I S) は, 行アドレスが遷移する時に生成されるパルス (p u l s e) 信号であり, このパルス信号は数 n s のパルス幅を有する。したがって, 読み出し動作及びプログラム動作の速度はそのような放電動作によって低下することがない。」(9 頁 2 9 行 ~ 4 0 行, 段落【 0 0 3 3 】)

エ 上記の本件明細書の記載及び図 3 によれば, 本件発明の唯一の実施例においては, (W L 0) ないし (W L 7) の番号が付された 8 本のローカル

ワードラインが番号順に配列されており，奇数番グローバルワードラインは，4個のドライバを介して奇数番の付された(WL1),(WL3),(WL5)及び(WL7)の4本のローカルワードラインに連結され，偶数番グローバルワードラインは，4個のドライバを介して偶数番の付された(WL0),(WL2),(WL4)及び(WL6)の4本のローカルワードラインに連結された構成が開示されていることが認められる。そして，実施例においては，この構成を採用することにより，例えば偶数番グローバルワードラインに対応するローカルワードラインの一つ(WL2)が選択された場合に，選択されなかった同一のグローバルワードラインに対応する他のローカルワードライン(WL0,WL4及びWL6)はフローティング状態となるものの，交互に配置された接地電圧を有する奇数番グローバルワードラインに対応するローカルワードライン(WL1,WL3,WL5及びWL7)によって遮蔽されているため，選択されたローカルワードライン(WL2)がワードライン電圧に駆動されるときに，フローティング状態のローカルワードライン(WL0,WL4及びWL6)には電圧が誘起されず，いわゆるカップリングの発生が防止されている。

そうすると，上記実施例においては，「偶数番グローバルワードライン」とは，順に並んだローカルワードライン(順にWL0,WL1,WL2,WL3,WL4,WL5,WL6,WL7と番号が付されている。)のうち偶数番が付されたローカルワードライン(WL0,WL2,WL4,WL6)に対応するグローバルワードラインであり，「奇数番グローバルワードライン」とは，上記順に並んだローカルワードラインのうち奇数番が付されたローカルワードライン(WL1,WL3,WL5,WL7)に対応するグローバルワードラインであるということが出来る。

オ 原告は，本件発明は上記実施例に記載された構成に限定されるものではなく，偶数番グローバルワードライン及び奇数番グローバルワードライン

に対応するローカルワードラインの並び順は問わないのであって、本件発明におけるグローバルワードラインの「奇数番」、「偶数番」とは、複数のグローバルワードラインの並び順をいう旨主張する。

本件発明の特許請求の範囲の記載中には、偶数番グローバルワードラインに対応する複数のローカルワードラインと奇数番グローバルワードラインに対応する複数のローカルワードラインとを交互に配置する旨の文言はなく、また、一般論として、特許発明の技術的範囲は、実施例に記載された構成に必ずしも限定されるものではない。

しかしながら、原告が主張するようにグローバルワードラインに対応するローカルワードラインの並び順は問わないと解すると、本件発明には、例えば、前記ウの本件発明の実施の形態において、偶数番グローバルワードライン（EGWL_i）に、順に並んだローカルワードライン（WL₀ないしWL₇）のうちWL₀、WL₁、WL₂、WL₃を対応させる構成も含まれることになる。このような構成の下で、仮にWL₂が選択される場合について考えると、前記ウ(コ)記載のとおり、選択されなかったローカルワードラインWL₀、WL₁及びWL₃は、フローティング状態となるから、ローカルワードラインWL₂の電位が選択電位に上昇すると、カップリング効果により、同じ偶数番グローバルワードラインに属する他のローカルワードラインWL₀、WL₁及びWL₃の電位も一斉に上昇することになり、メモリ装置として正常に動作しない状態になってしまうことは明らかである。このような場合に生じるカップリングの問題を解決するための具体的な手段は、本件明細書中には一切開示されておらず、その解決手段が自明であると認めるに足りる証拠もない。

原告は、本件発明においてはローカルワードラインがフローティング状態になるという問題は前提にしておらず、段落【0032】のフローティング状態のローカルワードラインに生じるカップリングの問題とその解決

についての記載は、請求項 1 2 , 1 3 の発明に係る記載であり、本件発明の解釈に参酌されるべき記載ではないと主張する。

しかしながら、「奇数番グローバルワードライン」及び「偶数番グローバルワードライン」についての原告の前記解釈を前提とするならば、本件発明にはカップリングの問題があるにもかかわらず、その解決手段を講じないままの正常に動作しない状態のメモリ装置を含むことになってしまうことになる。このような原告の解釈は不合理であるといわざるを得ない。

カ 前記ウの実施例に関する記載以外には、本件明細書中に「奇数番グローバルワードライン」、「偶数番グローバルワードライン」の用語の意義を把握する手掛かりとなる記載は存在しない。

キ 上記の本件明細書の記載及び図面を参酌するならば、本件発明の唯一の実施例に示されているとおり、「奇数番グローバルワードライン」とは、順に並んだローカルワードラインのうち奇数番が付されたローカルワードラインのみに対応するグローバルワードラインのことを意味し、「偶数番グローバルワードライン」とは、順に並んだローカルワードラインのうち偶数番が付されたローカルワードラインのみに対応するグローバルワードラインのことを意味すると解するのが相当であり、原告の「奇数番グローバルワードライン」、「偶数番グローバルワードライン」の各用語の意義についての主張は、採用することができない。

ク 上記キの「奇数番グローバルワードライン」、「偶数番グローバルワードライン」の文言の解釈に基づいて、被告製品が、構成要件 1 - D - 1 , 1 - E - 1 , 1 - G の「奇数番グローバルワードライン」と構成要件 1 - D - 2 , 1 - E - 2 , 1 - G の「偶数番グローバルワードライン」を充足するかについて、以下、検討する。

(ア) 原告は、被告製品のドライバ選択ライン (W L S [1], / W L S [1]) が「奇数番グローバルワードライン」に、ドライバ選択ライン

(WLS [0], /WLS [0])が「偶数番グローバルワードライン」に該当すると主張する(前記第2の3(1)(原告の主張)ア(エ)b, 同(オ), (キ), (ク), (シ))。

被告製品においては, 被告製品説明書1-a, b, c記載のとおり, 各セクター内に64対のドライバ選択ライン(WLS [0] ~ [63], /WLS [0] ~ [63])と512本のワードライン(WL [0] ~ [511])があり, 一对のドライバ選択ライン(WLS, /WLS)には8本のワードラインが対応している。

しかしながら, 被告製品においては, 一对のドライバ選択ラインと対応する8本のワードラインとの関係において, 順に並んだワードラインのうち奇数番が付されたワードラインのみに対応するドライバ選択ライン, 偶数番が付されたワードラインのみに対応するドライバ選択ラインといった構成は採用されていない。

(イ) よって, 被告製品のドライバ選択ラインは, いずれも順に並んだワードラインのうち, 奇数番が付されたワードラインのみに対応するものではなく, また, 偶数番が付されたワードラインのみに対応するものでもないから, 上記キの「奇数番グローバルワードライン」, 「偶数番グローバルワードライン」のいずれにも該当しない。

したがって, 被告製品は, 構成要件1-D-1, 1-D-2, 1-E-1, 1-E-2, 1-Gを充足しない(1-D-1及び1-D-2を前提とする1-D-3も充足せず, さらに, 1-E-1及び1-E-2を前提とする1-F-1も充足しないこととなる。)

(5) 被告製品が請求項1の構成要件を充足しない以上, その従属項である請求項2も充足しないことは明らかである。

以上のとおりであるから, 被告製品は, 本件発明の技術的範囲に属しない。

2 上記1で説示したところによれば, その余の争点について判断するまでもな

く、原告の請求はいずれも理由がないこととなる。

第4 結論

以上によれば、原告の請求は、いずれも理由がないから棄却することとし、
主文のとおり判決する。

東京地方裁判所民事第47部

裁判長裁判官 阿 部 正 幸

裁判官 柵 木 澄 子

裁判官 小 川 卓 逸

被告製品目録

- 1 型式番号が、S 2 9 W S 1 2 8 N , S 2 9 W S 2 5 6 Nで特定される半導体 I C 製品
- 2 上記 1 の半導体 I C 製品のチップが作り込まれた半導体ウェーハ

被告製品説明書

被告製品のうち半導体 I C 製品はフラッシュメモリ製品である。半導体ウェーハは、シリコンの円盤状の板であって、その上に半導体 I C 製品用チップが多数作り込まれている。

被告製品の半導体 I C 製品は、S 2 9 W S 2 5 6 N , S 2 9 W S 1 2 8 N の型番を有する。半導体ウェーハ上に作り込まれたチップは切り出され、これと端子とを配線した上でモールドしたものが半導体 I C 製品となる。

S 2 9 W S 2 5 6 N 用チップは、8列ずつ2段に配置された16個のバンクが存在する構成である。各々のバンクは、複数個(16個ないし17個)のセクターを含んでいる。S 2 9 W S 1 2 8 N については、バンクの数と配置はS 2 9 W S 2 5 6 N と同じであるが、各バンク当たりのセクターの数が異なる(8個ないし9個)。

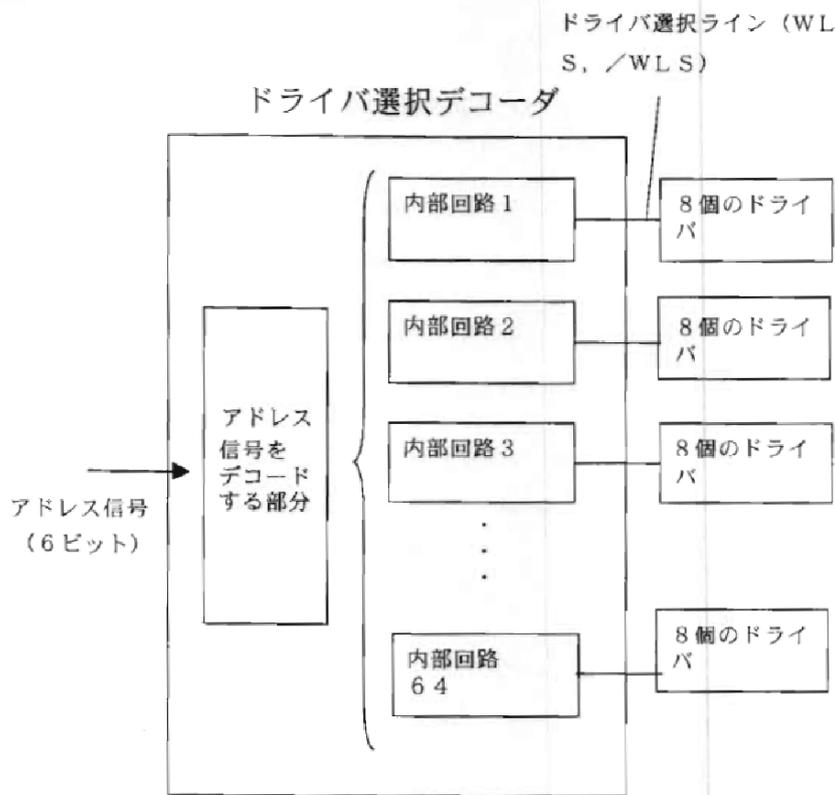
セクターごとに設けられているドライバ選択デコーダには、行アドレスのうち6ビットが供給されてデコードされ、1セクターに64対あるドライバ選択ラインの中から一つが選択され、8個のドライバに所定の電圧が供給される。このドライバ選択ラインはセクターごとに存在しており、一つのセクターから他のセクターに延びるものではない。すなわち、ドライバ選択ラインは、複数個のセクターを縦貫して配置されていない。

行アドレスのうち3ビットがパーシャルデコーダに対応する回路に供給されてデコードされ、パーシャルデコーダに対応する回路は、8本の出力線のうち、書込み・読出しを行うワードラインに対応する出力の電圧を、書込み・読出しに必要な電圧に切り替え出力し、その他の出力は0Vに維持され、これらがドライバを通してワードラインに供給される。なお、消去動作は、セクター単位で行われ、スイッチ回路は消去に必要な電圧を出力し、これがドライバを通してワードラインに供給される。各セクターの構成は次のとおりである。

1 - a , b , c S 2 9 W S 2 5 6 N , S 2 9 W S 1 2 8 N用チップには , フラッシュメモリセルを含む2 5 6 ないし1 2 8 個のセクターが存在する。各セクター内には6 4 対のドライバ選択ライン (W L S [0] ~ [6 3] , / W L S [0] ~ [6 3]) と5 1 2 本のワードライン (W L [0] ~ [5 1 1]) があり , 8 本のワードライン (W L) に対応した一対のドライバ選択ライン (W L S , / W L S) は , 一つのセクター内にとどまっている。

1 - d 与えられるアドレスデータから6 4 対のドライバ選択ラインのうち一対を選択し , 所定の電圧を八つのドライバに同時に与えるドライバ選択デコーダが , 各セクターに設けられる。

ドライバ選択デコーダの内部構成とワードラインを駆動するドライバへの接続関係を示す模式図は , 以下のとおりである。



模式図に示すとおり、ドライバ選択デコーダには、内部回路が64個ある。各内部回路は、特定の一対のドライバ選択ラインとのみ接続され、他のドライバ選択ラインとは接続されていない。

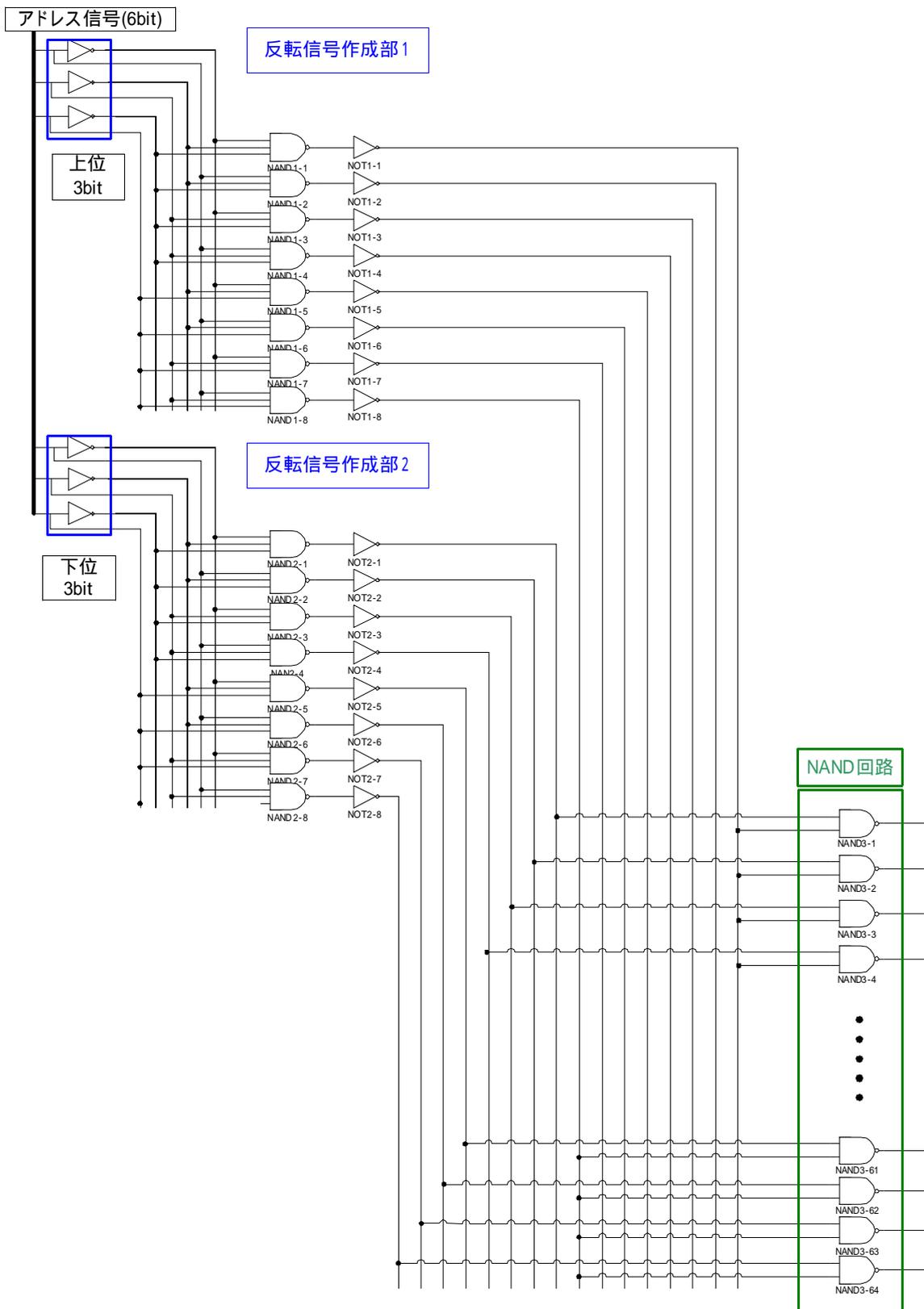
被告製品は、1セクター当たり512本のワードラインを有し、このワードラインごとに一つのドライバがある。模式図のとおり、8個のドライバは同時に選択される。

アドレス信号をデコードする部分は6ビットのアドレス信号を受け、このアドレス信号に対応する一つの内部回路を64個の内部回路の中から特定する。

アドレス信号をデコードする部分の内部構成の模式図は以下のとおりである。なお、被告製品における実際のアドレス信号は24ビット（行アドレス19ビット、列アドレス7ビット）であり、ドライバ選択デコーダに入力されるのは行アドレス

19ビットのうち、下位から4～9番目の6ビット（全体のアドレスからすると、ビット10～15）であるが、説明の便宜のため、ドライバ選択デコーダに入力されるアドレス信号の6ビットの各ビットを上位ビットから順番にビット5、ビット4、ビット3、ビット2、ビット1、ビット0と呼ぶことにする。

模式図 アドレス信号をデコードする部分の内部構成



以下，上記模式図を説明する。

(1) アドレス信号の上位 3 ビットが入力される部分

・反転信号作成部 1

反転信号作成部 1 は，三つの NOT ゲートを有しており，上位 3 ビットの信号の各ビットを反転させることで，非反転信号 (3 ビット) と反転信号 (3 ビット) の計六つの信号を出力する。反転とは，ビットの 0 と 1 を逆転させる (0 を 1 にし，1 を 0 にする) ことであり，電気的には，HIGH と LOW を逆転させることをいう。

・ 3 入力 NAND ゲート 1 - 1 ~ 1 - 8

上記六つの信号のうち三つの信号 (3 本の線) が入力される 3 入力の NAND ゲートである。なお，NAND ゲートは，全ての入力が 1 の場合のみ 0 を出力し，入力の一つでも 0 の場合に 1 を出力する。

・ NOT ゲート 1 - 1 ~ 1 - 8

3 入力 NAND ゲート 1 - 1 ~ 1 - 8 の出力がそれぞれ入力される NOT ゲートである。

(2) アドレス信号の下位 3 ビットが入力される部分

・反転信号作成部 2

反転信号作成部 2 は，三つの NOT ゲートを有しており，下位 3 ビットの信号の各ビットを反転させることで，非反転信号 (3 ビット) と反転信号 (3 ビット) の計六つの信号を出力する。

- ・ 3入力NANDゲート2 - 1 ~ 2 - 8

上記の六つの信号のうち三つ（3本の線）が入力される3入力のNANDゲートである。

- ・ NOTゲート2 - 1 ~ 2 - 8

3入力NANDゲート2 - 1 ~ 2 - 8の出力がそれぞれ入力されるNOTゲートである。

(3)(1)と(2)の出力が入力される部分

- ・ 2入力NANDゲート3 - 1 ~ 3 - 64

NOTゲート1 - 1 ~ 1 - 8のうち一つの出力と，NOTゲート2 - 1 ~ 2 - 8のうち一つの出力が，それぞれ入力される2入力のNANDゲートである。

アドレス信号をデコードする部分が64個の内部回路から一つを特定する方法は，64個の内部回路を八つずつの8グループに分け，6ビットの中の上位3ビットを使って八つのグループから一つのグループを特定し，下位3ビットを使って，一つのグループの中で何番目の内部回路かを特定する。

具体的には，以下のとおりである。

反転信号作成部1は，上位3ビット（ビット3～5）のアドレス信号からそれぞれのビットを反転した信号を生成し，反転・非反転の六つの信号を出力する。

NANDゲート1 - 1 ~ 1 - 8のそれぞれには，上記六つの信号のうちの

- (ビット3の反転信号，ビット4の反転信号，ビット5の反転信号)
- (ビット3の非反転信号，ビット4の反転信号，ビット5の反転信号)
- (ビット3の反転信号，ビット4の非反転信号，ビット5の反転信号)
- (ビット3の非反転信号，ビット4の非反転信号，ビット5の反転信号)
- (ビット3の反転信号，ビット4の反転信号，ビット5の非反転信号)
- (ビット3の非反転信号，ビット4の反転信号，ビット5の非反転信号)
- (ビット3の反転信号，ビット4の非反転信号，ビット5の非反転信号)
- (ビット3の非反転信号，ビット4の非反転信号，ビット5の非反転信号)

の八つの組合せの信号がそれぞれ入力され，上位3ビット(ビット3～5)のアドレス信号に対応する一つの組合せが入力されたNANDゲートの出力がLOWとなり，他の七つの組合せが入力されたNANDゲートの出力がHIGHとなる。

NANDゲート1 - 1 ~ 1 - 8の出力を，NOTゲート1 - 1 ~ 1 - 8に入力する。NOTゲート1 - 1 ~ 1 - 8のうち一つの出力がHIGHとなり，他の七つの出力がLOWとなる。

また，反転信号作成部2は，下位3ビット(ビット0～2)のアドレス信号からそれぞれのビットを反転した信号を生成し，反転・非反転の六つの信号を出力する。

NANDゲート2 - 1 ~ 2 - 8のそれぞれには，上記六つの信号のうち

- (ビット0の反転信号，ビット1の反転信号，ビット2の反転信号)
- (ビット0の非反転信号，ビット1の反転信号，ビット2の反転信号)

(ビット0の反転信号, ビット1の非反転信号, ビット2の反転信号)
(ビット0の非反転信号, ビット1の非反転信号, ビット2の反転信号)
(ビット0の反転信号, ビット1の反転信号, ビット2の非反転信号)
(ビット0の非反転信号, ビット1の反転信号, ビット2の非反転信号)
(ビット0の反転信号, ビット1の非反転信号, ビット2の非反転信号)
(ビット0の非反転信号, ビット1の非反転信号, ビット2の非反転信号)

の八つの組合せの信号がそれぞれ入力され, 下位3ビット(ビット0~2)のアドレス信号に対応する一つの組合せが入力されたNANDゲートの出力がLOWとなり, 他の七つの組合せが入力されたNANDゲートの出力がHIGHとなる。

NANDゲート2-1~2-8の出力を, NOTゲート2-1~2-8に入力する。NOTゲート2-1~2-8のうち一つの出力がHIGHとなり, 他の七つの出力がLOWとなる。

そして, NOTゲート1-1~1-8の出力と, NOTゲート2-1~2-8の出力の組(64組, 各2配線)を, それぞれ, 64個の2入力のNANDゲート3-1~3-64に入力する。NANDゲート3-1~3-64のうち一つの出力がLOWとなり, 他の63個の出力がHIGHとなる。NANDゲート3-1~3-64は, それぞれ内部回路1~64に接続される。

このようにして, アドレス信号をデコードする部分は, 全体として6ビットのアドレスをデコードして, 64個の内部回路から一つを特定する。

- 1 - e 一対のドライバ選択ラインに対応して各 8 個ずつのドライバを有し (したがって, 1 セクター内には合計 5 1 2 個のドライバ (D [0] ~ D [5 1 1]) を有する。), 各 8 個のドライバは選択された一対のドライバ選択ラインにより所定の電圧を受け, パーシャルデコードに対応する回路の出力電圧をワードラインに供給し, 各ドライバが各一つのワードラインを所望の電圧に駆動する。

1 - f - 1 512個の各ドライバ(D[0]~D[511])は、三つのNMOSトランジスタ(t0, t1, t2)を有し(各ドライバ内部の回路図は次の図のとおり。図中のP信号は、パーシャルデコーダに対応する回路の選択電位・非選択電位の出力信号である。),

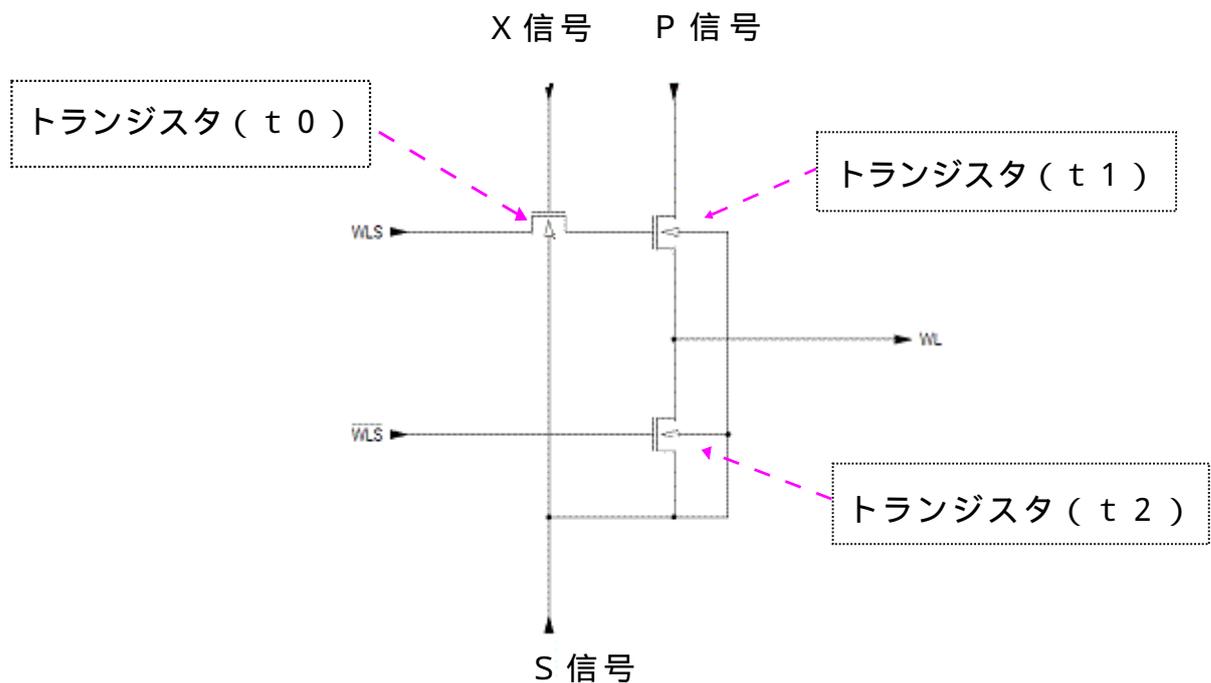


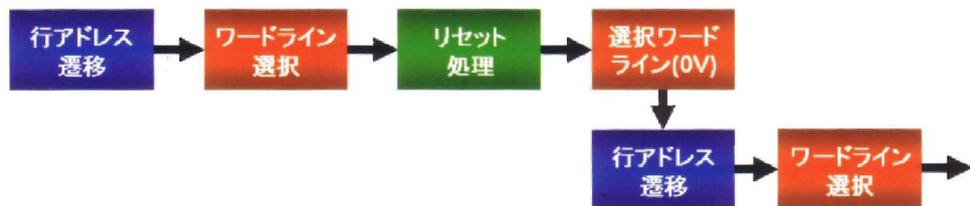
図 各ドライバ内部の回路

1 - f - 2 各ドライバは、当該ドライバに接続されたドライバ選択ライン(WLS, /WLS)の第1の信号(WLS)がHIGHのときに、対応するワードライン(WL)に、パーシャルデコーダに対応する回路の出力電圧が現れるように、対応するワードライン(WL)をパーシャルデコーダに対応する回路と電氣的に結合するNMOSトランジスタ t_0 及びNMOSトランジスタ t_1 の組(ここで、NMOSトランジスタ t_0 と t_1 は組になって働き、パーシャルデコーダに対応する回路の出力電圧をワードライン(WL)に与える。その際、パーシャルデコーダに対応する回路とワードライン(WL)とはNMOSトランジスタ t_1 が導通することによって接続される。)と、

1 - f - 3 当該ドライバに接続されたドライバ選択ライン(WLS, /WLS)の第2の信号(/WLS)がHIGHのときに、対応するワードライン(WL)をスイッチ回路と電氣的に結合するNMOSトランジスタ t_2 で構成し(ここで、上記スイッチ回路は、各セクターに一つずつ設けられ、ドライバ選択デコーダ、パーシャルデコーダに対応する部分に共通に入力されるセクター選択信号の入力を受ける。),

1 - g (1) 次のアドレス遷移がある場合，現在選択されているワードラインにつき，アドレス遷移が起こる前に， R 1 信号に応答してパースナルデコーダに対応する回路の出力が 0 V に切り替わり，ワードラインを 0 V に戻し (処理 1) ，同時に， R 2 信号に応答して， N M O S トランジスタ t 2 を導通させ，スイッチ回路につなげ (処理 2 。この処理 2 により，ワードラインの電圧が非選択電位 (0 V) になる時間を短縮する。) ， アドレス遷移が起こる。

図示すると以下のとおりとなる。



(2) 次のアドレス遷移がない場合，現在選択されているワードラインにつき， R 1 信号に応答してパースナルデコーダに対応する回路の出力が 0 V に切り替わり，ワードラインを 0 V に戻し (処理 1) ，同時に， R 2 信号に応答して， N M O S トランジスタ t 2 を導通させ，スイッチ回路につなげる (処理 2) 。

図示すると以下のとおりとなる。



以上

被告製品の構成についての当事者の主張

(原告の主張)

被告製品の構成としては、被告製品説明書に加え、次の各説明(1-d-1'ないし1-d-3', 1-e-1', 1-e-2', 1-f-3')が加えられるべきである。

ア ドライバ選択デコーダの内部構成について

被告製品には、

1-d-1' 複数のドライバ選択ラインの中の一つのドライバ選択ライン(WLS[1]及び/WLS[1])を選択する回路B(この回路Bは、NANDゲート1とこの出力が入力されるインバータ2(出力がAXA[1])と、AXA[1]とAXBが入力されるNANDゲート3と、このNANDゲート3の出力が入力されるレベルシフト回路4(出力がWLS[1])と、このNANDゲート3の出力とR2信号が入力されるNORゲート5と、このNORゲートの出力が入力されるインバータ6(出力が/WLS[1])とを有する。)と、

1-d-2' 複数のドライバ選択ラインの中の一つのドライバ選択ライン(WLS[0]及び/WLS[0])を選択する回路A(この回路Aは、NANDゲート1とこの出力が入力されるインバータ2(出力がAXA[0])と、AXA[0]とAXBが入力されるNANDゲート3と、このNANDゲート3の出力が入力されるレベルシフト回路4(出力がWLS[0])と、このNANDゲート3の出力とR2信号が入力されるNORゲート5と、このNORゲートの出力が入力

されるインバータ6（出力が/WLS[0]）とを有する。）
と

1 - d - 3 ' を有するドライバ選択デコーダが存在する（1 - d - 1 ' ないし1 - d - 3 ' につき，下記図1を参照。）。

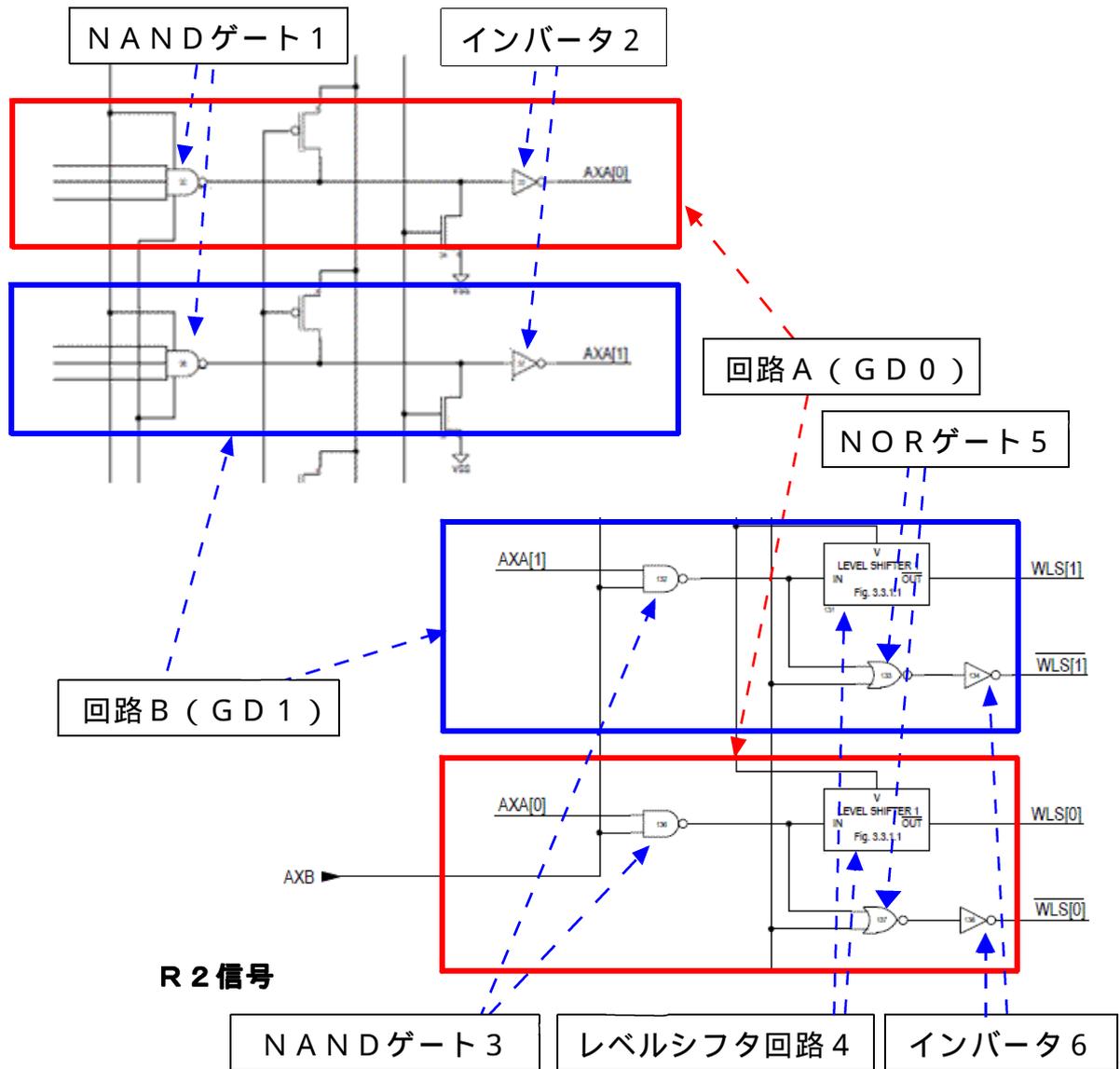


図1 ドライバ選択デコーダの一部

イ ドライバとワードラインの対応関係について

- 被告製品の合計512個のドライバ(D[0]~D[511])は、
- 1 - e - 1' ドライバ選択ライン(WLS[1]及び/WLS[1])に各々対応し、各々が、対応するドライバ選択ライン(WLS[1]及び/WLS[1])が選択される時に、対応するワードライン(WL[8]~WL[15])の中の一つのワードライン(WL[8])をワードライン電圧に駆動するドライバD[8]~D[15]と、
 - 1 - e - 2' ドライバ選択ライン(WLS[0]及び/WLS[0])に各々対応し、各々が、対応するドライバ選択ライン(WLS[0]及び/WLS[0])が選択される時に、対応するワードライン(WL[0]~WL[7])の中の一つのワードライン(WL[0])をワードライン電圧に駆動するドライバD[0]~D[7]とを含む(1 - e - 1', 1 - e - 2'につき、下記図2, 3を参照)。

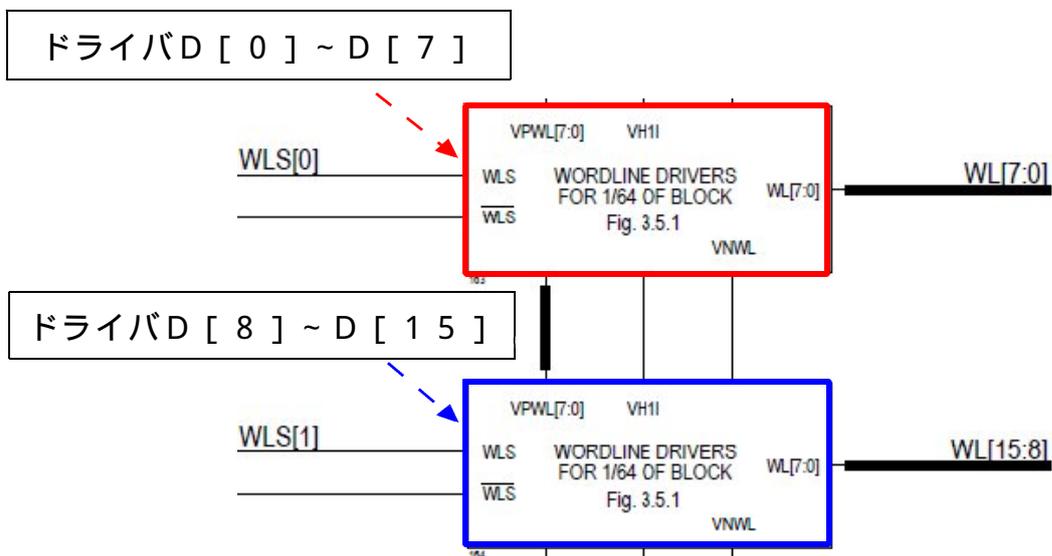


図2 ドライバD[0]~D[15]

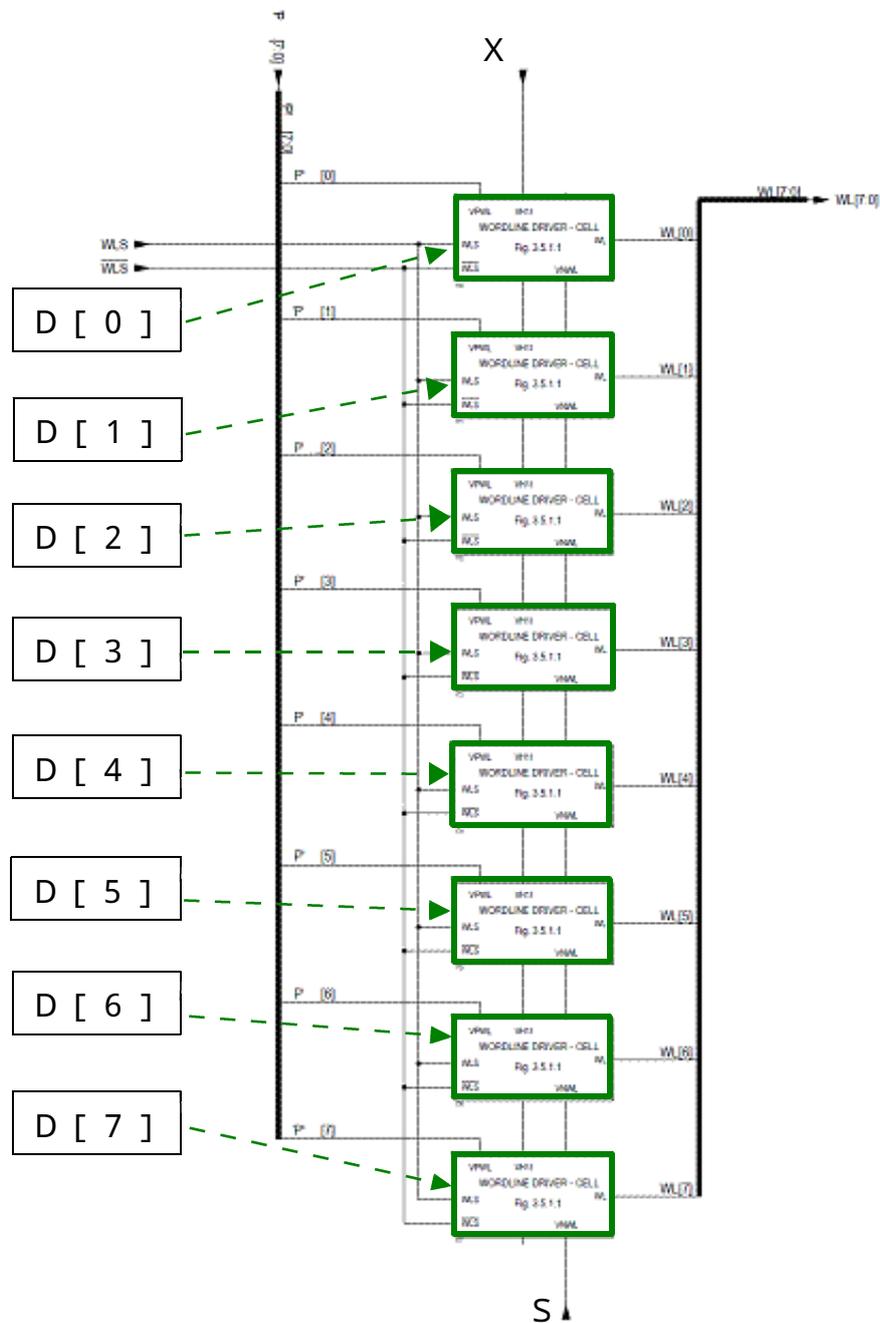


図3 ドライバD [0] ~ D [7]

ウ セクターアドレスデコーダの存在について

(ア) 被告製品は、

1 - f - 3 ' 入力されたアドレス信号をデコードすることによって

セクター選択信号を生成するセクターアドレスデコーダ回路を有する。

(イ) 被告製品の消去動作は、セクター単位で行われ、スイッチ回路は、消去に必要な電圧を出力し、これがドライバを通してワードラインに供給される。そして、スイッチ回路は、各セクターに一つずつ設けられ、ドライバ選択デコーダ、パーシャルデコーダに対応する部分に共通に入力されるセクター選択信号の入力を受ける。このセクター選択信号は、入力されたアドレス信号をデコードすることによって生成されるから、このアドレス信号をデコードするためのセクターアドレスデコーダ回路が必然的に伴うことになる。スイッチ回路はセクターアドレスデコーダ回路と接続されており、入力されたアドレス信号がセクターアドレスデコーダ回路によってデコードされてセクター選択信号が生成され、そのセクター選択信号に応じてスイッチ回路はS信号を供給する。

(被告の主張)

ア 上記(原告の主張)アの1-d-1'ないし1-d-3'について否認する。被告製品において、偶数番用回路と奇数番用回路の区別はない。

なお、ドライバ選択デコーダの内部に上記図1で示されるような回路が存在することは認めるが、これはドライバ選択デコーダの一部に過ぎない。

イ 上記(原告の主張)イの1-e-1', 1-e-2'について

否認する。被告製品において、偶数番用回路と奇数番用回路の区別はない。なお、上記図2のブロックを、上記図3と別紙被告製品説明書の図(各ドライバ内部の回路)の回路図で展開した回路が被告製品に存在することは認める。

ウ 上記（原告の主張）ウ(ア)の 1 - f - 3 ' について
否認する。

（別紙特許公報省略）