

平成26年12月18日判決言渡

平成26年（行ケ）第10034号 審決取消請求事件

口頭弁論終結日 平成26年12月2日

判 決

原 告 ノースウエスト ユニヴァーシテイ

訴訟代理人弁理士 岡 部 讓  
同 吉 澤 弘 司  
同 新 井 剛

被 告 特 許 庁 長 官

指 定 代 理 人 酒 井 伸 芳  
同 関 谷 隆 一  
同 稲 葉 和 生  
同 内 山 進

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事 実 及 び 理 由

第1 請求

特許庁が不服2012-21754号事件について平成25年9月17日にした審決を取り消す。

## 第2 事案の概要

### 1 特許庁における手続の経緯等（当事者間に争いが無い。）

原告は、発明の名称を「MOSFET用の駆動回路および方法」とする発明について、平成13年2月23日に国際出願（特願2001-562839号（パリ条約による優先権主張 平成12年2月23日）。以下「本願」という。平成24年2月17日付け手続補正後の請求項の数は18である。）をしたが、平成24年6月29日付け（同年7月4日送達）で拒絶査定を受けたので、同年11月2日、これに対する不服の審判を請求した。

特許庁は、この審判請求を、不服2012-21754号事件として審理した結果、平成25年9月17日、「本件審判の請求は、成り立たない。」との審決をし、同審決の謄本を、同年10月1日、原告に送達した。

原告は、平成26年1月29日、上記審決の取消しを求めて本件訴えを提起した。

### 2 特許請求の範囲

前記手続補正後の本願の特許請求の範囲における請求項17の記載は次のとおりである（甲3。この請求項に係る発明を、以下「本願発明」という。また、同手続補正後の本願の明細書を、以下「本願明細書」という。）。

#### 【請求項17】

ゲートを含む絶縁ゲート半導体デバイスを駆動する方法であって、電荷蓄積手段とスイッチング手段とが回路内で前記デバイスのゲートへ接続され、前記デバイスの最大定格の3乃至4倍を超えるゲート電圧を生じるチャージパルスを実行する前記電荷蓄積手段から前記ゲートへ印加することを特徴とする方法。

### 3 審決の理由

- (1) 別紙審決書写しのとおりである。要するに、本願発明は、特開平11-97995号公報（甲2。以下「引用例」という。）に記載の発明に基づいて当業者が容易に発明をすることができたものであるから、特許法29条2項

の規定により特許を受けることができないというものである。

- (2) 審決が、上記結論を導くに当たり認定した、引用例に記載の発明（以下「引用発明」という。）の内容、本願発明と引用発明との一致点及び相違点は、次のとおりである。

ア 引用発明の内容

「ゲートを含む電界制御型半導体素子 1 を駆動する方法であって、ゲート電荷供給用コンデンサ C 1 と F E T スイッチ 2 を含む駆動回路が前記素子のゲート端子 G 1 へ接続されており、ゲート電荷供給用コンデンサ C 1 に充電された電荷によりゲート静電容量 C g を充電することにより、ゲート端子電圧 V g 1 は、電界制御型半導体素子のゲート最大定格 2 0 V を超えるスパイク電圧、例えばその急峻な電圧のピーク電圧値が 3 6 V となった後、最終目標ゲート電圧であるゲート動作電圧 1 8 V に向かって、非振動的に減衰する方法。」

イ 一致点

「ゲートを含む絶縁ゲート半導体デバイスを駆動する方法であって、電荷蓄積手段とスイッチング手段とが回路内で前記デバイスのゲートへ接続され、前記デバイスの最大定格を超えるゲート電圧を生じるチャージパルスを前記電荷蓄積手段から前記ゲートへ印加することを特徴とする方法。」である点。

ウ 相違点

「デバイスの最大定格を超えるゲート電圧」に関し、本願発明は「デバイスの最大定格の 3 乃至 4 倍を超えるゲート電圧」であるのに対して、引用発明は「ゲート最大定格 2 0 V を超えるスパイク電圧、例えばその急峻な電圧のピーク電圧値が 3 6 V」となる「ゲート端子電圧 V g 1」で

ある点。

### 第3 原告の主張

審決には、本願発明と引用発明との一致点及び相違点の認定の誤り（取消事由1）、相違点の容易想到性に関する判断の誤り（取消事由2）、並びに判断遺脱及び理由不備の違法（取消事由3）があり、これらはいずれも審決の結論に影響するものであるから、審決は取り消されるべきである。

#### 1 取消事由1（本願発明と引用発明との一致点及び相違点の認定の誤り）

本願発明は、「トランジスタ接合に固有のキャパシタンス」による信号遅延、すなわち、内部ゲート電極とソースとの間のキャパシタンスによるMOSFETの立上り時間及び立下り時間の遅延を補償するため、デバイスの最大定格の3ないし4倍を超えるゲート電圧を「ゲート」へ印加するというものである。

そして、ここにいう「ゲート」については、通常 of 電界制御型トランジスタにおいては、ゲート配線におけるインダクタンスや抵抗は無視できる程度に小さいため、外部ゲート端子と内部ゲートのそれぞれの電位は等しく、外部ゲート端子と内部ゲートは電氣的に一体として把握し得る。よって、本願発明においては、外部ゲート端子と内部ゲートとを区別する必要はない。

仮に、「電荷蓄積手段」と「ゲート」との間に、無視し得ない程度の大きなインダクタンス、抵抗が存在する場合には、ゲート電極には最大定格を超える電圧が印加されなくなり、本願発明は機能し得なくなる。したがって、上記のとおりの本願発明の目的や作用効果を参酌すると、本願発明においては、ゲート配線の「寄生インダクタンス分」、「寄生抵抗分」は含まれないと解すべきである。

これに対し、引用発明は、大型のIGBTなどのケース内部のゲート配線のインダクタンス、すなわち、外部ゲート端子と内部ゲート電極との間の配線の寄生抵抗、寄生インダクタンスによる遅延を補償するため、外部ゲート端子に最大定格の約1.8倍の電圧を印加するものであり、内部ゲート電極には最大

定格以下の電圧が印加されるにすぎない。

このように、両発明はその目的及び課題解決手段が大きく異なっていることに照らせば、審決が、「前記デバイスの最大定格を超えるゲート電圧を生じるチャージパルスを前記電荷蓄積手段から前記ゲートへ印加する」ことを両発明の一致点として認定したのは誤りである。引用発明において、本願発明の「ゲート」と対比すべきは、「内部ゲート」であって、「外部ゲート端子」ではないし、引用発明においては、内部ゲート電圧は常に最大定格電圧以下である。

そうすると、両発明の間には、審決の認定した相違点（以下、これを「相違点1」という。）に加えて、以下の相違点（以下「相違点2」という。）が認定されるべきであるから、審決による相違点の認定にも誤りがある。

（相違点2）

「前記ゲートへ印加する」に関し、

本願発明はデバイスの最大定格を超えるゲート電圧を「ゲート」へ印加するのに対して、

引用発明はデバイスの最大定格を超える電圧を「外部ゲート端子」へ印加するが、「ゲート」へ印加していない点。

## 2 取消事由2（相違点の容易想到性に関する判断の誤り）

前記1のとおり、引用発明は、外部ゲート端子に最大定格のわずか1.8倍の電圧を印加するに止まり、ゲート（内部ゲート）の電圧 $V_{g2}$ を最大定格以下に抑えている。すなわち、引用発明は、ゲート内部電圧をゲート最大定格以下に維持することが当然の前提となっており、本願発明が内部ゲートに最大定格を超える電圧を積極的に印加することと相反するものである。

したがって、引用発明は、本願発明を示唆するどころかその阻害事由となるものであり、本願発明は、引用発明に基づいては進歩性を否定され得ないから、相違点1に係る本願発明の構成の容易想到性についての審決の判断には、誤りがある。

また、審決は、相違点2について判断しておらず、この点でも誤りがある。

### 3 取消事由3（判断遺脱及び理由不備の違法）

審決は、請求項17に係る本願発明についてのみ判断し、本願における他の請求項に係る発明については全く判断していない。特に、請求項1及び16に係る発明は、引用例には開示や示唆がない際立った技術的特徴を備えており、引用発明に基づき進歩性を否定されるものではない。

それにもかかわらず、本願発明についてのみ判断をした審決には、判断遺脱及び理由不備の違法がある。

## 第4 被告の主張

### 1 取消事由1について

引用発明は、あくまでも電界制御型半導体素子のゲート静電容量、すなわちゲートにおけるキャパシタンスを高速充電してデバイスを高速駆動することを主たる目的とするものであり、「特に大容量で大型のIGBT、FETなどの電界制御型半導体素子」について「素子ケース内部のゲートインダクタンスをも補償」することができるというのは、副次的な効果にすぎない。よって、引用発明が、ゲート配線のインダクタンスによる遅れを補償するものであるとの原告の主張は誤りであり、引用発明と本願発明のいずれも、ゲートにおけるキャパシタンスに起因する立上り時間の遅延を小さくするために、絶縁ゲート半導体デバイスのゲートに、最大定格を超えるゲート電圧を印加するという技術思想において共通する。

そして、寄生インダクタンス分、寄生抵抗、ゲート静電容量等の等価回路成分は、一般の回路図においては通常省略されるものであり、本願明細書の図1に示されたMOSFETにおいても、このような等価回路成分は省略して記載されたものと考えられること、本願発明のゲートが絶縁ゲート半導体デバイスの内部のゲート電極であるとの特定はなく、一般に、回路内で接続されるものは電子部品同士であり、本願発明でも電子部品である絶縁ゲート半導体デバイ

スの外部ゲート端子へ接続するものと解されることからすれば、本願発明のゲートは、内部ゲートではなく外部ゲート端子であると解される。本願の請求項1の「第1の端子としてゲート(20)を含み…」との記載も、かかる解釈に整合する。

そうすると、本願発明は、デバイスの外部ゲート端子に最大定格を超えるゲート電圧を印加することを規定するのみであるから、これを前提とする審決による引用発明との一致点の認定に誤りはなく、原告が主張する相違点2を相違点1に追加して認定すべきであるということもできない。

## 2 取消事由2について

定格とは、製品が破壊されないことを保証したり、長期的な信頼性を保証したりするためにメーカーがユーザーに提示する一応の目安であって、ユーザーがこれを絶対に超えられないとするほど絶対的に制約のある数値ではないことは、当業者が普通に理解することができる。

したがって、引用例に、ゲート内部電圧をゲート最大定格以下に維持する事例が記載されていることをもって、当業者が、これを絶対に超えてはならないとする阻害事由があるということとはできない。デバイスのゲートに印加する電圧を高くするに従い、ターンオン時間が短くなることは、当業者において明らかであるから、半導体デバイスのターンオン時間を短くするために、メーカーによる半導体デバイスが破壊されないことの保証や長期的な信頼性の保証との得失も考慮して、デバイスの最大定格の3ないし4倍を超えるゲート電圧(外部ゲート電圧)を印加することは、引用例に接した当業者が容易に想到し得る事項である。また、本願明細書の記載を参酌しても、デバイスのゲートにデバイスの最大定格の3ないし4倍を超える電圧を印加することにより、予測を超える格別顕著な効果を生じると認める根拠もない。

よって、本願発明が引用発明から容易に想到し得る旨の審決の判断に、誤りはない。

### 3 取消事由3について

一つの特許出願において、一部の請求項に係る発明について特許をすることができない事由がある場合には、他の請求項についての判断いかんに関わらず、特許出願全体について、一つの行政処分としての拒絶査定をすべきことになる。

したがって、本願発明が特許を受けることができないものである以上、その余の請求項に係る発明について判断するまでもなく、本願は出願全体として拒絶されるべきであり、審決に原告の主張する違法はない。

## 第5 当裁判所の判断

当裁判所は、原告の主張は理由がないと判断する。その理由は次のとおりである。

### 1 取消事由1（本願発明と引用発明との一致点及び相違点の認定の誤り）について

- (1) 原告は、本願発明と引用発明とは、デバイスの最大定格を超える電圧を、本願発明では「ゲート」（ここにいう「ゲート」については、外部ゲート端子と内部ゲートとを区別する必要はないとする。）へ印加するのに対して、引用発明では外部ゲート端子に印加する点において、相違する旨主張する（前記第3の1）。

これに対し、被告は、本願発明のゲートは外部ゲート端子を指し、これに最大定格を超える電圧を印加する点において、引用発明との間に相違点はないと主張する（前記第4の1）。

そこで、本願発明における「ゲート」の意義を検討することとする。

- (2) この点、本願明細書の特許請求の範囲の請求項1には、次の発明が記載されており、請求項16には、請求項1中の「駆動する方法」をいずれも「駆動する回路」と改めるほかは請求項1と同内容の発明が記載されている（甲3）。

「【請求項1】

第1の端子としてゲート（20）を含み、少なくとも第2および第3の端子（22，24）をさらに含む絶縁ゲート半導体デバイス（12）を駆動する方法であって、

電荷蓄積デバイス（14）とスイッチング手段とが回路内で前記半導体デバイスのゲートへ接続され、オン状態とオフ状態のいずれか一方の状態とオン状態とオフ状態の他方の状態との間で前記半導体デバイスを切り換えるように、前記電荷蓄積デバイスからチャージパルスを実記半導体デバイスの前記ゲートへ印加する絶縁ゲート半導体デバイスを駆動する方法において、

前記チャージパルスの持続期間は、前記半導体デバイスの前記第2及び第3の端子に接続された回路内の電流が変化する前に、前記チャージパルスが完了し、その間に十分なチャージを前記電荷蓄積デバイスから前記半導体デバイスのゲートへ転送して前記半導体デバイスをオン状態とオフ状態との間で改善された立ち上がり及び立下り時間で切り替えることを特徴とする絶縁ゲート半導体デバイスを駆動する方法。」

上記請求項における「第1の端子としてゲート（20）を含み、少なくとも第2および第3の端子（22，24）をさらに含む絶縁ゲート半導体デバイス（12）」との記載からすると、電子部品としての「絶縁ゲート半導体デバイス」は三つの端子を含んでおり、「第1の端子として」の「ゲート（20）」は外部ゲート端子であると解するのが自然であると考えられる。一方、本願発明に係る請求項17には「ゲートを含む絶縁ゲート半導体デバイス」との記載があるが、これと請求項1や同16における「第1の端子としてゲート…を含み、…第2および第3の端子…をさらに含む絶縁ゲート半導体デバイス」とが、「絶縁ゲート半導体デバイス」や「ゲート」の意義に関して異なるものであるとの記載はなく、このことをうかがわせる記載もない。

また、本願発明に係る請求項17の「電荷蓄積手段とスイッチング手段と

が回路内で前記デバイスのゲートへ接続され、」との記載は、回路内での接続の対象となっている「ゲート」が、内部ゲート電極ではなくむしろ外部ゲート端子を指すことを示唆するものであるといえることができる。

(3) とはいえ、本願発明における「ゲート」については、請求項17の記載それ自体では、必ずしもその技術的意義を一義的に明確に理解することができないとも考えられることから、本願明細書における発明の詳細な説明の記載を参酌することとする。

ア この点、本願明細書（甲1）には、次の記載がある（誤記は、適宜訂正した。）。

「【発明の詳細な説明】

【0001】

技術分野

本発明は、酸化金属電界効果トランジスタ（MOSFET）、より具体的にはパワーMOSFETなどの絶縁ゲート半導体デバイスのスイッチング速度を改善するための回路および方法に関する。

【0002】

背景技術

トランジスタ接合に固有のキャパシタンスにより、回路内の電圧が切り替わることができる速度が制限される。また、ミラー効果が前述の類のデバイスのゲートにおけるキャパシタンスに影響することも周知のことである。」

「【0005】

発明の目的

したがって、本発明の一目的は、それにより前述の欠点が少なくとも緩和されるだろうと本出願人が確信する、絶縁ゲート半導体デバイスの立上り時間および／または立下り時間を改善するためのトリガ回路および方法

を提供することにある。

#### 【0006】

##### 発明の概要

本発明によれば、第1の端子としてゲートを含み、少なくとも第2および第3の端子をさらに含む絶縁ゲート半導体デバイス用のトリガ回路が提供され、その回路は、

- 電荷蓄積デバイスと、回路内でそのデバイスのゲートに接続された高速スイッチング手段とを含み、
- 高速スイッチング手段が、絶縁ゲート・デバイスの指定のターンオン遅延時間より短い第1の期間にオフ状態とオン状態との間で切り替わることができ、
- 絶縁ゲート・デバイスが絶縁ゲート・デバイス用の指定の立上り時間または立下り時間より短い第2の期間にオフ状態とオン状態との間で切り替わるように、高速スイッチング手段が、蓄積デバイスと絶縁ゲート・デバイスのゲートとの間で電荷を移動させるように制御可能である。

#### 【0007】

絶縁ゲート半導体デバイスは、パワーMOSFETなどの酸化金属半導体電界効果トランジスタ（MOSFET）にすることができる。

#### 【0008】

別法として、絶縁ゲート半導体デバイスは、絶縁ゲート・バイポーラ・トランジスタにすることができる。」

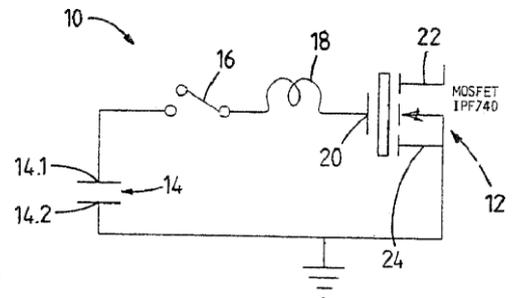
#### 「【0015】

高速スイッチング手段とゲートとの間の回路内にインダクタを設けることができる。」

#### 「【0019】

発明の好ましい実施形態の説明

図1（判決注・右のとおり）には、酸化金属半導体電界効果トランジスタ（MOSFET）などの絶縁ゲート半導体デバイス12用の本発明によるトリガ回路10の基本図が示されている。



【0020】

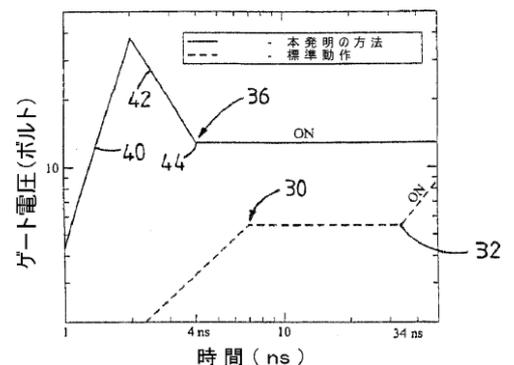
同図には、パワーMOSFETが示されているが、これはHEXFETという商標とIRF740という番号の下にInternational Rectifier社から入手可能なものである。…」

「【0023】

MOSFETをオンに切り替えるために、高速スイッチング・デバイスは電子的にオンに切り替えられ、それにより、キャパシタ14からMOSFETのゲート20に十分な電荷が高速転送され、MOSFETをオンに切り替える。

【0024】

図1の回路用の時図表は図3（判決注・右のとおり）および図4（判決注・略）に示されている。破線で示すグラフはMOSFET12の通常の指定動作を示している。このため、図3のグラフ30は従来のスイッチ・オン時のMOSFETのゲート電圧を示している。MOSFETは32でオンに切り替わり、グラフは約34nsのターンオン遅延時間を示している。関連のゲート電流は図4の34に示されている。



【0025】

本発明による方法のグラフは図3および図4の36および38にそれぞれ



される。

**【0029】**

この方法を使用すると、短い間隔の場合、デバイスを破壊せずに一部の MOSFET 12 の最大しきい値定格の約 3～4 倍までゲート電圧を駆り立てることができる。」

イ 以上のとおりの本願明細書の記載に照らすと、本願に係る発明における「絶縁ゲート半導体デバイス」は、「第1の端子としてゲートを含み、少なくとも第2および第3の端子をさらに含む」（【0006】）とされているから、本願に係る発明の全体を通じて、「絶縁ゲート半導体デバイス」が三つの端子を含む電子部品としてのそれであり、「第1の端子として」の「ゲート」は、外部ゲート端子を指すものということができる。また、「高速スイッチング手段とゲートとの間の回路内にインダクタを設けることができる。」（【0015】）との記載からも、ここにいう「ゲート」は、回路内での接続の対象となる外部ゲート端子を指すものということができる。

これに対し、本願明細書の回路図（図1及び図2）においては、絶縁ゲート半導体デバイスの素子ケースの範囲は示されておらず、「ゲート20」は回路図記号中の電極部分を指しているかのようである。しかるに、電気回路及び回路素子において、回路配線があれば、素子の内外を問わず、等価回路成分として「L（インダクタンス）」、「R（抵抗）」、「C（キャパシタンス）」が存在し、このような等価回路成分は、一般の回路図においては省略されることが通常であることや、回路内で接続されるのは一般に電子部品同士であり、絶縁ゲート半導体における接続対象としてのゲートとは、同半導体を収容したケースから延出された外部ゲート端子であること、図1には、絶縁ゲート半導体デバイスの回路図記号の脇に「MOSFET IPF740」との記載があり、これは、本願明細書の

【0020】によれば、特定の電子部品としてのパワーMOSFET（HEXFET IRF740。同図中の「IPF740」は「IRF740」の誤記であると考えられる。）を指すことから、同図における「ゲート20」は、上記電子部品の外部ゲート端子と解するのが自然と考えられること、本願明細書には、他に、「ゲート」が絶縁ゲート半導体デバイスの内部のゲート電極であることをうかがわせる記載はないことからすれば、上記回路図中の「ゲート20」が、素子ケースの内部のゲート電極を指すと解することはできないというべきである。

以上のとおりであって、本願明細書の記載を参酌すると、本願発明において、「絶縁ゲート半導体デバイス…の最大定格を超えるゲート電圧を生じるチャージパルス」を印加される対象としての「前記デバイスのゲート」とは、絶縁ゲート半導体デバイスの外部ゲート端子を指すと認めるのが相当である。

一方、引用例（甲2）の「前記ゲート最大定格電圧 $V_m$ よりも高い電圧 $V_1$ を前記電界制御型半導体素子のゲート端子に印加し、」（【請求項1】，【0010】）との記載によれば、引用発明は、ゲート最大定格電圧よりも高い電圧を半導体素子の外部ゲート端子に印加するものと認められる。

そうすると、本願発明は、「絶縁ゲート半導体デバイス…の最大定格を超えるゲート電圧を生じるチャージパルス」を、外部ゲート端子としての「前記デバイスのゲート」に印加する点で、引用発明と一致するから、審決には、両発明の一致点の認定に関して誤りはなく、また、原告の主張する相違点2を看過した誤りがあったということもできない。

- (4) 原告は、①通常の電界制御型トランジスタにおいては、ゲート配線のインダクタンスや抵抗の等価回路成分は無視し得る程度に小さいから、外部ゲート端子と内部ゲートとは電氣的に一体として把握し得、そのため、本願発明

においては外部ゲート端子と内部ゲートとを区別する必要はない、②本願発明と引用発明とは、発明の目的及び課題解決手段が異なっており、本願発明の「ゲート」と対比すべきは引用発明における「内部ゲート」であって「外部ゲート端子」ではない、と主張する。

ア しかしながら、①については、仮に、本願明細書の「発明の好ましい実施形態の説明」において用いられたパワーMOSFET（HEXFET IRF740。そのデータシートは甲6のとおり。）については、ゲート配線のインダクタンスを無視することができるものであったとしても、本願発明は、請求項17の記載に照らして、「絶縁ゲート半導体デバイス」をそのような「ゲート配線のインダクタンスを無視することができる」ものに限定するものと認めることはできない。むしろ、電気回路及び回路素子において、回路配線がある以上、素子の内外を問わず等価回路成分が存在するのは前記(3)イのとおりであるから、外部ゲート端子と内部ゲート電極とを、常に電氣的に一体のものとして把握することはできないというべきである。

イ 次に、②については、本願発明と引用発明との間に、発明の目的や課題解決手段に相違があるかどうかはさておき、本願発明における「ゲート」が、請求項の記載や本願明細書の発明の詳細な説明の記載に照らして、外部ゲート端子を指すと認められるのは、前記(3)のとおりである。本願発明が、「トランジスタ接合に固有のキャパシタンスにより、回路内の電圧が切り替わることができる速度が制限される」との欠点を克服し、「絶縁ゲート半導体デバイスの立上り時間および／または立下り時間を改善する」ことを目的とすること、かかる課題の解決のため、デバイスの最大定格を超えるゲート電圧を生じるチャージパルスデバイスの「ゲート」に印加することを手段とするものであることを前提としても、そのことと、本願発明の「ゲート」が外部ゲート端子を指すこととが直ちに矛盾するもので

はない。そして、本願発明の「ゲート」が外部ゲート端子を指す以上、これと引用発明における「外部ゲート端子」とを対比することに誤りはない。

ウ なお、原告の主張には、本願発明の目的や作用効果を参酌すると、本願発明においては、「電荷蓄積手段」と「ゲート」との間に、ゲート配線の寄生インダクタンス分や寄生抵抗分は含まれないと解すべきであるとの部分がある。

しかしながら、請求項17は、本願発明をそのようなものに限定するものではないし、前記イと同様に、本願発明の目的や作用効果と、デバイスにゲート配線の寄生インダクタンス分や寄生抵抗分が存在することとは、直ちに矛盾するものではないから、本願発明の目的や作用効果を踏まえても、本願発明を原告が主張するようなものに限定することは困難である。

エ 以上によれば、原告の上記主張はいずれも採用することができない。

## 2 取消事由2（相違点の容易想到性に関する判断の誤り）について

- (1) 原告は、引用発明は、ゲート内部電圧をゲート最大定格以下に維持することが前提となっている点で、内部ゲート電極に最大定格を超える電圧を積極的に印加する本願発明と相反し、本願発明に対する阻害事由になると主張する（前記第3の2）。

そこで、引用発明の内容について検討する。

- (2) この点、引用例（甲2）には、引用発明に関して、発明の詳細な説明として次の記載がある（誤記は、適宜訂正した。）。

「【0001】

【産業上の利用分野】 本発明は、IGBT、FETなどのゲート静電容量を高速で正または負に充電することによって電界制御半導体スイッチ素子を高速で駆動する回路に関する。」

【0002】

【従来技術】 …」

「【0004】 高速高電圧半導体スイッチとしては IGBT, MOSFET などのような電圧駆動型の電界制御型半導体素子がスピードの点で有利であるが、高速ターンオンさせるには、ゲート静電容量を高速充電することが必要である。この高速ゲート駆動の方法としては電圧源駆動が一般的である。

【0005】 その電圧源駆動は、電界制御型半導体素子のゲート最大定格電圧、例えば 20V より低い 18V のゲート動作電圧を電界制御型半導体素子のゲート端子に印加する駆動電源と電界制御型半導体素子のゲートとをスイッチで出来る限り低いインピーダンス路で選択的に接続し、スイッチをオンさせることによりゲート静電容量を 18V のゲート動作電圧に向かって充電する。

【発明が解決しようとする課題】

【0006】 しかし、その充電には電源電圧を電界制御型半導体素子のゲートに印加するゲート最大定格電圧よりも高くすることができないので、回路インピーダンスを下げるしかないが、これも限度があり、ある程度以上の高速ターンオン駆動はできない。

【0007】 また、電流源駆動も可能であるが、電界制御型半導体素子のゲートに印加する電圧がゲート最大定格電圧よりも低くしなければならないために、ゲート端子にゼナダイオードなどの過電圧保護素子を接続しなければならないというのが、一般的な考えであり、ゲート端子電圧を制限するために、大型の IGBT などのケース内部のゲート配線のインダクタンスによる遅れを保障できず、この駆動方法も十分に高速で駆動することはできない。

【0008】 さらにまた、他の用途では IGBT, MOSFET を高速でターンオフさせるために、ゲート電圧を正バイアス電圧から負バイアス電圧に高速で反転充電する駆動方法もあるが、この場合にも大型の IGBT などのケース内部のゲート配線のインダクタンスによる遅れで、ある程度以上には高速化ができない。

【0009】 本発明は、このような問題点を解決して IGBT、MOSFET のような電界制御型半導体素子を従来よりも高速でターンオン、あるいはターンオフさせることのできる駆動方法及び駆動回路を提供することを課題とする。

【0010】

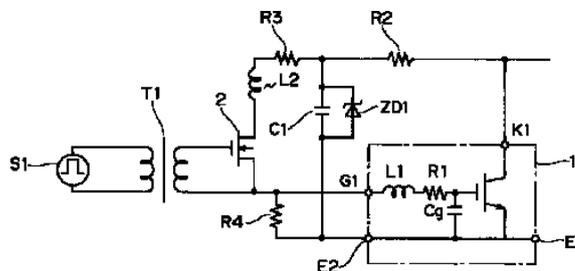
【課題を解決するための手段】 この課題を解決するため、請求項1に記載の発明は、ゲート静電容量 $C_g$ 、ゲート最大定格電圧 $V_m$ 、その電圧よりも低いゲート動作電圧 $V_2$ 及び内部ゲートインダクタンスを有する電界制御型半導体素子を高速でターンオンさせる駆動方法において、前記ゲート静電容量 $C_g$ よりも容量の小さい別の静電容量 $C_a$  ( $C_g > C_a$ )を前記ゲート最大定格電圧 $V_m$ よりも高い電圧まで充電し、前記電界制御型半導体素子のターンオン駆動時に前記静電容量 $C_a$ の充電電荷を放電させて、前記ゲート最大定格電圧 $V_m$ よりも高い電圧 $V_1$ を前記電界制御型半導体素子のゲート端子に印加し、前記ゲート静電容量 $C_g$ をゲート動作電圧 $V_2$ まで高速で充電することにより、高速でターンオンさせることを特徴とする電界制御型半導体素子の駆動方法を提供するものである。」

「【0019】

【実施例】 以下、図面により本発明にかかる実施例を説明する。この発明は、特に大容量で大型の IGBT、FET などの電力用電界制御型半導体素子のゲート静電容量を、その素子ケース内部のゲートインダクタンスをも保障して高速充電又は高速放電することのできる電界制御素子の高速駆動回路である。

【0020】 本発明は、IGBTなどの半導体チップのゲート電極の直流的最大定格であるゲート最大定格電圧を超えなければ、IGBTなどの外部ゲート端子に印加される駆動電圧がゲート電圧最大定格を超えても問題が生じないという新しい知見に基づく。

【0021】 図1（判決注・右のとおり）は本発明の一実施例を示す。1はIGBT，MOSFETのような駆動される高速高電圧の電界制御型半導体素子であり，



以下の説明ではモジュール型IGBTの例とする。その一例として，耐圧1200V，スイッチング電流700A，パルス幅700nsで動作することを目標とする。IGBT1はコレクタ端子K1，エミッタ端子E1，ゲート端子G1，ゲート信号のリターン路としての信号用エミッタ端子E2を有する。ゲート端子G1と信号用エミッタ端子E2間には，モジュール内部配線としての寄生インダクタンス分L1と，寄生抵抗もしくは別途接続された発振防止用の抵抗R1が存在する。

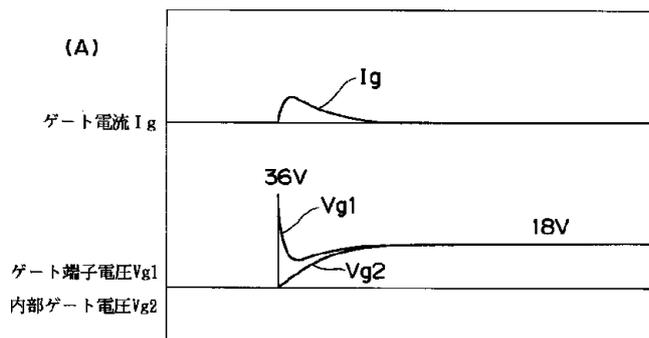
【0022】 Cgは，IGBT1のゲート静電容量を示す。C1はゲート電荷供給用コンデンサであり，IGBT1のコレクタ電圧側より抵抗R2を通して充電される。コンデンサC1はゲート静電容量Cgよりも小さな容量Ca（ $Cg > Ca$ ）を有し，その充電電圧はゼナーダイオードZD1により制限される。例えば，IGBT1のコレクタ電圧を1000Vとした場合，コンデンサC1の充電電圧は200Vに制限されるものとする。

【0023】 2はコンデンサC1とIGBT1のゲート端子G1との間を駆動信号S1で選択的に開閉するスイッチであり，FETなどが適当である。以下，FETとして説明する。FET2のオンにより，コンデンサC1の電荷がIGBT1のゲートに供給される。L2はFET2，IGBT1，コンデンサC1を含むゲート電流回路の配線インダクタンスである。」

「【0026】 図2は図1の動作を説明するために，ゲート電流I<sub>g</sub>とゲート端子G1-E2間の電圧V<sub>g1</sub>，内部ゲート電圧V<sub>g2</sub>の関係を示す。駆動信号S1によりFET2がターンオンすると，コンデンサC1に充電され

た電荷は抵抗 $R_3$ 、FET $2$ 、配線インダクタンス $L_2$ 、ゲート端子 $G_1$ 、ゲート内部インダクタンス $L_1$ 、内部抵抗 $R_1$ を通してゲート静電容量 $C_g$ を充電する。コンデンサ $C_1$ 、抵抗 $R_3$ の値をIGBTのゲート静電容量 $C_g$ に対して後述するように

選定すると、ゲート端子電圧 $V_{g1}$ は図2(A)（判決注・右のとおり）のようにIGBTのゲート最大定格 $20V$ を超えるスパイク電圧、例えばその急峻な電



圧のピーク電圧値が $36V$ となった後、最終目標ゲート電圧であるゲート動作電圧 $18V$ に向かって、非振動的に減衰する。なお一般に、IGBT、MOSFETのゲート最大定格電圧は正、負とも普通 $20V$ 程度である。ここでゲート動作電圧とは、電界制御型半導体素子をターンオンさせることのできるゲート電圧をいう。

【0027】 一方、内部ゲート電圧 $V_{g2}$ は、 $0V$ からIGBT $1$ がオンするのに必要なゲート動作電圧 $18V$ に向かって、非振動的に増加する。すなわち、ゲート端子電圧 $V_{g1}$ はゲート最大定格電圧 $V_m$ を超えるが、コンデンサ $C_1$ の容量はゲート静電容量 $C_g$ よりも設定容量だけ小さく、その充電電荷も設定電荷量だけ少ないから、内部ゲート電圧 $V_{g2}$ はゲート最大定格電圧 $V_m$ を越えることはなく、したがってIGBT $1$ のゲートは破壊されない。

【0028】 すなわち本発明では、IGBTの内部配線インダクタンス $L_1$ 、又は内部直列抵抗 $R_1$ に打ち勝つ大きさの急峻な電圧でゲート端子 $G_1$ を駆動することにより、ゲート静電容量 $C_g$ を高速充電し、かつ抵抗 $R_3$ と $R_1$ によって非振動的とするために、IGBT $1$ の内部ゲート電圧をゲート

最大定格電圧 $V_m$ よりも低い電圧値に抑制することができる。」

「【0040】

【発明の効果】 以上説明したように、IGBT、FETのような電界制御型半導体素子のゲート最大定格電圧は半導体チップのゲート電極の直流的最大定格であり、本発明は、このゲート最大定格を超えなければ、電界制御型半導体素子の外部ゲート端子の電圧がゲート最大定格を越えても問題ないという新しい考え方にもとづき、ゲート内部電圧をゲート最大定格以下に維持しながら、高速充放電し、高速駆動させるもので、従来のようにゲート端子電圧を電界制御型半導体素子のゲート最大定格以下に維持して駆動する方法よりもターンオン、ターンオフ速度を向上させることができる。

【0041】 特に大容量で大型のIGBT、FETなどの電界制御型半導体素子を、素子ケース内部のゲートインダクタンスをも保障して高速充電して、高速駆動することのできる高速駆動回路を提供することができる。」

- (3) 以上のとおりの引用例の記載に照らすと、引用発明は、IGBT、MOSFETなどの電界制御型半導体素子を高速ターンオンさせるには、ゲート静電容量を高速充電することが必要である（【0004】）ものの、その充電には電源電圧を電界制御型半導体素子のゲートに印加するゲート最大定格電圧よりも高くすることはできないため、ある程度以上の高速ターンオン駆動はできないとの課題があり（【0006】，【0007】），この課題を解決するために、「IGBTなどの半導体チップのゲート電極の直流的最大定格であるゲート最大定格電圧を超えなければ、IGBTなどの外部ゲート端子に印加される駆動電圧がゲート電圧最大定格を超えても問題が生じないという新しい知見」（【0020】）に基づき、例えば、「ゲート端子電圧 $V_{g1}$ は…IGBTのゲート最大定格20Vを超えるスパイク電圧、例えばその急峻な電圧のピーク電圧値が36Vとなった後、最終目標ゲート電圧であるゲート動作電圧18Vに向かって、非振動的に減衰する。」（【002

6】)としつつ、「内部ゲート電圧 $V_{g2}$ は、0VからIGBT1がオンするのに必要なゲート動作電圧18Vに向かって、非振動的に増加する。」

(【0027】)ようにすることが開示され、その機序に関しては、「ゲート端子電圧 $V_{g1}$ はゲート最大定格電圧 $V_m$ を超えるが、コンデンサ $C_1$ の容量はゲート静電容量 $C_g$ よりも設定容量だけ小さく、その充電電荷も設定電荷量だけ少ないから、内部ゲート電圧 $V_{g2}$ はゲート最大定格電圧 $V_m$ を越えることはなく、したがってIGBT1のゲートは破壊されない。」

(【0027】), 「すなわち本発明では、IGBTの内部配線インダクタンス $L_1$ , 又は内部直列抵抗 $R_1$ に打ち勝つ大きさの急峻な電圧でゲート端子 $G_1$ を駆動することにより、ゲート静電容量 $C_g$ を高速充電し、かつ抵抗 $R_3$ と $R_1$ によって非振動的とするために、IGBT1の内部ゲート電圧をゲート最大定格電圧 $V_m$ よりも低い電圧値に抑制することができる。」

(【0028】)などと記載されている。

そうすると、引用発明は、外部ゲート端子においてはゲート最大定格電圧を超える電圧を印加するものの、内部ゲート電極においてゲート最大定格電圧を超えることはないことを前提とするものと認めることができる。

- (4) このような引用発明の内容を踏まえ、引用発明において、「デバイスの最大定格の3乃至4倍を超えるゲート電圧を生じるチャージパルス」を外部ゲート端子に印加することに想到することが容易であるかどうかを検討する。

この点、デバイスの最大定格とは、メーカーがユーザーに対してクレームが発生しないように安全を見込んで保証する数値であることは技術常識であり、ユーザーは、最大定格を超えると直ちにデバイスが破壊するわけではないことを認識しているのが一般であると考えられる。

そして、引用発明は、半導体デバイスのスイッチング速度を改善するために、デバイスの外部ゲート端子に印加する電圧を高くしてゲート静電容量を高速充電するものであり、引用例における「IGBTの内部配線インダクタ

ンス $L_1$ ，又は内部直列抵抗 $R_1$ に打ち勝つ大きさの急峻な電圧でゲート端子 $G_1$ を駆動することにより，ゲート静電容量 $C_g$ を高速充電し，」などの記載に照らせば，印加する電圧を高くするに従い，ゲート静電容量の充電がより高速に行われ，スイッチング速度がより上がることは，引用例に接した当業者において容易に理解することができるというべきである。

そうすると，半導体デバイスのスイッチング速度をさらに上げるために，メーカーによる半導体デバイスが破壊されないことの保証や長期的なデバイスの信頼性への保証等を考慮しつつ，デバイスの最大定格の3ないし4倍を超えるゲート電圧を外部ゲート端子に印加することとするのは，当業者が容易に想到し得る事柄であるといえる。また，ゲート電圧を「デバイスの最大定格の3乃至4倍を超える」とすることにより，特段の作用効果が奏せられるとは認められない。

以上によれば，相違点1に係る本願発明の構成は，引用発明を前提としつつも当業者において容易に想到し得ると認められ，これと同旨の審決の判断に，誤りがあるといえることはできない。

- (5) 原告は，ゲート内部電圧をゲート最大定格以下に維持することが前提となっている引用発明は，本願発明に対する阻害事由になると主張する。

しかしながら，引用例の開示内容を踏まえても，技術常識等を併せて考慮すれば，相違点1に係る本願発明の構成に想到することは当業者にとって容易であるといえることができるのは，前記(4)のとおりであり，引用発明がゲート内部電圧をゲート最大定格以下に維持することを前提としている点は，相違点1に係る本願発明の構成を導くに当たっての阻害事由となるものではないというべきである。

よって，原告の上記主張は，採用することができない。

### 3 取消事由3（判断遺脱及び理由不備の違法）について

原告は，審決は本願発明に係る本願の請求項17を除くその余の請求項に係

る発明の特許要件に関する判断をしておらず、審決には判断遺脱や理由不備の違法があると主張する（前記第3の3）。

しかしながら、特許法49条及び51条の各規定の文言や特許出願分割制度の存在に照らせば、特許法は、一つの「特許出願について」、その全体につき拒絶査定か特許査定かのいずれかの行政処分を行うべきことを規定しているものと解すべきであるから、審決が本願発明について特許法29条2項の規定により特許を受けることができないと判断した以上、これによって本願の出願全体が特許法49条2号に該当し、拒絶すべきものとなることは明らかである。かかる結論は、本願のその余の請求項に係る発明の特許要件の有無により左右されないから、審決に判断遺脱や理由不備の違法はない。

よって、原告の上記主張は、採用することができない。

#### 4 結論

以上のとおりであり、原告の主張は理由がない。よって、原告の請求を棄却することとし、主文のとおり判決する。

知的財産高等裁判所第3部

裁判長裁判官 石 井 忠 雄

裁判官 田 中 正 哉

裁判官 神 谷 厚 毅