

平成17年(行ケ)第10787号 審決取消請求事件

平成18年11月29日判決言渡,平成18年10月25日口頭弁論終結

## 判 決

原 告 スパンション エルエルシー

訴訟代理人弁理士 片山修平,横山照夫,高林芳孝,八田俊之,菊地拳人

被 告 特許庁長官 中嶋誠

指定代理人 長谷山健,松本邦夫,河合章,立川功,田中敬規

## 主 文

原告の請求を棄却する。

訴訟費用は原告の負担とする。

この判決に対する上告及び上告受理の申立てのための付加期間を30日と定める。

## 事実及び理由

### 第1 原告の求めた裁判

「特許庁が不服2003-7236号事件について平成17年6月28日にした審決を取り消す。」との判決。

### 第2 事案の概要

本件は,拒絶査定に対する不服審判請求を不成立とした審決の取消しを求める事案である。

#### 1 特許庁における手続の経緯

(1) アドバンスト・マイクロ・デバイス・インコーポレイテッド及び富士通株式会社は,平成10年4月10日(パリ条約に基づく優先権主張1997年(平成9年)9月30日,米国),発明の名称を「メモリセル,プログラミング禁

止の方法，及びプログラミングの方法」とする特許出願（請求項の数17）をしたところ（甲2），平成14年12月27日付けの拒絶査定を受けたので，平成15年4月28日，拒絶査定に対する審判を請求し（不服2003-7236号事件として係属），さらに，同年5月28日付け手続補正書により明細書を補正した（甲3，以下「本件補正」という。）。

(2) 原告（旧名称ファスル・エル・エル・シー）は，上記特許を受ける権利（各持分の全部）の譲渡を受け，平成16年6月25日，その旨を特許庁長官に届け出た（甲14，15）。

(3) 特許庁は，平成17年6月28日，「本件審判の請求は，成り立たない。」との審決をし，同年7月12日，その謄本を原告に送達した。

2 特許請求の範囲の請求項1の記載（本件補正後のもの，請求項2以下の記載を省略）

【請求項1】 メモリセル（401，402）であって，

NAND列を形成するように直列に接続された複数のデータ記憶トランジスタ（407，408）であって，ドレインを有する最初のデータ記憶トランジスタとソースを有する最後のデータ記憶トランジスタとを有し，各データ記憶トランジスタが，トンネル酸化物層厚さを有するトンネル酸化物層によってチャンネルから分離されたフローティングゲート（409，410）を有している，前記複数のデータ記憶トランジスタと，

ソース（412），ドレイン（411），ゲート（414）及びチャンネル（508）を有し且つ正のしきい電圧を有する直列選択トランジスタ（403，405）であって，該ドレインが，前記最後のデータ記憶トランジスタのソースに接続され，該ゲートが，前記トンネル酸化物層厚さと同じ厚さを有する直列選択酸化物層によってチャンネルから分離されている，前記直列選択トランジスタと，

ソース（501），ドレイン（412），ゲート（415）及びチャンネルを有し且つ前記正のしきい電圧を有するソース選択トランジスタ（404，406）であ

って、該ドレインが、前記直列選択トランジスタのソースに接続され、該ゲートが、前記トンネル酸化物層厚さと同じ厚さを有するソース選択酸化物層によってチャンネルから分離されている、前記ソース選択トランジスタとを備え、

前記各選択トランジスタのゲートが、互いに電氣的に短絡された2層の多結晶シリコンによって形成されていることを特徴とするメモリセル。

### 3 審決の理由の要旨

審決の理由は、以下のとおりであるが、要するに、本件補正後の請求項1に係る発明（以下「本件発明」という。）は、優先権主張日前に頒布された特開平8-255494号公報（甲6、以下「刊行物1」という。）に記載された発明及び周知技術に基づいて当業者が容易に発明をすることができたものであるから、特許法29条2項の規定により特許を受けることができない、というものである。

#### (1) 刊行物

刊行物1には、以下の発明（以下「刊行物発明」という。）が記載されている。

「直列接続された複数のメモリセルと、ビット線コンタクト側選択ゲートSG1と、ソース線側選択ゲートSG2-2及びソース線側選択ゲートSG2-1とを備えたNANDセルであって、

前記NANDセルのドレイン側はビット線コンタクト側選択ゲートSG1を介してビット線に接続され、前記NANDセルのソース側はソース線側選択ゲートSG2-2、ソース線側選択ゲートSG2-1を介してソース線に接続されており、

基板に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された浮遊ゲートと、前記浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを備えた、前記複数のメモリセルと、

n型拡散層からなるソース・ドレインが形成されたp型基板上にゲート絶縁膜を介して、前記複数のメモリセルの浮遊ゲート及び制御ゲートと同時に形成された選択ゲートを備えるとともに、前記直列接続された複数のメモリセルのソースにドレインが接続された前記ソース線側選択ゲートSG2-2と、

n型拡散層からなるソース・ドレインが形成されたp型基板上にゲート絶縁膜を介して、前記複数のメモリセルの浮遊ゲート及び制御ゲートと同時に形成された選択ゲート149、1410を備え、ソースがソース線に接続されるとともに、ドレインが前記ソース線側選択ゲートSG2-2のソース

に接続された前記ソース線側選択ゲートSG2-1とを備えたことを特徴とするNANDセル。」

(2) 対比・判断

刊行物発明の「複数のメモリセル」は、データを記憶するための個々の浮遊ゲートを備えたMOS型トランジスタであり、一方、本件発明の「複数のデータ記憶トランジスタ」もデータを記憶するための個々の浮遊ゲートを備えたMOS型トランジスタであるから、刊行物発明の「複数のメモリセル」は、本件発明の「複数のデータ記憶トランジスタ」に相当する。

刊行物発明においては、「前記NANDセルのドレイン側はビット線コンタクト側選択ゲートSG1を介してビット線に接続され、前記NANDセルのソース側はソース線側選択ゲートSG2-2、ソース線側選択ゲートSG2-1を介してソース線に接続されて」おり、即ち、「NANDセル」を構成する「複数のメモリセル」であって、「ビット線コンタクト側選択ゲートSG1」に接続される「メモリセル」は、そのドレインが「ビット線コンタクト側選択ゲートSG1」に接続され、一方、「NANDセル」を構成する「複数のメモリセル」であって、「ソース線側選択ゲートSG2-2」に接続される「メモリセル」は、そのソースが、「ソース線側選択ゲートSG2-2」に接続されることは明らかであるから、刊行物発明は、本件発明の「ドレインを有する最初のデータ記憶トランジスタ」及び「ソースを有する最後のデータ記憶トランジスタ」を実質的に備えていることは当業者に明らかである。

刊行物発明では、「NANDセル」は直列接続された複数のメモリセル、直列接続された複数のメモリセルのソースにドレインが接続されたソース線側選択ゲートSG2-2、ソース線にソースが接続され、ソース線側選択ゲートSG2-2のソースにドレインが接続されたソース線側選択ゲートSG2-1を備えており、一方、本件発明では、「メモリセル」は「複数のデータ記憶トランジスタ」、最後のデータ記憶トランジスタのソースにドレインが接続された直列選択トランジスタ、直列選択トランジスタのドレインにソースが接続されたソース選択トランジスタを備えているから、刊行物発明の「NANDセル」、「ソース線側選択ゲートSG2-2」、「ソース線側選択ゲートSG2-1」はそれぞれ、本件発明の「メモリセル」、「直列選択トランジスタ」、「ソース選択トランジスタ」に相当する。

刊行物発明の、「ソース線側選択ゲートSG2-1」及び「ソース線側選択ゲートSG2-2」がチャンネルを備えることは明らかであり、また、「ソース線側選択ゲートSG2-1」及び「ソース線側選択ゲートSG2-2」の「選択ゲート」が、本件発明の「直列選択トランジスタ」及び「ソース選

択トランジスタ」の「ゲート」に相当することは明らかであって、さらに、「ソース線側選択ゲートSG2-1」及び「ソース線側選択ゲートSG2-2」の「選択ゲート」が「ゲート絶縁膜」により、「チャンネル」から分離されていることも明らかであるから、刊行物発明の「ソース線側選択ゲートSG2-2」の「ゲート絶縁膜」及び「ソース線側選択ゲートSG2-1」の「ゲート絶縁膜」は、それぞれ、本件発明の「直列選択酸化物層」及び「ソース選択酸化物層」に相当する。

刊行物発明の「複数のメモリセル」それぞれが、浮遊ゲートの下に「ゲート絶縁膜」を介して基板にチャンネルを形成したものであることは、当業者に明らかであるから、刊行物発明の「複数のメモリセル」の「ゲート絶縁膜」は、本件発明の「酸化物層によってチャンネルから分離されたフローティングゲート」の「酸化物層」に相当する。

よって、両者は、

「メモリセル(401, 402)であって、

NAND列を形成するように直列に接続された複数のデータ記憶トランジスタ(407, 408)であって、ドレインを有する最初のデータ記憶トランジスタとソースを有する最後のデータ記憶トランジスタとを有し、各データ記憶トランジスタが、酸化物層によってチャンネルから分離されたフローティングゲート(409, 410)を有している、前記複数のデータ記憶トランジスタと、

ソース(412)、ドレイン(411)、ゲート(414)及びチャンネル(508)を有し直列選択トランジスタ(403, 405)であって、該ドレインが、前記最後のデータ記憶トランジスタのソースに接続され、該ゲートが、直列選択酸化物層によってチャンネルから分離されている、前記直列選択トランジスタと、

ソース(501)、ドレイン(412)、ゲート(415)及びチャンネルを有しソース選択トランジスタ(404, 406)であって、該ドレインが、前記直列選択トランジスタのソースに接続され、該ゲートが、ソース選択酸化物層によってチャンネルから分離されている、前記ソース選択トランジスタとを備える

ことを特徴とするメモリセル。」である点で一致し、以下の各点で相違する。

相違点1

本件発明が、「各データ記憶トランジスタが、トンネル酸化物層厚さを有するトンネル酸化物層によってチャンネルから分離されたフローティングゲート(409, 410)を有している」のに対して、刊行物発明の「複数のメモリセル」が「基板に形成されたゲート絶縁膜」を備えているが、「ゲー

ト絶縁膜」が「トンネル酸化物層」であるか否か明らかでない点。

#### 相違点 2

本件発明の「直列選択トランジスタ」が「正のしきい値を有する」のに対して、  
刊行物発明の「ソース線側選択ゲートSG2-2」がどのようなしきい値を持つか明らかでない点。

#### 相違点 3

本件発明の、「直列選択トランジスタ」の「該ゲートが、前記トンネル酸化物層厚さと同じ厚さを有する直列選択酸化物層によってチャネルから分離されている」のに対して、

刊行物発明の「ソース線側選択ゲートSG2-2」の「ゲート絶縁膜」の厚さが「トンネル酸化物層厚さと同じ厚さ」であるか否か明らかでない点。

#### 相違点 4

本件発明の「ソース選択トランジスタ」が「正のしきい値を有する」のに対して、  
刊行物発明の「ソース線側選択ゲートSG2-1」がどのようなしきい値を持つか明らかでない点。

#### 相違点 5

本件発明の、「ソース選択トランジスタ」の「該ゲートが、前記トンネル酸化物層厚さと同じ厚さを有する直列選択酸化物層によってチャネルから分離されている」のに対して、

刊行物発明の「ソース線側選択ゲートSG2-1」の「ゲート絶縁膜」の厚さは明らかでない点。

#### 相違点 6

本件発明の「直列選択トランジスタ」と「ソース選択トランジスタ」の「各選択トランジスタのゲートが、互いに電氣的に短絡された2層の多結晶シリコンによって形成されている」のに対して、

刊行物発明では、「ソース線側選択ゲートSG2-2」及び「ソース線側選択ゲートSG2-1」の「選択ゲート」が「前記複数のメモリセルの浮遊ゲート及び制御ゲートと同時に形成された選択ゲート」を備えている点。

以下、各相違点について検討する。

#### 相違点 1 について

刊行物発明においては、「複数のメモリセル」の「ゲート絶縁膜」が、キャリアがトンネル現象により通り抜けられる程度の厚さの「トンネル酸化物層」であるとの記載はないものの、刊行物1の0002段落から0007段落にはNAND型EEPROMの(a)データ書込み動作における、メモリセルの制御ゲート及び選択ゲート、ビット線、ドレインへの印加電圧及びそのときの動作、(b)デー

夕消去時における、制御ゲート、ビット線、ソース線、選択ゲート、p型ウエル及びn型基板への印加電圧及びそのときの動作について記載されており、これらのNAND型EEPROMの動作説明から、前記NAND型EEPROMが「書込み」及び「消去」のうち少なくともいずれか一方において、ファウラー・ノルドハイムトンネル電流によりなされることは、当業者に明らかである。

よって、刊行物発明における「複数のメモリセル」の「ゲート絶縁膜」が、トンネル電流を利用して、キャリアを浮遊ゲートに蓄積又は浮遊ゲートから抜き去ることで、「書込み」及び「消去」ができる程度の厚さであることは、当業者に明らかであるから、刊行物発明の「複数のメモリセル」の「ゲート絶縁膜」は、本件発明の「トンネル酸化物層厚さを有するトンネル酸化物層」と同等の厚さである。仮に、刊行物発明の「複数のメモリセル」の「ゲート絶縁膜」が、本件発明の「トンネル酸化物層厚さを有するトンネル酸化物層」と同等の厚さでないとしても、NAND型EEPROMにおいて、トンネル電流を用いて選択ゲートへのキャリアの蓄積及び消去を行うこと、即ち、トンネル酸化膜を浮遊電極下のゲート絶縁膜として用いることは従来周知であるから、刊行物発明の「複数のメモリセル」の「ゲート絶縁膜」を、本件発明の「トンネル酸化物層厚さを有するトンネル酸化物層」と同等の厚さの酸化膜とすることは、当業者が容易になしえたものである。

#### 相違点2について

刊行物発明のソース線側選択ゲートSG<sub>2-1</sub>及びソース線側選択ゲートSG<sub>2-2</sub>は、ソース、ドレイン、ゲート、及びチャンネルを備えており、また、刊行物1の0025段落から0027段落の記載から、p型基板にソース・ドレインとなるn型不純物領域を形成したものであり、さらに、刊行物1の0002段落から0007段落のNAND型EEPROMのデータ書込み動作、データ消去及びデータ読出し動作における記載（特に、「データ読出し動作は、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位V<sub>cc</sub>(=5V)として、選択メモリセルで電流が流れるか否かを検出することにより行われる。」(0007段落)に注意。)より、ソース線側選択ゲートSG<sub>2-1</sub>及びソース線側選択ゲートSG<sub>2-2</sub>が、正のしきい値を持つことは、当業者に明らかであるから、この点は、実質的な相違点ではない。

#### 相違点3について

刊行物1の0025段落から0027段落にNANDセルの製造方法が記載され、0026段落の「メモリセルはそれぞれ、基板11にゲート絶縁膜13を介して浮遊ゲート14(141, 142, …, 148)を形成し、この上に層間絶縁膜15を介して制御ゲート16(161, 162, …

・・・, 168)を形成して,構成されている。」及び0027段落の「NANDセルのドレイン側及びソース側には,メモリセルの浮遊ゲート,制御ゲートと同時に形成された選択ゲート149,169及び1410,1610がそれぞれ設けられている。」との記載を参照すると,仮に,「ソース線側選択トランジスタ」のゲート絶縁膜と,「メモリセル」のゲート絶縁膜との厚さを異なるものとするための工程,即ち,「ソース線側選択ゲート」のゲート絶縁膜を形成するための別の工程が必要であるが,上記0026段落の記載には,「ソース線側選択ゲート」のゲート絶縁膜を,「メモリセル」のゲート絶縁膜とは異なる工程で形成することは記載されておらず,上記0027段落の記載には,「NANDセルのドレイン側及びソース側には,メモリセルの浮遊ゲート,制御ゲートと同時に形成された選択ゲート149,169及び1410,1610がそれぞれ設けられている。」と記載されていることより,0025段落から0028段落及び図2,3に記載された実施例においては,「ソース線側選択ゲート」のゲート絶縁膜は,「メモリセル」のゲート絶縁膜と同時に形成されたとするのが妥当である。

したがって,「ソース線側選択ゲート」のゲート絶縁膜の厚さは,「メモリセル」のゲート絶縁膜の厚さと同等であることは実質的に記載されている。

さらに,ゲート絶縁膜としてゲート酸化膜を用いることは,従来周知である。

よって,刊行物発明の「ソース線側選択ゲートSG2-2」の「ゲート絶縁膜」の厚さが「トンネル酸化物層厚さと同じ厚さ」であるか否か明らかでないものの,「ソース線側選択ゲート」のゲート絶縁膜は,「メモリセル」のゲート絶縁膜と実質的に同じ厚さ,即ち,「トンネル酸化物層厚さを有するトンネル酸化物層」と同等の厚さとすることが実質的に記載されているか,または,仮にこの点,刊行物1に記載されていないとしても,「ソース線側選択ゲート」のゲート絶縁膜を,「トンネル酸化物層厚さを有するトンネル酸化物層」と同等の厚さとすることは,当業者が容易になしえたものである。

さらに,刊行物1の0028段落には,「なお,選択ゲート149,1410と基板11との間のゲート絶縁膜13をメモリセル部のゲート絶縁膜よりも厚く形成して,その信頼性を高めるようにしてもよい。」と記載されており,「ゲート絶縁膜13をメモリセル部のゲート絶縁膜よりも厚く形成して,その信頼性を高めるようにしてもよい。」という記載を,日本語として解釈する際に,「よりも厚く形成して,その信頼性を高めるようにしてもよい。」を反対解釈すると,「選択ゲート149,1410と基板11との間のゲート絶縁膜」は「メモリセル部のゲート絶縁膜」と「同程度」ま



たは「より薄い」のであって、「メモリセル部のゲート絶縁膜」の厚さが、トンネル酸化膜程度の厚さであるから、その厚さ「より薄い」ということは、NANDセルの動作を考慮すると現実的でなく、結局、「選択ゲート149, 1410と基板11との間」の「ゲート絶縁膜」は「メモリセル部のゲート絶縁膜」と「同程度」の厚さと解するのが妥当である。

よって、「選択ゲート149, 1410と基板11との間のゲート絶縁膜」は、トンネル酸化膜と同程度の「メモリセル部のゲート絶縁膜」と同程度の厚さであって、相違点3は、実質的な相違点ではない。

相違点4について

相違点4は、刊行物発明の「ソース線側選択ゲートSG2-1」のしきい値についてのものであるが、「ソース線側選択ゲートSG2-1」が「ソース線側選択ゲートSG2-2」と同時に形成されることは、刊行物1の0023段落から0027段落及び0089段落から0090段落の記載及び図2, 図3(a), (b), 図23, 図24から当業者に明らかであるから、「ソース線側選択ゲートSG2-1」のしきい値は「ソース線側選択ゲートSG2-2」のしきい値と同等であって、相違点4は、「相違点2について」において検討したとおりである。

相違点5について

相違点5は、「ソース線側選択ゲートSG2-1」の「ゲート絶縁膜」の厚さについてのものであるが、「ソース線側選択ゲートSG2-1」が「ソース線側選択ゲートSG2-2」と同時に形成されることは、刊行物1の0023段落から0027段落及び0089段落から0090段落の記載及び図2, 図3(a), (b), 図23, 図24から当業者に明らかであるから、「ソース線側選択ゲートSG2-1」の「ゲート絶縁膜」の厚さは、「ソース線側選択ゲートSG2-2」の「ゲート絶縁膜」の厚さと同等であって、相違点5は、「相違点3について」において検討したとおりである。

相違点6について

EEPROMの選択トランジスタのゲート電極を、電氣的に短絡された2層の多結晶シリコン層により形成することは、特開平2-1176号公報(本訴甲7)の第1図から第4図及び3頁右下欄9行から4頁右下欄17行(特に、「第1層多結晶シリコン膜4」、「第2層多結晶シリコン膜7」及び「選択トランジスタの積層ゲート電極42, 72」に注意。), 特開平5-291587号公報(本訴甲8)の図8及び、0005段落と0009段落(特に、「第3の多結晶シリコン9」、「第4の多結晶シリコン10」に注意。)及び、特開平8-17949号公報(本訴甲9)の図4及び、

0072段落から0076段落（特に「多結晶シリコン膜からなるゲート電極12」に注意。）に記載されるように従来周知の技術的事項であるから、刊行物発明の「ソース線側選択ゲートSG2-2」及び「ソース線側選択ゲートSG2-1」の「前記複数のメモリセルの浮遊ゲート及び制御ゲートと同時に形成された選択ゲート」において、浮遊ゲートと制御ゲートを絶縁物を介することなく直接接触させるか、浮遊ゲートと制御ゲートとの間に介在させた絶縁物にコンタクトホールを形成することにより浮遊ゲートと制御ゲートを導電的に接続するとともに、「ソース線側選択ゲートSG2-2」及び「ソース線側選択ゲートSG2-1」の「浮遊ゲート」及び「制御ゲート」のそれぞれに、ゲート電極として従来周知の材料である多結晶シリコンを用いることにより、「選択ゲート」を、本願発明の如く、「互いに電氣的に短絡された2層の多結晶シリコンによって形成され」たものとするものは、当業者が容易になしえたものである。

よって、本件発明は、刊行物1に記載された発明及び周知技術に基づいて当業者が容易に発明をすることができたものであるから、特許法29条2項の規定により特許を受けることができない。

### (3) 審決のむすび

以上のとおりであるから、本件は、請求項2ないし17に係る発明については検討するまでもなく、特許法29条2項の規定により特許を受けることができない。

## 第3 当事者の主張の要点

### 1 原告主張の審決取消事由

#### (1) 取消事由1（相違点3の判断の誤り）

審決は、本件発明と刊行物発明との相違点3について、「「選択ゲート149、1410と基板11との間のゲート絶縁膜」は、トンネル酸化膜と同程度の「メモリセル部のゲート絶縁膜」と同程度の厚さであって、相違点3は、実質的な相違点ではない。」と判断したが、以下のとおり誤りである。

ア 審決は、「0025段落から0028段落及び図2、3に記載された実施例においては、「ソース線側選択ゲート」のゲート絶縁膜は、「メモリセル」のゲート絶縁膜と同時に形成されたとするのが妥当である。」として、「「ソース線側選択ゲート」のゲート絶縁膜の厚さは、「メモリセル」のゲート絶縁膜の厚さと同等

であることは実質的に記載されている。」と判断した。

(ア) 「0025段落から0028段落及び図2, 3に記載された実施例」とは、刊行物発明から「ソース線側選択ゲートSG<sub>2-2</sub>」を除き、「ソース線側選択ゲート」を1つとした構成の発明として捉えたもの(以下「刊行物実施例発明」という。)であるところ、以下のように、本件発明の優先権主張日における当業者の技術常識によれば、選択トランジスタのゲート酸化膜をメモリセルのゲート絶縁膜の膜厚より厚く形成していたことは明らかである。

a 特開平8-78551号公報(甲10)について

特開平8-78551号公報の段落【0003】ないし【0022】、図30ないし45に記載された発明(以下「甲10発明」という。)と刊行物実施例発明とは、いずれも、同じ構造を有するNANDセルであって、データ書込み動作の際には、選択トランジスタの選択ゲートに10V程度が印加され、メモリセルの制御ゲートに20V程度が印加され、データ消去動作の際には、メモリセルの制御ゲートに0Vが印加され、基板に20Vが印加される。

そして、特開平8-78551号公報の段落【0010】には、「このような構成によれば、通常メモリセルには書込みあるいは消去を行うためトンネル電流を流すのに十分な薄さの酸化膜(通常10nm程度)を半導体基板と電荷蓄積領域の間に設ける。選択トランジスタのゲート酸化膜は通常のトランジスタ動作を行うのでトンネル現象の起こらない、つまりトンネル電流が流れない程度の厚い酸化膜が必要である。例えば、書込み動作時の選択トランジスタのゲート電圧が10Vとすれば選択トランジスタ(SG)のゲート酸化膜厚は30nm程度必要である。」との記載があるから、刊行物実施例発明と同じNANDセル構造において、データ書込み動作及びデータ消去動作の際には、選択トランジスタのゲート絶縁膜はメモリセルのゲート絶縁膜より厚いことが必要である。

b 特開平7-230695号公報(甲11)について

特開平7-230695号公報の段落【0002】ないし【0008】、図23

に記載された発明（以下「甲11発明」という。）と刊行物実施例発明とは、いずれも、同じ構造を有するNANDセルであって、データ書込み動作の際には、選択トランジスタの選択ゲートに10V程度が印加され、メモリセルの制御ゲートに20V程度が印加される、データ消去動作の際には、メモリセルの制御ゲートに0Vが印加され、基板に20Vが印加され、また、選択トランジスタの選択ゲートに20Vが印加される。

そして、特開平7-230695号公報の段落【0008】には、「上記構成では、消去及び書込み時に、高電圧 $V_{pp}$ （20V）と、0Vと $V_{pp}$ の中間電圧 $V_m$ （10V）の2種類の高電圧が選択トランジスタのゲート酸化膜にかかる。そのため、メモリセルアレー内で選択トランジスタにおけるゲート酸化膜とメモリセルのトンネル酸化膜を作り分け」との記載があるから、刊行物実施例発明と同じNANDセル構造において、データ書込み動作及びデータ消去動作の際は、選択トランジスタのゲート絶縁膜をメモリセルのトンネル絶縁膜に比べ厚く形成することが必要である。

c 特開平8-64700号公報（甲12）について

特開平8-64700号公報の段落【0039】ないし【0069】、図1ないし14に記載された発明（以下「甲12発明」という。）と刊行物実施例発明とは、いずれも、同じ構造を有するNANDセルであって、データ書込みの際には、選択トランジスタの選択ゲートに10V程度が印加され、メモリセルの制御ゲートに20V程度が印加され、データ消去動作の際には、メモリセルの制御ゲートに0Vが印加され、基板に20Vが印加される。

そして、特開平8-64700号公報の段落【0061】には、「第1ポリSi直下の酸化膜厚（SGは $\sim 25\text{nm}$ 、一方CGは $\sim 10\text{nm}$ ）」との記載があり、選択トランジスタのゲート酸化膜厚がメモリセルのゲート酸化膜厚より厚いことが示されているから、刊行物実施例発明と同じNANDセル構造において、データ書込み動作及びデータ消去動作の際は、選択トランジスタのゲート酸化膜厚がメモリ

セルのゲート酸化膜厚より厚く形成されているものである。

d 上記 a ないし c によると、刊行物実施例発明と同じ NAND セルにおいて、データ書込み動作及びデータ消去動作において、メモリセルのゲート絶縁膜は、データ書込み動作時には制御ゲートに 20 V 程度を印加し、データ消去動作時には制御ゲートに 0 V、基板に 20 V を印加した状態でトンネル現象が生ずるような薄さが必要であり、選択トランジスタのゲート絶縁膜は、データ書込み動作時には選択ゲートに 10 V 程度が印加されてもトンネル現象が起こらない厚さが必要である。

このように、選択トランジスタのゲート絶縁膜をメモリセルのゲート絶縁膜の膜厚より厚く形成する必要があることは、本件発明の優先権主張日における当業者の技術常識であるから、刊行物実施例発明において、選択トランジスタのゲート酸化膜をメモリセルのゲート絶縁膜の膜厚より厚く形成していたことは明らかである。

(イ) 上記(ア)のとおり、本件発明の優先権主張日における当業者の技術常識によれば、刊行物実施例発明において、選択トランジスタのゲート酸化膜をメモリセルのゲート絶縁膜の膜厚より厚く形成していたのであるから、そのために、選択トランジスタのゲート酸化膜とメモリセルのゲート絶縁膜とが別に形成されていたことは明らかである。

(ウ) そうであれば、「0025 段落から 0028 段落及び図 2, 3 に記載された実施例においては、「ソース線側選択ゲート」のゲート絶縁膜は、「メモリセル」のゲート絶縁膜と同時に形成されたとするのが妥当である。」とした審決の判断は誤りであり、これを前提として、「「ソース線側選択ゲート」のゲート絶縁膜の厚さは、「メモリセル」のゲート絶縁膜の厚さと同等であることは実質的に記載されている。」とした審決の判断も誤りである。

イ 審決は、刊行物 1 の段落【0028】に、「なお、選択ゲート 149, 1410 と基板 11 との間のゲート絶縁膜 13 をメモリセル部のゲート絶縁膜よりも厚く形成して、その信頼性を高めるようにしてもよい。」との記載があることから、

「結局、「選択ゲート149, 1410と基板11との間」の「ゲート絶縁膜」は「メモリセル部のゲート絶縁膜」と「同程度」の厚さと解するのが妥当である。」と判断した。

上記ア(ア)のとおり、本件発明の優先権主張日における当業者の技術常識によれば、刊行物実施例発明において、選択トランジスタのゲート酸化膜をメモリセルのゲート絶縁膜の膜厚より厚く形成していたのであるから、選択トランジスタのゲート絶縁膜とメモリセルのゲート絶縁膜とが同程度の厚さと解釈することは、当業者の技術常識に反する。なお、刊行物1の上記記載は、信頼性を高めるため、「選択ゲート149, 1410と基板11との間のゲート絶縁膜13をメモリセル部のゲート絶縁膜よりも厚く形成」することを述べているにすぎない。

そうであれば、「結局、「選択ゲート149, 1410と基板11との間」の「ゲート絶縁膜」は「メモリセル部のゲート絶縁膜」と「同程度」の厚さと解するのが妥当である。」とした審決の判断は誤りである。

## (2) 取消事由2（相違点5の判断の誤り）

審決は、「「ソース線側選択ゲートSG2-1」の「ゲート絶縁膜」の厚さは、「ソース線側選択ゲートSG2-2」の「ゲート絶縁膜」の厚さと同等であって、相違点5は、「相違点3について」において検討したとおりである。」と判断した。

上記(1)のとおり、相違点3についての判断は誤りであるから、同様に、審決のこの判断は誤りである。

## 2 被告の反論

### (1) 取消事由1（相違点3の判断の誤り）に対して

ア 「「ソース線側選択ゲート」のゲート絶縁膜の厚さは、「メモリセル」のゲート絶縁膜の厚さと同等であることは実質的に記載されている。」との判断について

(ア) 審決は、本件発明と刊行物発明の一致点として、「複数のデータ記憶トラ

ンジスタ」のソースに順次直列接続された「直列選択トランジスタ」及び「ソース選択トランジスタ」の2つの「選択トランジスタ」を備える「メモリセル」として認定しており、このことは、原告も争わない。そうすると、「ソース線側選択ゲート」を1つとした構成の刊行物実施例発明は、本件発明と刊行物発明との相違点の判断の検討対象ではないから、刊行物実施例発明を検討対象とする原告の主張は、そもそも失当である。

(1) 以下のように、原告が主張する技術常識を説明する根拠として甲10ないし12を用いることはできないし、仮に原告が主張する技術常識があるとしても、これは特定のデータ書込み動作及びデータ消去動作を前提とするもので、それ以外の動作において、「ソース線側選択ゲート」のゲート絶縁膜を「メモリセル」のゲート絶縁膜より厚く形成することが明らかであるとはいえないところ、本件発明の「メモリセル」において、動作に関する限定は一切ないから、本件発明の進歩性判断に際しては特定の動作に拘束されない。

a 特開平8-78551号公報(甲10)について

(a) 段落【0005】には、「選択されたセルの制御ゲート」、「非選択セルの制御ゲート」及び「ビット線」に印加する電圧が記載されているだけ、選択ゲートのゲート電圧については記載がない。

(b) NAND型メモリセル構造において、データ書込み動作時には、ソース線側の選択トランジスタを遮断状態とするためにソース線側の選択トランジスタのゲートには10V程度の中間電位を印加しないことは、当業者であれば技術的に明らかであるから、段落【0010】の「書込み動作時の選択トランジスタのゲート電圧が10Vとすれば選択トランジスタ(SG)のゲート酸化膜厚は30nm程度必要である。」における「選択トランジスタ」は、ビット線側の選択トランジスタである。

また、製造工程簡略化の観点から、ソース線側の選択トランジスタのゲート酸化膜厚をメモリセルのゲート酸化膜厚に合わせて同等にしても、NAND型メモリセ

ル構造のゲート酸化膜厚を2種類にできる点で、同程度に製造工程を簡略化できたものと判断されるから、ソース側の選択トランジスタのゲート酸化膜厚をビット線側の選択トランジスタのゲート酸化膜厚に不可避免的に合わせる必然性はない。

そうすると、段落【0010】の記載は、ビット線側の選択トランジスタのゲート酸化膜厚が30nm程度必要なことの根拠になり得るとしても、審決が検討対象としているソース線側の選択トランジスタのゲート酸化膜厚が30nm程度必要なことの根拠にはなり得ない。

b 特開平7-230695号公報(甲11)について

(a) 特開平7-230695号公報の段落【0002】ないし【0008】、図23は、従来技術に関する記載であるところ、段落【0003】には、「従来のNAND型フラッシュEEPROMのメモリセル」の断面構造については何ら記載がないにもかかわらず、原告は、【実施例】の図3を根拠なく引用して、複数のメモリセル(M1~M8)及びソース側選択ゲート(SG2)を備える旨の主張をしている。

(b) データの書込み動作に関しては、10Vの中間電圧 $V_m$ が印加されるのはビット線側の選択ゲートであるSG1であって、ソース線側の選択ゲートであるSG2への印加電圧は0Vであり(段落【0005】)、また、データの消去動作に関しては、基板Wと選択ゲートSGに共に20Vの消去電圧 $V_{EE}$ が印加され、選択トランジスタのゲート酸化膜には電位差が発生しない(段落【0004】)から、段落【0008】の記載は、データ書込み動作時にビット線側の選択トランジスタのゲート酸化膜とメモリセルのトンネル酸化膜を作り分けることを意味していると解釈できるのであって、ソース線側の選択トランジスタのゲート酸化膜とメモリセルのトンネル酸化膜を作り分けることの根拠にはならない。

また、製造工程簡略化の観点から、ソース線側の選択トランジスタのゲート酸化膜厚をメモリセルのゲート酸化膜厚に合わせて同等にしても、NAND型メモリセル構造のゲート酸化膜厚を2種類にできる点で、同程度に製造工程を簡略化できた



ものと判断されるから、ソース側の選択トランジスタのゲート酸化膜厚をビット線側の選択トランジスタのゲート酸化膜厚に不可避免的に合わせる必然性はない。

そうすると、段落【0008】の記載は、ビット線側の選択トランジスタのゲート酸化膜とメモリセルのトンネル酸化膜を作り分けることの根拠になり得るとしても、審決が検討対象としているソース線側の選択トランジスタのゲート酸化膜とメモリセルのトンネル酸化膜を作り分けることの根拠にはなり得ない。

c 特開平8 - 64700号公報(甲12)について

(a) データの書込み動作に関しては、 $\sim 10\text{V}$ 程度の中間電圧 $V_m$ が印加されるのは、ビット線側の選択ゲートであって、ソース線側の選択ゲートではない(段落【0005】)から、ソース線側の選択ゲートのゲート酸化膜をメモリセルのゲート酸化膜よりも厚く形成する必然性があることの根拠にはならない。

また、製造工程簡略化の観点から、ソース線側の選択トランジスタのゲート酸化膜厚をメモリセルのゲート酸化膜厚に合わせて同等にしても、NAND型メモリセル構造のゲート酸化膜厚を2種類にできる点で、同程度に製造工程を簡略化できたものと判断されるから、ソース側の選択トランジスタのゲート酸化膜厚をビット線側の選択トランジスタのゲート酸化膜厚に不可避免的に合わせる必然性はない。

そうすると、段落【0005】の記載は、ビット線側の選択ゲートのゲート酸化膜をメモリセルのゲート酸化膜よりも厚く形成することの根拠になり得るとしても、審決が検討対象としているソース線側の選択ゲートのゲート酸化膜をメモリセルのゲート酸化膜よりも厚く形成する必然性があることの根拠にはなり得ない。

(b) データ消去動作に関しては、刊行物発明が、「選択ゲート」と「p型ウェル及びn型基板」の両者に $20\text{V}$ を印加している(刊行物1の段落【0006】)のに対して、甲12発明は、全ての「選択ゲート」に $0\text{V}$ を、「p型ウェル及びn型基板」に高電圧 $20\text{V}$ を印加している(特開平8 - 64700号公報の段落【0006】)のであって、刊行物発明のソース線側選択ゲートと甲12発明の選択ゲートとはゲート印加電圧が相違しているから、甲12発明の選択ゲートのゲート

酸化膜をメモリセルのゲート酸化膜よりも厚く形成する必要があったとしても、刊行物発明のソース線側選択ゲートのゲート絶縁膜をメモリセルのゲート酸化膜よりも厚く形成する必然性があることの根拠にはなり得ない。

(ウ) そうであれば、「0025段落から0028段落及び図2, 3に記載された実施例においては、「ソース線側選択ゲート」のゲート絶縁膜は、「メモリセル」のゲート絶縁膜と同時に形成されたとするのが妥当である。」とした審決の判断に誤りはなく、これを前提として、「ソース線側選択ゲート」のゲート絶縁膜の厚さは、「メモリセル」のゲート絶縁膜の厚さと同等であることは実質的に記載されている。」とした審決の判断にも誤りはない。

イ 「「選択ゲート149, 1410と基板11との間」の「ゲート絶縁膜」は「メモリセル部のゲート絶縁膜」と「同程度」の厚さと解するのが妥当である。」との判断について

上記ア(イ)のとおり、原告が主張する技術常識は、特定のデータ書込み動作及びデータ消去動作を前提とするもので、それ以外の動作において、「ソース線側選択ゲート」のゲート絶縁膜を「メモリセル」のゲート絶縁膜より厚く形成することが明らかであるとはいえない。

そして、刊行物1の段落【0028】の「よりも厚く形成して、その信頼性を高めるようにしてもよい。」を反対解釈すると、「選択ゲート149, 1410と基板11との間のゲート絶縁膜」は、「メモリセル部のゲート絶縁膜」と「同程度」又は「より薄い」ものであるところ、「選択ゲート149, 1410」を有するトランジスタは、ゲート絶縁膜にトンネル現象を伴わない通常のトランジスタ動作によって、それぞれビット線又はソース線との接続の有無を選択する機能を有するのであって、あえてそのゲート絶縁膜を「メモリセル部のゲート絶縁膜」よりも薄く形成するという動機はないから、「より薄い」ものが排除されることは、当業者であれば技術的に明らかなことである。

そうであれば、「結局、「選択ゲート149, 1410と基板11との間」の

「ゲート絶縁膜」は「メモリセル部のゲート絶縁膜」と「同程度」の厚さと解するのが妥当である。」とした審決の判断に誤りはない。

(2) 取消事由 2 (相違点 5 の判断の誤り)

上記(1)のとおり、相違点 3 についての判断に誤りはないから、同様に、「ソース線側選択ゲート SG<sub>2-1</sub>」の「ゲート絶縁膜」の厚さは、「ソース線側選択ゲート SG<sub>2-2</sub>」の「ゲート絶縁膜」の厚さと同等であって、相違点 5 は、「相違点 3 について」において検討したとおりである。」とした審決の判断に誤りはない。

#### 第 4 当裁判所の判断

1 取消事由 1 (相違点 3 の判断の誤り) について

(1) 刊行物 1 (甲 6) には、次の記載がある。

「【実施例】以下、本発明の実施例を図面を参照して説明する。」(段落【0023】)

「図 2 ( a ) ( b ) は、メモリセルアレイの一つの NAND セル部分の平面図と等価回路図であり、図 3 ( a ) ( b ) はそれぞれ図 2 ( a ) の A - A 及び B - B 断面図である。素子分離酸化膜 1 2 で囲まれた p 型シリコン基板 (又は p 型ウェル) 1 1 に、複数の NAND セルからなるメモリセルアレイが形成されている。一つの NAND セルに着目して説明すると、この実施例では、8 個のメモリセル M 1 ~ M 8 が直列接続されて一つの NAND セルを構成している。」(段落【0025】)

「メモリセルはそれぞれ、基板 1 1 にゲート絶縁膜 1 3 を介して浮遊ゲート 1 4 ( 1 4 1 , 1 4 2 , . . . , 1 4 8 ) を形成し、この上に層間絶縁膜 1 5 を介して制御ゲート 1 6 ( 1 6 1 , 1 6 2 , . . . , 1 6 8 ) を形成して、構成されている。これらのメモリセルのソース・ドレインである n 型拡散層 1 9 は、隣接するもの同士共用する形で接続され、これによりメモリセルが直列接続される。」(段落

【 0 0 2 6 】 )

「 N A N Dセルのドレイン側及びソース側には，メモリセルの浮遊ゲート，制御ゲートと同時に形成された選択ゲート 1 4 9 ， 1 6 9 及び 1 4 1 0 ， 1 6 1 0 がそれぞれ設けられている。素子形成された基板は C V D 酸化膜 1 7 により覆われ，この上にビット線 1 8 が配設されている。ビット線 1 8 は N A N Dセルの一端のドレイン側拡散層 1 9 にコンタクトさせている。行方向に並ぶ N A N Dセルの制御ゲート 1 6 は，共通に制御ゲート線 C G ( 1 ) ， C G ( 2 ) ， . . . ， C G ( 8 ) として配設されている。これら制御ゲート線はワード線となる。選択ゲート 1 4 9 ， 1 6 9 及び 1 4 1 0 ， 1 6 1 0 もそれぞれ行方向に連続的に選択ゲート線 S G 1 ， S G 2 として配設されている。」 ( 段落【 0 0 2 7 】 )

「なお，選択ゲート 1 4 9 ， 1 4 1 0 と基板 1 1 との間のゲート絶縁膜 1 3 をメモリセル部のゲート絶縁膜よりも厚く形成して，その信頼性を高めるようにしてもよい。」 ( 段落【 0 0 2 8 】 )

( 2 ) 上記( 1 )の記載によれば，「ソース線側選択ゲート S G 2 」を含む選択ゲート 1 4 9 ， 1 6 9 及び 1 4 1 0 ， 1 6 1 0 は，メモリセルの浮遊ゲート，制御ゲートと同時に形成される ( 段落【 0 0 2 7 】 ) とし，「メモリセルはそれぞれ，基板 1 1 にゲート絶縁膜 1 3 を介して浮遊ゲート 1 4 ( 1 4 1 ， 1 4 2 ， . . . ， 1 4 8 ) を形成し，この上に層間絶縁膜 1 5 を介して制御ゲート 1 6 ( 1 6 1 ， 1 6 2 ， . . . ， 1 6 8 ) を形成して，構成されている。」 ( 段落【 0 0 2 6 】 ) ものであるから，これらと同時に形成される選択ゲート 1 4 9 ， 1 6 9 及び 1 4 1 0 ， 1 6 1 0 も，そのゲート絶縁膜が同時に形成されるということができる。

また，刊行物 ( 甲 6 ) には，「ソース線側選択ゲート S G 2 」のゲート絶縁膜と「メモリセル」のゲート絶縁膜とが同時に形成される場合に，それぞれのゲート絶縁膜の厚さが同じになることについての記載も示唆もないが，半導体ウェハの基本プロセスとして，絶縁膜である酸化膜を薄膜材料として熱酸化により半導体基板の上に均一に形成する技術は，当該技術分野において極めて周知である。このこと

は、例えば、特開平 8 - 7 8 5 5 1 号公報（甲 1 0）の段落【 0 0 1 2】に、メモリセルと選択トランジスタのゲート酸化膜の製造工程として、熱酸化により半導体基板上に均一な薄膜としてのゲート酸化膜を形成することが記載されていることに照らして明らかである。もっとも、この段落の記載は、メモリセルと選択トランジスタのゲート酸化膜厚が異なる場合についての製造工程の説明であって、第 1 のゲート酸化膜が 2 5 n m 程度、第 2 のゲート酸化膜が 1 0 n m と異なる厚さに形成することが記載されているものではあるが、その形成は時系列的に別々の過程であり、個々の形成過程では、それぞれの厚さのゲート酸化膜を均一に、すなわち、同じ厚さに形成しているものである（さらに、付け加えるならば、実施例は、選択トランジスタとメモリセルの両者のゲート電極を同様な構造（すなわち、同様の浮遊ゲートを有する構造）とするものであり（段落【 0 0 2 8】，【 0 0 4 1】）、これにより、メモリセルと選択トランジスタに対するゲート絶縁膜は作り分ける必要がなく（段落【 0 0 2 8】，【 0 0 3 9】）、メモリセルと選択トランジスタのゲート部を同時に形成する（段落【 0 0 3 4】，【 0 0 3 9】）、すなわち、両者のゲート絶縁膜は同一工程になるものであって、このことを参酌すれば、ゲート絶縁膜を同時に形成することが、その膜厚さを同じにするものであることは明らかである。）。

そして、「なお、選択ゲート 1 4 9，1 4 1 0 と基板 1 1 との間のゲート絶縁膜 1 3 をメモリセル部のゲート絶縁膜よりも厚く形成して、その信頼性を高めるようにしてもよい。」（刊行物（甲 6）の段落【 0 0 2 8】）というのであるから、「ソース線側選択ゲート S G 2」のゲート絶縁膜と「メモリセル」のゲート絶縁膜とが同時に形成されるということは、それぞれのゲート酸化膜が、均一に、すなわち、同じ厚さになることを意味していると理解することができる。

(3) 原告は、甲 1 0 ないし 1 2 を援用して、本件発明の優先権主張日における当業者の技術常識によれば、選択トランジスタのゲート酸化膜をメモリセルのゲート絶縁膜の膜厚より厚く形成していたのであり、そのために、選択トランジスタの

ゲート酸化膜とメモリセルのゲート絶縁膜とは別に形成されていたことは明らかであると主張する。

確かに、特開平8 - 78551号公報(甲10)の段落【0010】には、「このような構成によれば、通常メモリセルには書込みあるいは消去を行うためトンネル電流を流すのに十分な薄さの酸化膜(通常10nm程度)を半導体基板と電荷蓄積領域の間に設ける。選択トランジスタのゲート酸化膜は通常のトランジスタ動作を行うのでトンネル現象の起こらない、つまりトンネル電流が流れない程度の厚い酸化膜が必要である。例えば、書込み動作時の選択トランジスタのゲート電圧が10Vとすれば選択トランジスタ(SG)のゲート酸化膜厚は30nm程度必要である。」との記載があり、特開平7 - 230695号公報(甲11)の段落【0008】には、「上記構成では、消去及び書込み時に、高電圧 $V_{pp}$ (20V)と、0Vと $V_{pp}$ の中間電圧 $V_m$ (10V)の2種類の高電圧が選択トランジスタのゲート酸化膜にかかる。そのため、メモリセルアレー内で選択トランジスタにおけるゲート酸化膜とメモリセルのトンネル酸化膜を作り分け」として、選択トランジスタのゲート絶縁膜とメモリセルのトンネル絶縁膜の厚さが相違することが記載され、特開平8 - 64700号公報(甲12)の段落【0061】には、「第1ポリSi直下の酸化膜厚(SGは $\sim 25$ nm、一方CGは $\sim 10$ nm)」として、選択トランジスタ(SG)のゲート酸化膜厚がメモリセル制御ゲート(CG)のゲート酸化膜厚より厚いことが記載されている。

しかし、特開平7 - 230695号公報(甲11)には、「従来では2種類の高電圧を扱うためトランジスタの酸化膜質の低下、占有面積増大を招くという欠点がある。この発明は上記のような事情を考慮してなされたものであり、その目的は、書き込み時の中間電圧を不要にし、セルアレー内でゲート酸化膜を作り分ける必要をなくす・・・」(段落【0009】)、「選択ゲートへの制御電圧として書き込み禁止用の高い電圧(0Vと書き込み電圧 $V_{pp}$ の中間の電圧 $V_m$ )を用いない。従って、メモリセルアレー内で従来中間電圧を扱っていた選択ゲートと、メモリセル

トランジスタのゲート酸化膜を作り分ける必要がない。よってプロセス上信頼性の高いゲート酸化膜を形成することができる。」(段落【0041】)との記載があり、これらの記載によれば、選択ゲートへの制御電圧を適宜変更することにより、メモリセルと選択トランジスタの両者のゲート酸化膜の厚さを同じにできることが示唆されている。そして、原告が主張(原告の平成18年4月10日付け準備書面(第2回)の42頁3ないし5行)するように、選択トランジスタのゲート絶縁膜及びメモリセルのゲート酸化膜の厚さは、動作の際ゲート絶縁膜に印加される電圧により設計されることが常識であるから、選択ゲートへの制御電圧を適宜に設計することにより、メモリセルと選択トランジスタの両者のゲート酸化膜の厚さを同じにできることは、当業者が容易に認識することのできる技術事項である。

そうであれば、本件発明の優先権主張日における当業者の技術常識に照らしても、選択トランジスタのゲート酸化膜とメモリセルのゲート絶縁膜とが別に形成されていたということとはできない。

(4) 以上のとおり、「ソース線側選択ゲートSG<sub>2</sub>」のゲート絶縁膜と「メモリセル」のゲート絶縁膜とが同時に形成されることは、それぞれのゲート酸化膜が、均一に、すなわち、同じ厚さになることを意味していると理解することができるのであるから、刊行物実施例発明の1つの選択トランジスタ「ソース線側選択ゲートSG<sub>2</sub>」のゲート絶縁膜の厚さが「メモリセル」のゲート絶縁膜の厚さと同等であることは、刊行物1に実質的に記載されているということができる。

そして、刊行物1には、「これまでは、NANDセル型EEPROMにおいて、単体NANDセル中のビット線コンタクト側選択ゲート・ソース線側選択ゲートの本数が共に1本ずつの場合を例にとって説明したが、本発明はこれらの実施例に限られるものではない。例えば、単体NANDセル中のビット線コンタクト側選択ゲートやソース線側選択ゲートの片方、若しくは両方の本数が2本以上である場合も有効である。図23～図30にビット線コンタクト側選択ゲートとソース線側選択ゲートの両方が複数ある場合の実施例を示す。図23、図24はソース線に隣接し

た選択ゲート（ブロック当たり1本）のみ同電位とする場合の実施例であり，図25，図26はソース線を挟む隣接ブロック間で，ソース線側選択ゲートk本を全て対応するもの同士同電位とする場合の実施例である。また，図27，図28，図29，図30はそれぞれ図23，図24，図25，図26において本発明を適用する選択ゲートをソース線側のものからビット線コンタクト側のものに変えた実施例である。・・・」（段落【0089】，【0090】）との記載があるところ，これらの記載によれば，選択ゲートの形成に当たり，ビット線コンタクト側及びソース線側の片方又は両方の選択ゲートの本数が2本以上の場合においても，共に1本ずつの場合の「NANDセルのドレイン側及びソース側には，メモリセルの浮遊ゲート，制御ゲートと同時に形成された選択ゲート149，169及び1410，1610がそれぞれ設けられている」（段落【0027】）と同様に，2本以上の選択ゲートがメモリセルの浮遊ゲート，制御ゲートと同時に形成されることは，当業者にとっては自明の技術事項であると認められる。そうすると，2本のソース線側選択トランジスタを備えた刊行物発明においても，(2)で述べたところと同様に，本件発明の「直列選択トランジスタ」に相当する「ソース線側選択ゲートSG2-2」のゲート絶縁膜の厚さが「メモリセル」のゲート絶縁膜の厚さと同等であることは，刊行物1に実質的に記載されているといえることができる。

(5) したがって，「「選択ゲート149，1410と基板11との間のゲート絶縁膜」は，トンネル酸化膜と同程度の「メモリセル部のゲート絶縁膜」と同程度の厚さであって，相違点3は，実質的な相違点ではない。」とした審決の判断に誤りはなく，原告主張の取消事由1は，理由がない。

## 2 取消事由2（相違点5の判断の誤り）について

2本のソース線側選択トランジスタを備えた刊行物発明において，相違点3が一方の「ソース線側選択ゲートSG2-2」を対象としているのに対し，相違点5は他方の「ソース線側選択ゲートSG2-1」を対象としている点が異なるのみで，相違する技術内容及びこれに対する審決の判断は同様である。



そして、相違点3についての審決の判断に誤りはないから、同様に、「ソース線側選択ゲートSG2-1」の「ゲート絶縁膜」の厚さは、「ソース線側選択ゲートSG2-2」の「ゲート絶縁膜」の厚さと同等であって、相違点5は、「相違点3について」において検討したとおりである。」とした審決の判断にも誤りはなく、原告主張の取消事由2も、理由がない。

## 第5 結論

よって、原告の主張する審決取消事由は、いずれも理由がないから、原告の請求は棄却されるべきである。

知的財産高等裁判所第4部

裁判長裁判官

---

塚 原 朋 一

裁判官

---

高 野 輝 久

裁判官

---

佐 藤 達 文