

平成28年3月30日判決言渡 同日原本領収 裁判所書記官

平成27年(ネ)第10098号 特許権侵害差止等請求控訴事件

原審・東京地方裁判所平成22年(ワ)第46241号

口頭弁論終結日 平成28年2月10日

判 決

控 訴 人	メンター・グラフィクス・ コーポレーション
同訴訟代理人弁護士	城 山 康 文
同	岩 瀬 吉 和
同	山 本 健 策
同	後 藤 未 来
同 弁理士	山 本 秀 策
同 補佐人 弁理士	市 川 英 彦
被 控 訴 人	日 本 イ ヴ 株 式 会 社
同訴訟代理人弁護士	塚 原 朋 一
同	岡 田 誠
同	友 村 明 弘
同	高 梨 義 幸
同訴訟復代理人弁護士	関 根 み ず 奈
同 補佐人 弁理士	佐 藤 睦
同	伊 藤 健 太 郎

主 文

- 1 本件控訴を棄却する。
- 2 控訴費用は控訴人の負担とする。
- 3 この判決に対する上告及び上告受理の申立てのための付加期間を30日と定める。

事実及び理由

第1 控訴の趣旨

- 1 原判決を取り消す。
- 2 被控訴人は、原判決別紙物件目録記載の物件を使用し、譲渡し、輸入し、貸渡し、又は譲渡若しくは貸渡しの申出をしてはならない。
- 3 被控訴人は、その占有にかかる原判決別紙物件目録記載の物件を廃棄せよ。
- 4 被控訴人は、控訴人に対し、3億3000万円及びこれに対する平成22年12月28日から支払済みまで年5分の割合による金員を支払え。
- 5 訴訟費用は第1、2審とも被控訴人の負担とする。
- 6 仮執行宣言

第2 事案の概要（略称は原判決に従う。）

1 控訴人は、発明の名称を「エミュレーションシステム用の統合デバッグ機能を備えた再構成可能な集積回路」とする特許第3588324号（本件特許）の特許権者であるところ、本件は、控訴人が、原判決別紙物件目録記載の物件（被告各製品）は、本件発明1、3ないし7（本件各発明）の技術的範囲に属し、被控訴人による被告各製品の輸入及び販売等の行為は、控訴人が有する本件特許権を侵害していると主張して、被控訴人に対し、①特許法100条1項に基づき、被告各製品の使用、譲渡、輸入、貸渡し及び譲渡若しくは貸渡しの申出の差止め、②同条2項に基づき、その占有する被告各製品の廃棄、③民法709条に基づき、損害賠償として3億3000万円及びこれに対する訴状送達の日翌日である平成22年12月28日から支払済みまで民法所定の年5分の割合による遅延損害金の支払を求め

る事案である。

原判決は、①被告各製品は本件発明 1, 3 ないし 7 の文言侵害にも均等侵害にも当たらず、その技術的範囲に属しない、②被告各製品について本件発明 5 及び 6 の間接侵害も成立しない、として控訴人の請求を全部棄却した。

そこで、控訴人が原判決を不服として控訴したものである。

2 前提事実

原判決の「事実及び理由」の第 2 の 2 記載のとおりであるから、これを引用する。

3 争点

当審において新たに主張された争点(4)オ（無効理由 5・乙 6 4〔米国特許第 5 8 5 0 5 3 7 号公報。以下「乙 6 4 公報」という。〕を引用例とする新規性又は進歩性欠如）を付加するほかは、原判決の「事実及び理由」の第 2 の 3 記載のとおりであるから、これを引用する。

第 3 争点に関する当事者の主張

争点に関する当事者の主張は、以下の 1 のとおり訂正し、以下の 2 のとおり当審における当事者の主張を付加するほかは、原判決の「事実及び理由」の第 3 記載のとおりであるから、これを引用する。

1 原判決の訂正

(1) 原判決 3 0 頁 2 3 行目の「構成要件 1 C」とあるのを、「構成要件 1 D」と訂正する。

(2) 原判決 8 9 頁 1 2 行目の「甲 6 6 の 2」とあるのを、「甲 6 3 の 2」と訂正する。

(3) 原判決 1 1 0 頁 6 行目から 7 行目の「別紙 D－Ⅱ」とあるのを、「別紙 D－Ⅲ」と訂正する。

2 当審における当事者の主張

(1) 争点(1)ウ（「部分走査レジスタ」（構成要件 1 D, 5 F, 7 E 及び 7 F）の充足性）について

(イ) 本件明細書等には、「部分走査レジスタ」がAタイプのレジスタに限定される旨の記載はなく、また、「部分走査レジスタ」の出力線の数、入力線の数、それらの多寡等に着目した記載もない。本件明細書等において、唯一、Aタイプのレジスタが「部分走査レジスタ」と呼ばれているのは、【図8b】及びその説明部分であるが、これは、本件各発明の「一実施形態」である旨明記されている（【0028】）。

(ウ) 本件明細書等の記載に照らせば、【図8b】の実施態様としては、Aタイプだけではなく、Bタイプのレジスタの実施態様も含まれる。すなわち、【図8b】に示された例における、論理素子の総数（128個）や、その中から選択される部分集合の大きさ（4分の1）は、例示であり、他の態様もあり得るとされる（【0015】、【0028】参照）。そこで、128個の論理素子のうちの16分の1の部分集合（全部で8個の論理素子）を選択して、当該部分集合（8個の論理素子）の信号状態値を捉えて出力するという実施態様が考えられる。この場合、部分走査レジスタ135に供給される信号状態値は8個であり、これは、8個のフリップフロップからなるセット（Ff0）に供給される。他方、【図8b】の例における、マルチプレクサのセット（M0、M1及びMn）や、他のフリップフロップのセット（Ff1、Ff2及びFfn）は、入力すべき信号状態値を持たず、この例では不要となる。この場合の、部分走査レジスタ135の構成例を示すと、別紙1の図4のようになる。この図4の例において、部分走査レジスタの信号出力線の数（8本）は信号入力線の数（8本）と等しく、これはBタイプのレジスタである。

したがって、本件明細書等の【図8b】の実施態様としては、Aタイプだけではなく、Bタイプのレジスタも含まれる。この点からも、本件各発明の「部分走査レジスタ」からBタイプのレジスタが除外されるとは解されない。

(エ) 本件各発明は、「部分走査レジスタ」及び「再構成可能なネットワーク」を用いて、エミュレーション・クロックの1クロック・サイクル単位で、選択された論理素子の部分集合の信号状態値の記録を（部分走査レジスタが）選択的に捉え

て出力し、かつ、選択的出力の対象となる論理素子の部分集合を、エミュレーション・クロックの1クロック・サイクル単位で、再コンパイルすることなく再構成可能とした点に特徴がある。しかるに、Aタイプのレジスタを用いても、Bタイプのレジスタを用いても、かかる技術的特徴による本件各発明の作用・効果は等しく実現ないし具体化される。当該技術的特徴との関係で、論理素子の部分集合の信号状態値の記録を捉えて出力するように動作させるレジスタの構造が、AタイプかBタイプかによって違いはない。このように、本件各発明の技術内容に照らしても、「部分走査レジスタ」からBタイプのものが除外される理由はない。

(オ) さらに、本件特許の優先権主張日当時、「scan register」(スキャンレジスタ) 又はその訳語の「走査レジスタ」の用語は、信号入力線の数と信号出力線の数が等しいBタイプのレジスタを特に除外することなく用いられており(甲82～84)、本件発明の「部分走査レジスタ」をAタイプに限定する理由はない。

イ 部分走査レジスタを駆動する走査クロックの周波数は、エミュレーション・クロックの周波数よりも高い態様のみ限定されないこと

仮に本件明細書等の【0005】の記載を根拠に技術的範囲を限定するとしても、【0005】には、走査クロックをオペレーティング・クロック(エミュレーション・クロック)に「適切に比例」させる旨記載されているだけで、前者の周波数が後者の周波数よりも高いとは記載されていない。一般にYがXに「比例」という場合、YのXに対する割合が所定の値であること($Y = k \times X$ の関係にあること)を意味するが、Yの値がXの値よりも大きい場合のみを意味するものではなく、YとXとが等しい場合($Y = 1 \times X$ の関係にある場合)も、YはXに「比例」することになる。したがって、【0005】の「オペレーティング・クロックに適切に比例した走査クロック」という記載から、走査クロックの周波数が、オペレーティング・クロックの周波数よりも高いことは導かれない。

また、本件明細書等の【0026】には、「全LE200の追跡データの全走査

を出力するための走査レジスタ108の一実施形態例」に関して、走査クロックの周波数が、作動エミュレーション・クロックに比例して適切に分割されるべきことが記載されている。しかし、そもそもこれは、全走査レジスタ、しかもその「一実施形態例」に関する記載であって、「部分走査レジスタ」の全ての実施形態に妥当すべきものではない。

さらに、意見書（甲58の4、乙18）の記載は、「部分走査レジスタ」についての説明ではあるが、かかる説明から、「部分走査レジスタ」の全ての実施形態において、必ず走査クロックの周波数がエミュレーション・クロックの周波数よりも高くなければならないこと、又は、Bタイプのレジスタにおいては、信号状態値を漏れなく捉えるために、走査クロックの周波数がエミュレーション・クロックの周波数よりも高い必要がないことは、いずれも導かれない。

以上のとおり、本件各発明の「部分走査レジスタ」を駆動する（印加される）走査クロックの周波数はオペレーティング・クロック（エミュレーション・クロック）の周波数よりも高い場合に限定されんとする原判決の判断は誤りである。

ウ エミュレーション・クロックよりも高い周波数を有する走査クロックの印加により使用可能とされることの意義は、Aタイプか、Bタイプかによって異なること

仮に原判決のように、エミュレーション・クロックよりも高い周波数を有する走査クロックの印加によって使用可能とされる点を、本件各発明の「部分走査レジスタ」の必須の要件と解したとしても、エミュレーション・クロックの1クロック・サイクルにおける複数の論理素子の信号状態値の記録をレジスタが漏れなく捉えて出力するために、当該レジスタに印加する走査クロックの周波数をエミュレーション・クロックの周波数よりも高くする必要があるのは、以下のとおり、捉えて出力する信号状態値の数が当該レジスタの出力線の数よりも多いことに起因するのであり、レジスタの構造（AタイプであるかBタイプであるか）によるものではない。

（ア） すなわち、Aタイプのレジスタの例として、別紙1の図8（本件明細書等

の【図8 b】に加筆したもの)において、部分走査レジスタ135は、各々8個のフリップフロップからなる4個のフリップフロップセット(F f 0, F f 1, F f 2, F f n)を含んでいる。部分走査レジスタ135の出力部分に位置するフリップフロップセットF f nに着目すると、F f nを構成するフリップフロップの数(8個)に対応して、F f nを駆動する走査クロックの1クロック・サイクル当たり8個の信号状態値を出力する。そこで、例えば、エミュレーション・クロックの1クロック・サイクルにおける各論理素子(L E 1～L E 4とする。)の信号状態値(A 1～A 4とする。各々は8個の信号状態値からなり、合計で32個の信号状態値である。)を部分走査レジスタ135が漏れなく捉えて出力するためには、走査クロックの周波数をエミュレーション・クロックの周波数よりも4倍以上高く設定する必要がある。これは、部分走査レジスタの出力線の数(F f nを構成するフリップフロップの数である8本)よりも多数の信号状態値(上の例では32個)を捉えて出力させることに起因する。

(イ) 同様に、Bタイプのレジスタの例として、別紙1の図9では、8個の論理素子(401～408)の出力が、マルチプレクサ300を介して、Bタイプのレジスタ100に供給される。そこで、例えば、エミュレーション・クロックの1クロック・サイクルにおける各論理素子(401～408)の信号状態値(A 1～A 8)のうち、2個以上の論理素子(例えば401～404の4個)の信号状態値(A 1～A 4)をレジスタ100が捉えて出力するためには、走査クロックの周波数をエミュレーション・クロックの周波数よりも4倍高く設定する必要がある。これは、上記図8の場合と同様、レジスタ100の出力線の数(上記の例では1本)よりも多数の信号状態値(上の例では4個)を捉えて出力させることに起因する。

(ウ) 被控訴人の主張について

a 被控訴人の主張ア(イ)bについて

被控訴人は、別紙1の図9の態様においては、走査クロックが「再構成可能なネットワーク」であるマルチプレクサに印加されているが、本件明細書等には、かかる

構成の言及はなく、その示唆もない旨主張する。

しかし、別紙1の図9は、一般にBタイプのレジスタに関しても、エミュレーション・クロックに「適切に比例した」走査クロックを印加する必要があることを説明するためのモデルであって、走査クロックをカウンタに印加すること等の具体的構成を含めてそれ自体を侵害態様として主張したものではない。別紙1の図9においては、マルチプレクサ300につながれた「カウンタ」や、当該「カウンタ」に走査クロックを印加することは必須の要素ではなく、この点は、甲78（10～13頁）及び甲79（5～7頁）の説明において、「カウンタ」やこれに印加する走査クロックが特に用いられていないことから裏付けられる。別紙1の図9において重要な点は、エミュレーション・クロックの1クロック・サイクルの複数の信号状態値（A1～A4）がマルチプレクサ300を介して順次レジスタに供給される点である。そして、別紙1の図9の構成のうち、エミュレーション・クロックの1クロック・サイクルにおける複数の信号状態値が、マルチプレクサを介して順次レジスタに供給される点は、被告各製品とも共通する。

したがって、被控訴人の上記主張は理由がない。

b 被控訴人の主張ウについて

被控訴人は、別紙1の図9においては、レジスタの前段にマルチプレクサが設けられ、マルチプレクサの入力の切替えにより、信号状態値が順次レジスタに供給される構成とされているが、かかる態様の「部分走査レジスタ」は、本件明細書等に開示されていないばかりか、「再構成可能なネットワーク」であるマルチプレクサ300に走査クロックが印加されるような本件各発明の態様も、本件明細書等には開示されておらず、さらに、別紙1の図9に示されるような態様が本件明細書等の記載から実施し得ることについての主張立証もない旨主張する。

しかし、本件特許の優先権主張日当時、ランダムアクセススキャン方式（甲79の5頁図A）や乙64（図7C）を始めとして、レジスタの前段に設けたマルチプレクサの入力を切り替えて、複数の信号状態値を順次レジスタに供給する構成は一

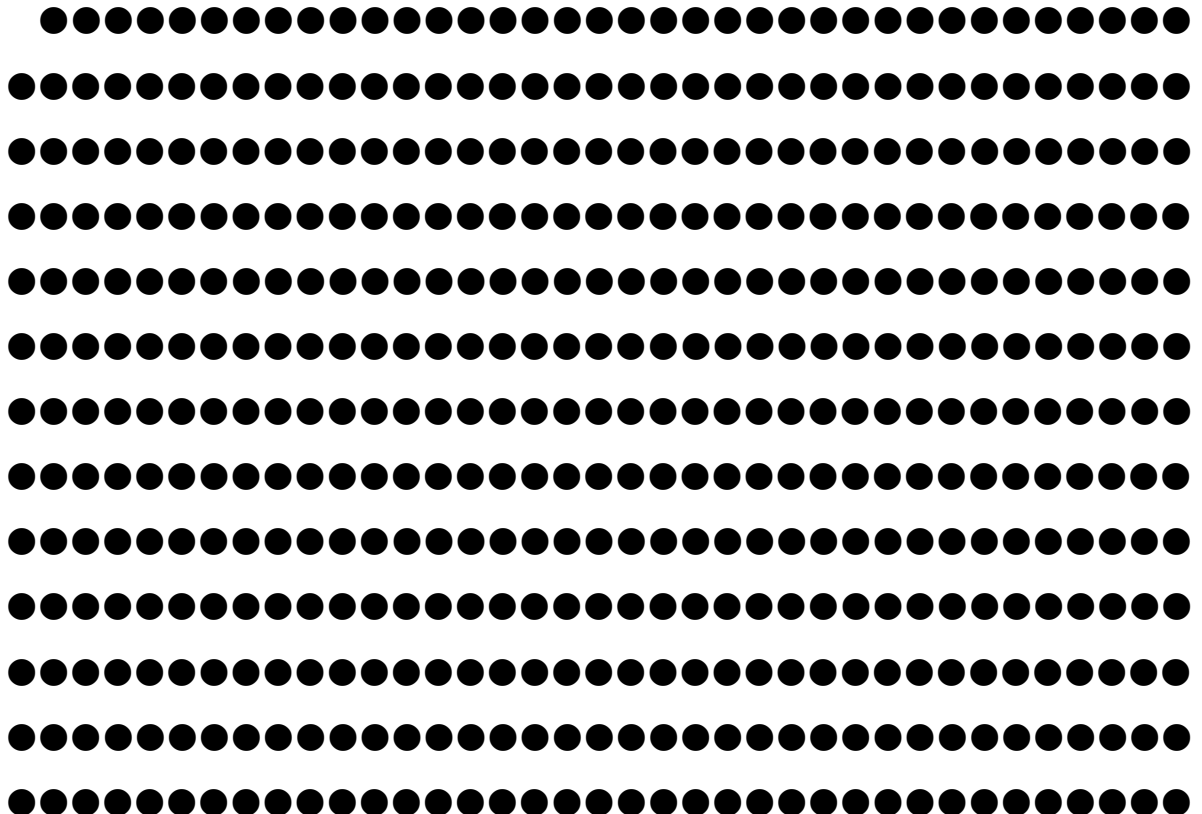
般に知られていた。

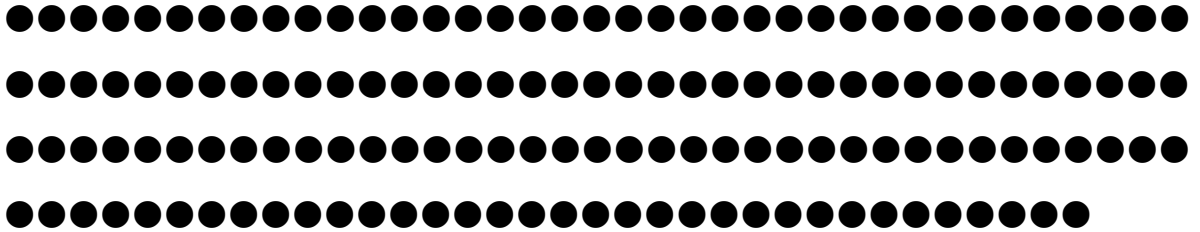
また、本件明細書等の図11には、論理素子（LE）アレイ102からの全ての信号状態値（例えば、論理素子が全部で128個の場合は128個の信号状態値）をマルチプレクサ1106を介して走査レジスタ1108に供給する構成が開示されている。マルチプレクサ1106の出力線の数を入力線の数より少ないから、マルチプレクサ1106に入力された128個の信号状態値は同時に出力されることはできず、マルチプレクサ1106の入力を切り替えることで順次出力されて走査レジスタ1108に供給されることになる。

そうすると、本件明細書等に接した当業者は、「部分走査レジスタ」について、レジスタ120のようなレジスタを採用し、その前段にマルチプレクサを設けて、被告各製品のような態様で実装できることを認識できたものである。

したがって、被控訴人の上記主張は理由がない。

エ フレキシブルプローブにおける「部分走査レジスタ」について





〔被控訴人の主張〕

ア 「部分走査レジスタ」から、信号出力線と信号入力線の本数が等しいレジスタは除外されること

(ア) 控訴人の主張ア(ア)及び(イ)について

控訴人は、本件明細書等には、「部分走査レジスタ」をAタイプのレジスタに限定される旨の記載も、「部分走査レジスタ」の出力線の数、入力線の数、それらの多寡等に着目した記載もなく、構成要件1Dのように作動するレジスタであれば、Aタイプのものには限られず、Bタイプのレジスタであってもよい旨主張する。

しかし、控訴人の上記主張は、構成要件1Dにおいて、単に「レジスタ」と規定するのではなく、あえて「部分走査レジスタ」という限定的な用語を選択したことと矛盾する上、控訴人が第2次補正と同日付けで提出した意見書（甲58の4、乙18）において、「部分走査レジスタ」が構成要件1Dに規定されるような処理を実現する手段又は構成としては、「エミュレーション・クロックを適切に分周した走査クロックを部分走査レジスタに与えること」が必要である旨述べていることと矛盾する。そして、本件明細書等の【0005】には、「部分走査レジスタ」にオペレーティング・クロック（エミュレーション・クロック）に「適切に比例」した走査クロックを適用することが記載され、【0028】にも、「部分走査レジスタ」が複数のフリップフロップとマルチプレクサとが鎖状に連結された構成であることが記載され、【図8b】にも同様の構成が図示されているのであって、本件明細書等には、「部分走査レジスタ」について、信号出力線の数を信号入力線の数よりも減少させる構成が明示されている。

したがって、控訴人の上記主張は理由がない。

(イ) 控訴人の主張ア(ウ)及びウ(イ)について

控訴人は、「部分走査レジスタ」の一態様として、別紙1の図4の構成及び図9のレジスタ100の構成が含まれる旨主張する。

a 別紙1の図4及び図9の態様は、本件明細書等で開示されている「部分走査レジスタ」とは、構成及び動作態様ひいては技術的思想が全く異なること

別紙1の図4及び図9の構成とでは、少なくともマルチプレクサへの「走査クロック」の印加の有無に違いがあるものの、控訴人は、要するに、「部分走査レジスタ」の態様として把握する限りにおいては、「部分走査レジスタ」にはごく汎用的なフリップフロップを配置（又はそれを複数個並列に配置）する構成が含まれる旨主張していることになる。

しかし、本件明細書等に開示されている「部分走査レジスタ」は、【図8b】のとおり、複数のフリップフロップが鎖状に連結され、あるフリップフロップの出力が次のフリップフロップの入力になる構成であって、データが並列に入力され、データの各ビット値が直列に出力される、いわゆる「走査」（スキャン）処理のための構成を備えるもののみであって、信号出力線の数が信号入力線の数よりも少ない。これに対して、別紙1の図4や図9の態様は、複数のフリップフロップを単に配置又は並べただけであって、各フリップフロップの出力及び入力は相互に関連せず、信号出力線の数は信号入力線の数よりも少なくなならない。このように、別紙1の図4及び図9の態様は、本件明細書等で開示されている「部分走査レジスタ」とは、構成及び動作態様ひいては技術的思想が全く異なるのであって、これが「部分走査レジスタ」に含まれ得ることは、本件明細書等には記載も示唆もない。

b 本件明細書等において「再構成可能なネットワーク」に「走査クロック」が印加される構成は一切言及がなく、その示唆すらないこと

また、控訴人の前記主張によれば、「再構成可能なネットワーク」であるマルチプレクサに「走査クロック」が印加される構成（別紙1の図9）も、本件各発明の技術的範囲に含まれることになる。

しかし、本件明細書等においては、「部分走査レジスタ」に「走査クロック」が印加されることの記載はあるが（【0005】等）、「再構成可能なネットワーク」に「走査クロック」が印加される構成は一切言及がなく、その示唆すらない。本件各発明においては、「再構成可能なネットワーク」は、エミュレーション・クロックの1クロック・サイクルを最小単位として、観察対象となる論理素子を選択する機能を有するが、特定のクロック・サイクルにおいて、信号出力線の数に当該クロック・サイクルにおいて選択された論理素子の信号状態値の数よりも小さくすることは、「部分走査レジスタ」がその役割を果たすこととされている。これに対して、別紙1の図9では、「再構成可能なネットワーク」であるマルチプレクサ300に対し「走査クロック」が印加され、本来「部分走査レジスタ」が担っていた役割をも、「再構成可能なネットワーク」において実現しようとするものである。このような構成は、本件明細書等に一切開示されていないばかりか、本件各発明とは別個の技術的解決手段を採用したものというほかない。

c したがって、控訴人の前記主張は、失当である。

(ウ) 控訴人の主張ア(エ)について

控訴人は、本件各発明の技術内容に照らしても、「部分走査レジスタ」からBタイプものが除外される理由はない旨主張する。

Bタイプのレジスタである別紙1の図4及び図9の構成が「部分走査レジスタ」に含まれるとの控訴人の主張を前提とすると、例えば128個の論理素子が選択可能であり、「再構成可能なネットワーク」として4：1マルチプレクサを用いる場合、フリップフロップを32個並べた構成を含むこととなる。また、別の例として768個の論理素子が選択可能であり、4：1マルチプレクサを用いる場合を考えると、192個ものフリップフロップを並べた構成も含むこととなる。しかし、この場合、再コンパイルなしに動的に選択が可能となる論理素子の数を多く確保しようとするれば、並列に配置するフリップフロップの数が増え、それにしたがって出力線の数も増加するから、多数のI/Oピンを占有することとなる。他方、そもそも

I/Oピンは無数ではないから、フリップフロップを並列に配置する手法では、再コンパイルなしに動的に選択が可能となる論理素子の数を多く確保することが困難となる。一方、控訴人の主張を前提に、マルチプレクサの入力数を増やし並列に配置するフリップフロップの数の増加を抑えるという構成も考えられないではないが、マルチプレクサの入力を増やすにつれ、マルチプレクサにおける遅延が増大し、マルチプレクサによる切替速度が遅くなる（動作可能周波数が低くなる）結果、特定の1クロック・サイクルにおいて観察対象とされる論理素子の信号状態値を漏れなく出力するためには、結局は、エミュレーション・クロックの周波数を低くする必要が生じ、エミュレーション及びデバッグの効率が著しく悪化する。また、マルチプレクサの入力が増えれば、マルチプレクサに入力される制御信号のビット数が増加し、信号経路選定の輻輳が増加する。

したがって、上記構成は、本件各発明の課題を解決するどころか、むしろ阻害するものであるから、かかる構成が本件各発明及び「部分走査レジスタ」の一態様に含まれるとする控訴人の主張は、失当である。

(エ) 控訴人の主張ア(オ)について

控訴人は、甲82ないし84を引用して、「走査レジスタ」の用語法に照らすと、「部分走査レジスタ」をAタイプに限定する理由はない旨主張する。

しかし、甲82は、CMOSの回路設計に関する文献であって、エミュレータに関する文献ではないから、その記載内容をエミュレータに適用することはできない上、「部分走査レジスタ」ないし「走査レジスタ」自体の構成ではなく、その配置の仕方を示したものにすぎず、Bタイプのレジスタと同一の構成が開示されていることも読み取れない。

甲83は、論理LSIの診断方式であるスキャンの方法について述べたものであって、エミュレータにおける走査レジスタの構成を示したものではないから、その記載内容をエミュレータに適用することはできない上、甲83のスキャンレジスタ10は、信号出力線の数が信号入力線の数より明らかに少ないから、Bタイプの

レジスタではない。

甲84は、論理LSIの診断方式であるスキャンの方法について述べたものであって、エミュレータにおける走査レジスタの構成を示したものではないから、その記載内容をエミュレータに適用することはできない上、甲84には、書き込みと読出しが並列的に（同時に）行われても良い旨記載されているのみであり、「並列にロードされ並列に出力されてもよい」などとは記載されていない。

したがって、甲82ないし84は、いずれも本件特許の「部分走査レジスタ」に代えてBタイプのレジスタが適用可能なことを基礎付ける根拠とはならない。

イ 部分走査レジスタを駆動する走査クロックの周波数は、エミュレーション・クロックの周波数よりも高い態様のみ限定されること

本件明細書等の【0005】において、走査クロックはオペレーティング・クロック（エミュレーション・クロック）に「適切に比例」したものとされているところ、「適切に比例」とは、本件明細書等の【0005】、【0026】、第2次補正と同日付けで提出された意見書（甲58の4、乙18）の記載に照らすと、「走査クロック」がオペレーティング・クロック（エミュレーション・クロック）に比例して適切に分割された周波数を持つクロックであることが導かれる。

また、本件明細書等の【0005】、【0008】、【0013】、【0026】～【0028】、【図1】、【図8a】、【図8b】、【図11】の記載を踏まえると、「部分走査レジスタ」と「全走査レジスタ」とは、走査クロックが印加され、フリップフロップ及び2：1マルチプレクサが鎖状に連結されるという構成が共通し、両者の基本的な機能・構成が共通することは明らかであって、本件明細書等の上記記載を参酌することに誤りはない。控訴人も、上記意見書において、「部分走査レジスタ」に関する説明として、本件明細書等の【0026】を引用している。

さらに、上記意見書は、引用例との対比を述べる文脈で記載がされているところ、そのような場面で一実施態様においてのみ実現される特徴点を述べる意味はないから、上記意見書の記載は、一実施態様に限定したものではない。

したがって、控訴人の主張イは理由がない。

ウ 部分走査レジスタが、エミュレーション・クロックよりも高い周波数を有する走査クロックの印加により使用可能とされることの意義について

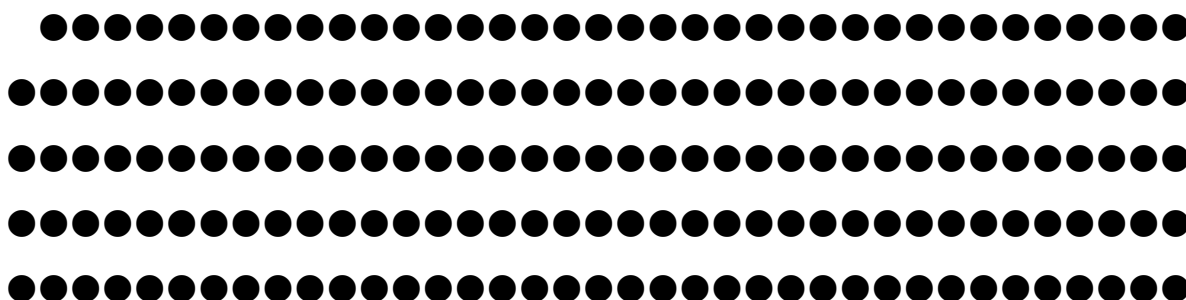
控訴人の主張ウは、本件各発明における「部分走査レジスタ」以外の手段の存在可能性を述べるにすぎず、本件各発明における「部分走査レジスタ」の意義を解釈する上で何らの意味もない。すなわち、本件明細書等の記載から明らかにおり、「部分走査レジスタの出力線の数…よりも多数の信号状態値…を捉えて出力させることに起因」して、「部分走査レジスタ」の信号出力線の数を観察対象となる論理素子から出力される信号状態値の数よりも小さくすることを実現する手段として開示されているのが「部分走査レジスタ」であって、それ以外の手段の理論的な存在可能性を述べたところで、「部分走査レジスタ」の解釈との関係では何らの意味もない。

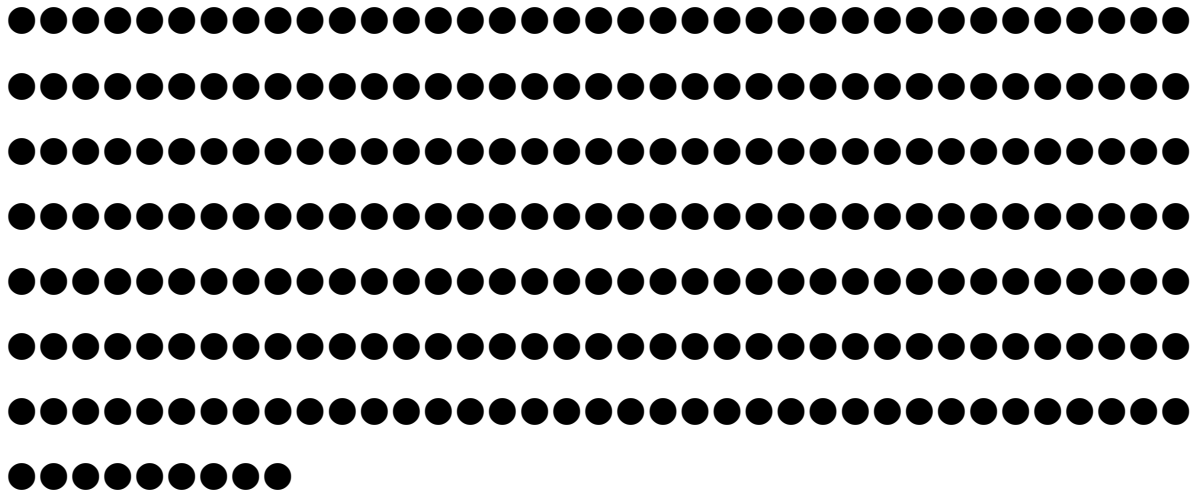
また、前記ア(イ)のとおり、別紙1の図9の態様の「部分走査レジスタ」は本件明細書等に開示されていないばかりか、「再構成可能なネットワーク」であるマルチプレクサ300に走査クロックが印加されるような本件各発明の態様も、本件明細書等には開示されていない。また、控訴人は、別紙1の図9の態様が、本件各発明から当業者が実施し得る構成であることについても、何ら主張・立証していない。

したがって、控訴人の主張ウは失当である。

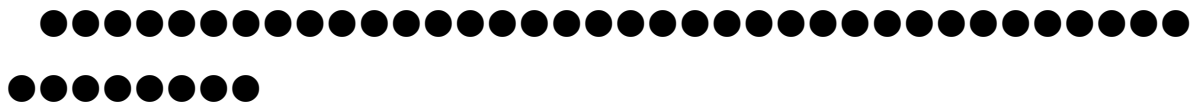
エ フレキシブルプローブの構成要件1D、5F、7E及び7Fの充足性について

(ア) 実施態様Iについて





(イ) 実施態様Ⅱ及びⅢについて



(2) 争点(1)エ（「再構成可能なネットワーク」〔構成要件 1 E, 5 G, 5 H及び7 G〕の充足性）について

[控訴人の主張]

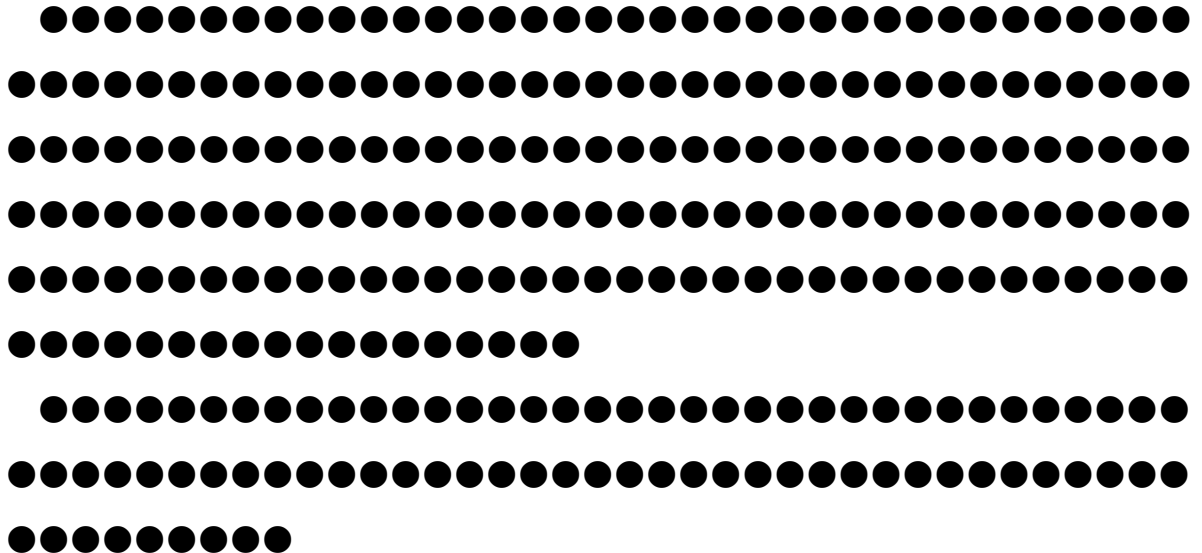
ア ダイナミックプローブについて

原判決は、ダイナミックプローブのコンフィギュレーションメモリは、全ての論理素子の状態が格納されるものであるから、論理素子の全てと接続されていることとなるとして、ダイナミックプローブについて、構成要件 1 E, 5 G, 5 H及び7 Gの充足性を否定した。

しかし、控訴人は、ダイナミックプローブに関し、コンフィギュレーションメモリではなく、FDROが「部分走査レジスタ」に該当すると主張したのである。そして、FDROは、選択された論理素子に係るデータのみを捉えて出力するから、全ての論理素子と接続されているとはいえない。

したがって、コンフィギュレーションメモリが全ての論理素子の状態を格納するからといって、構成要件 1 E等の充足性が否定されることはない。

イ フレキシブルプローブの実施態様 I について



[被控訴人の主張]

争う。

(3) 争点(2) (均等侵害の成否) について

[控訴人の主張]

ア 第1要件 (非本質的部分)

(ア) 本件各発明の特徴的部分

a 本件明細書等の【0003】，【0004】，【0011】の記載によれば，本件各発明は，「部分走査レジスタ」を用いて，デバッグの高速化・効率化を図り，再コンパイルを伴うFPGAの再構成の必要性を減少させ，監視追跡に要する時間を短縮することを目的ないし課題とする。そして，本件明細書等の【0011】，【0029】，【0031】によれば，本件各発明の「部分走査レジスタ」(構成要件1D)は，「再構成可能なネットワーク」(構成要件1E)の動作とあいまって，エミュレーション・クロックの特定のクロック・サイクル(ある1クロック・サイクル)における論理素子の「部分」集合に係る信号状態値の記録を選択的に出力し，かつ，かかる選択的出力の対象となる部分集合を動的に(再コンパイルなしに)再構成する(可視点を動的に変える)ことを可能とするものであり，かかる特

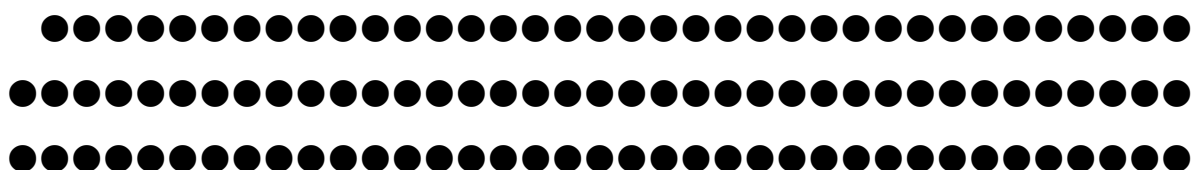
微的構成により、効率的な手段が提供され、デバッグの高速化が容易になるものと理解される。

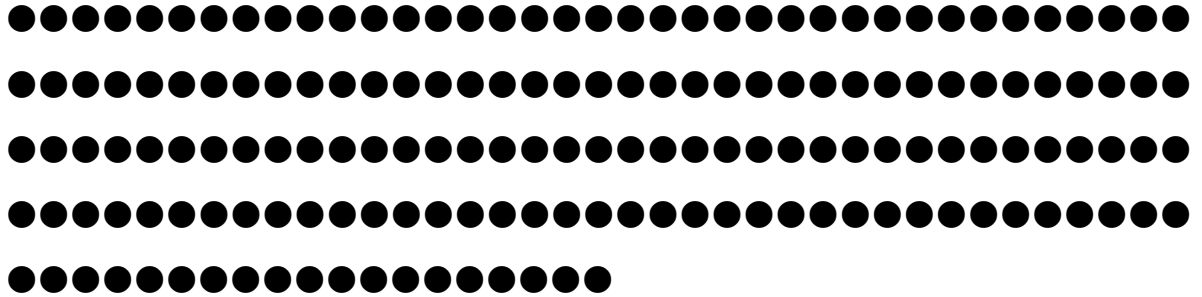
b 乙1の1（米国特許第5777489号。平成10年7月7日公開。以下、乙1の1に記載された発明を「乙1発明」という。）の図8に示された「走査レジスタ108」は、フリップフロップ242とマルチプレクサ244とが鎖状に連結された、Aタイプのレジスタであり、本件明細書等の【図8b】に例示された「部分走査レジスタ」の一実施形態と同じ構造を有する（なお、乙1の1の図8と同様の構造の走査レジスタは、本件明細書等の【図8a】にも示されている。）。

c 前記bのとおり、本件特許の優先権主張日当時、Aタイプのレジスタをして、全論理素子の信号状態値の記録を捉えて出力させることは公知であった。かかる先行技術を踏まえれば、本件各発明において、Aタイプのレジスタを用いること自体は、本件各発明に特有の課題解決手段を基礎付けるものではなく、発明の本質的部分とはいえない。

前記aの本件明細書等の記載及び前記bの先行技術を踏まえれば、「部分走査レジスタ」に関して本件各発明に特徴的なのは、レジスタをして、論理素子の全部ではなく、「部分」集合の信号状態値をエミュレーション・クロックの1クロック・サイクル単位で選択的に捉えて出力させるように構成した点、すなわち、「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、そして走査バスに出力する」（構成要件1D）ように部分走査レジスタを動作させる点である。

(イ) フレキシブルプローブの実施態様IないしIIIが本件各発明の特徴的部分を備えていること



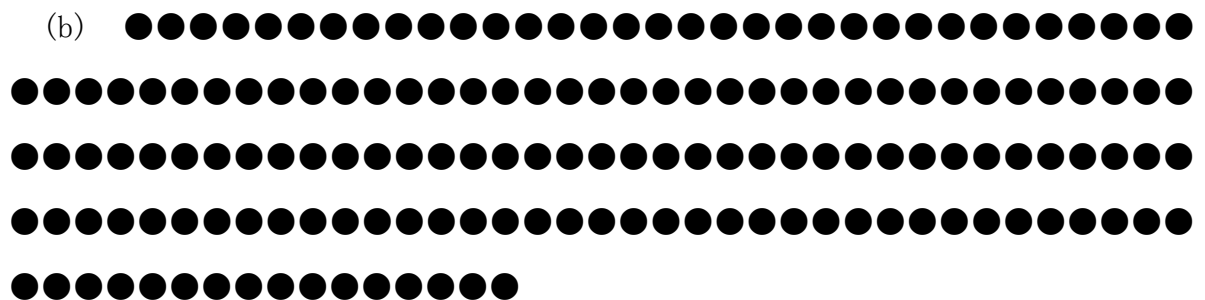


(ウ) 原判決の判断の誤り

a 原判決は、本件明細書等の【0003】、【0004】の記載から、「部分走査レジスタ」に用いるレジスタの出力線の数を減らし、又は回路規模を小さくすることを本件各発明の課題として把握し、Aタイプのレジスタにおいては信号読み出しのための出力線を減らす効果があるのに対し、Bタイプのレジスタにおいては、出力線が多数必要となり、また、Bタイプのレジスタにおいても、例えばマルチプレクサを設けることにより最終的な出力線の数を減らすことは可能であるが、その場合には、Aタイプの走査レジスタに比べて、回路規模が増大したり、マルチプレクサの制御が複雑化したりすることによって、本件各発明の解決課題に反する旨判断した。

(a) しかし、原判決が、解決課題を把握するのに依拠した本件明細書等の【0003】の「例えばロジック・アナライザによって観察可能（追跡可能）なポート／ノードに信号を持込むために、通常、多数のFPGAのI/Oが占有される」との記載は、本件各発明の背景事情にすぎず、本件各発明の解決課題ではない。事実、【0003】の背景事情を受けて、本件各発明で必要とされる技術を説明した【0004】は、FPGAのI/O（入出力）の占有について何ら言及していない。また、【0005】以下の記載においても、Aタイプのレジスタを用いることで、FPGAのI/Oの占有を減らす効果が得られる旨の記載もない。前記アのとおり、本件明細書等の記載に照らせば、本件各発明の目的ないし課題は、デバッグの高速化・効率化を図り、再コンパイルを伴うFPGAの再構成の必要性を減少させ、監視追跡に要する時間を短縮することにある。

を(再コンパイルすることなく)再構成可能とすることにより解決しているのであって、「部分走査レジスタ」として「小規模」なものを用いることは、本件各発明に特有の課題解決手段を基礎付ける部分ではない。本件明細書等にも、レジスタの種類を「簡単確実に制御可能である小規模な」ものとするについての記載はない。



c 原判決は、本件各発明における「部分走査レジスタ」は、全走査レジスタや一般的なレジスタとは文言上区別されるものであり、FPGAにおける多数のI/O占有、監視追跡時間の増大、複雑な制御といった従来技術の課題と関連し、信号出力線の数が入力線の数より少ないという構造に基づき、エミュレーション・クロックの周波数に適切に比例し、あるいは分割され、エミュレーション・クロックよりも高い周波数を有する走査クロックの印加によって使用可能となる点に特徴を有するものであって、本件各発明の課題を解決するために不可欠の部分であり、そうすると、本件各発明における「部分走査レジスタ」において、これが信号出力線の数が信号入力線の数よりも少ないタイプのレジスタである点は、本件各発明特有の課題解決手段を基礎付ける技術的思想の中核をなす特徴的部分である旨判断した。

(a) しかし、全ての論理素子の信号状態値の記録を捉えて出力する「全走査レジスタ」ないし「走査レジスタ」は従来技術であるところ(乙1の1)、エミュレーション・クロックに適切に比例した(又はエミュレーション・クロックよりも高い周波数を有する)走査クロックの印加によって使用可能となる点は、かかる従来公知の「走査レジスタ」でも同様である。したがって、エミュレーション・クロックの周波数よりも高い走査クロックの印加により使用可能となる点は、従来技術であって、本件各発明の「部分走査レジスタ」の特徴的部分ではない。

するレジスタとして、本件明細書等の【図 8 b】に例示されるような、信号出力線の数が信号入力線の数より少ないレジスタを用いることは、乙 1 の 1 により従来公知であったし、「部分走査レジスタ」の信号出力線の数が信号入力線の数より少ない点は、問題点①ないし⑤の解決とは無関係である。

そうすると、上記①ないし⑤は、本件各発明に特有の課題解決手段とは無関係であって、本件各発明に特有の課題は、乙 1 の 1 には記載のない、⑥監視追跡時間の増加という課題であり、本件各発明に特有の課題解決手段は、上記⑥の課題を乙 1 の 1 には開示されていない構成要件 1 D 及び 1 E に係る処理により解決する点にあり、「部分走査レジスタ」において信号出力線の数が信号入力線の数よりも少ないことを本件各発明の本質的部分と解することはできない。

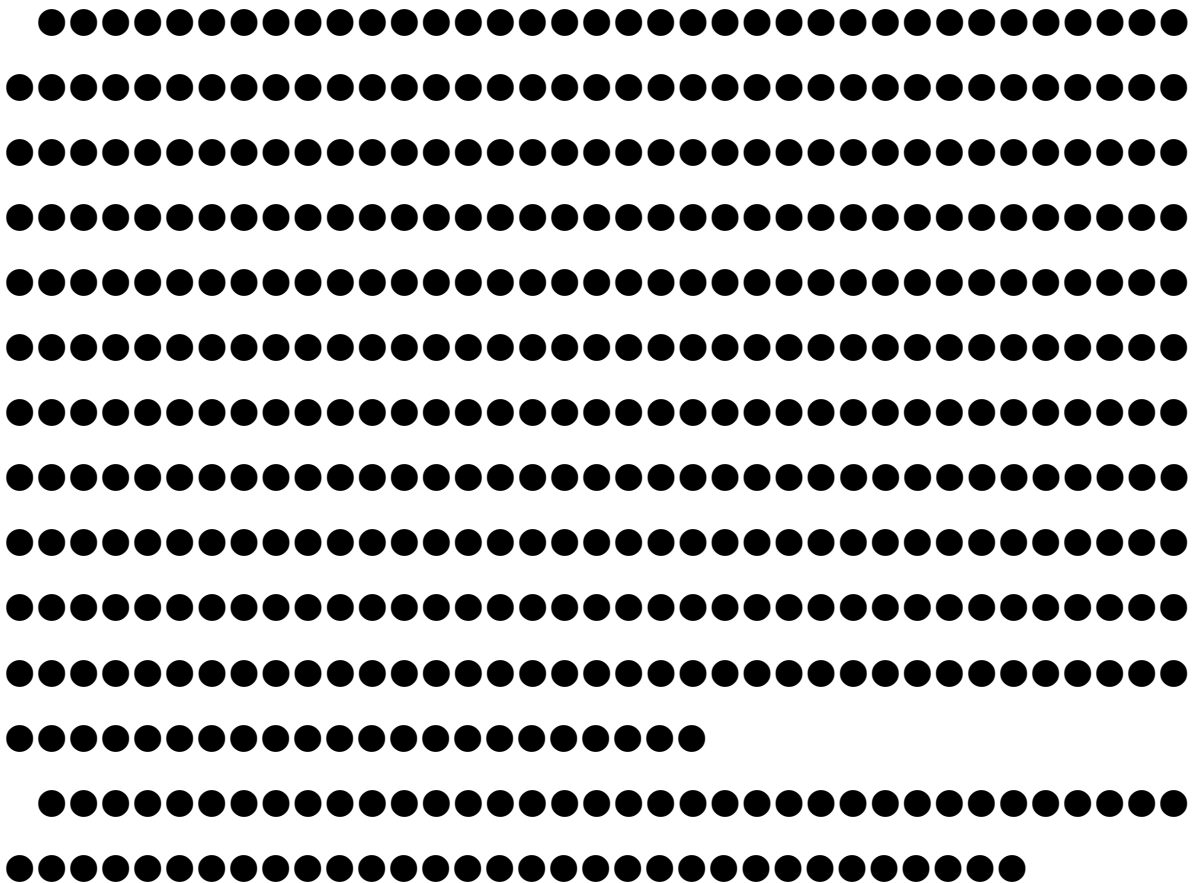
したがって、被控訴人の上記主張は理由がない。

イ 第 2 要件（置換可能性）

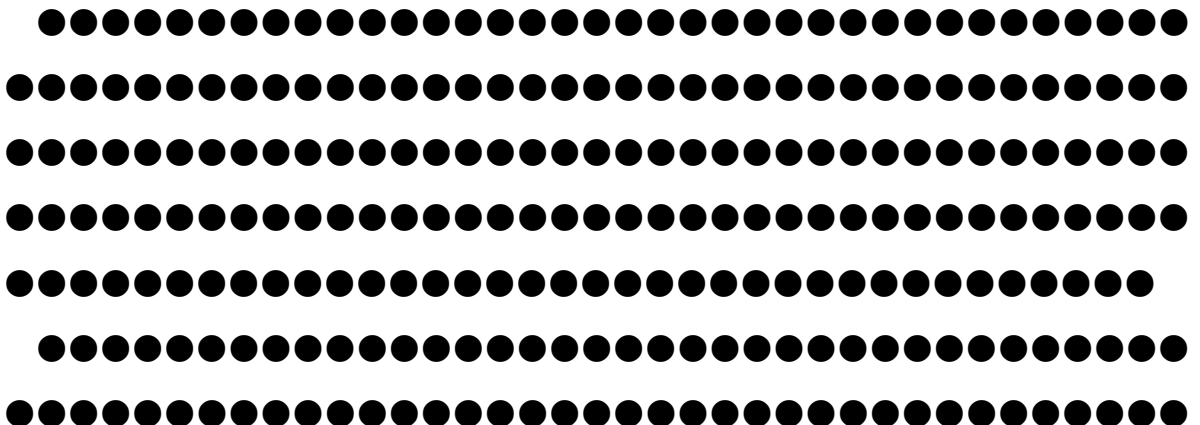
前記ア(エ)のとおり、本件明細書等の【0003】、【0004】（発明の背景）の記載のうち、従来技術である乙 1 の 1 に記載がないのは、監視追跡時間の増加とこれに伴うエミュレーション頻度の低下と、隠されたノードに容易にアクセスすることである。そして、本件明細書等の発明の効果に関する記載（【0008】、【0011】、【0029】、【0031】）には、乙 1 の 1 を含め従来技術にはない新規な特徴として、構成要件 1 D 及び 1 E に関して、デバッグの高速化を容易にし、（再コンパイルなしに）可視点を動的に変えられ、新しいレベルの自由度が得られる旨の説明があることから、デバッグの高速化や、（再コンパイルなしに）可視点を動的に変えられることが、従来技術では解決できなかった課題であり、本件各発明により解決されたものである。

以上から、本件各発明は、デバッグの高速化・効率化を図り、再コンパイルを伴う F P G A の再構成の必要性を減少させ、監視追跡時間を短縮することなどを目的とする。かかる目的に関して、本件各発明の技術的特徴である「部分走査レジスタ」及び「再構成可能なネットワーク」により、エミュレーション・クロックの 1 クロッ

ク・サイクルにおける論理素子の「部分」集合に係る信号状態値を選択的に出力し、かつ、かかる選択的出力の対象となる部分集合を動的に（再コンパイルなしに）再構成する（可視点を動的に変える）ことを可能とし、これによってデバッグの高速化ないし監視追跡時間の短縮化が図られる。



ウ 第3要件（置換容易性）



再構成が必要であるが、それには膨大な時間を要する再コンパイルを必要とすること、③検査システム（例えば、ロジック・アナライザ）によって観察可能（追跡可能）なポート／ノードに信号を持ち込むために、多数のFPGAのI/Oが占有されること、④経路選定すべき付加的信号により、信号経路選定の輻輳が増加されること、⑤隠されたノード上の信号が、正しい時刻に読み取られたか否かを知ることが困難であることを並列的に掲げた上で、⑥「エミュレータが複雑化するにつれ、FPGAのネットワーク及び相互接続した追跡も増加し、上記の問題は一層悪化する。監視追跡に要する時間が複雑化を伴いどこまでも増えるにつれ、エミュレーションが実行できる頻度は、容認できないレベルにまで減少する。」としている。

上記記載に鑑みれば、本件各発明においては、控訴人が主張するように「再コンパイルを伴うFPGAの再構成の必要性を減少させ、監視追跡に要する時間を短縮すること」のみを解決課題としているのではなく、エミュレータが複雑化するにつれ、「FPGAのネットワーク及び相互接続した追跡も増加」し、上記①ないし⑤の問題が「一層悪化」するために、⑥「監視追跡に要する時間が…増え」、「エミュレーションが実行できる頻度は、容認できないレベルまで減少する」ことが課題とされていると考えるのが相当である。

そして、【0004】の記載を、【0003】の記載と照らしてみると、「一旦隠されたノードに容易にアクセスできるとともに、再構成の必要性を減少させながら追跡する」（【0004】）ことについては、上記課題②及び課題③の双方に関連し、また、「許容できるエミュレーション頻度でエミュレーションする」（【0004】）ことについては、直接的には課題⑥に対応しているものの、課題⑥は、課題①ないし⑤が「一層悪化」するために生じる問題であるから、結局、【0004】の記載は、【0003】に記載された課題①ないし⑥の存在を前提としている。

（イ） 本件各発明の課題解決手段と本質的部分

本件各発明は、乙1の1の米国特許出願の継続出願に対する一部継続出願を優先権主張の基礎とする国際特許出願が国内移行され、特許されたものである。

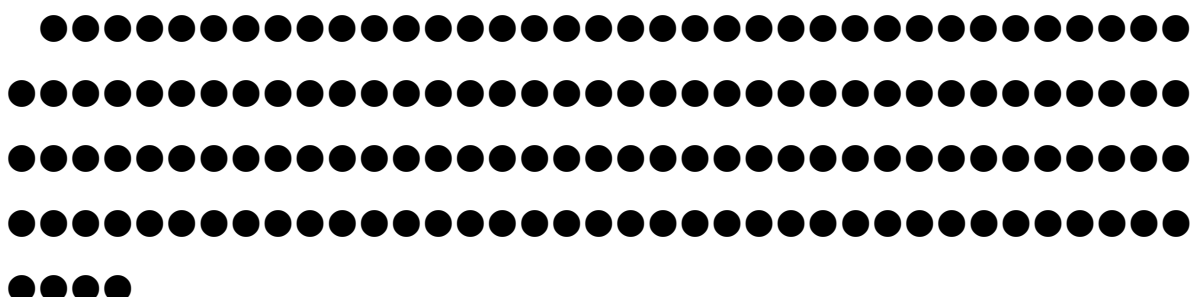
本件各発明の基礎となった乙1発明の技術的特徴は、前記(ア)の各課題を解決するために、「全走査レジスタ」として、エミュレーション・クロックに比例して適切に分割された周波数を持つ走査クロックを適用することにより、その信号出力線を信号入力線よりも少なくする構成を開示し、これにより、前記(ア)の課題②ないし④を解決するものである。

本件各発明は、同じく前記(ア)の各課題を解決するため、乙1発明に係る「全走査レジスタ」の技術的特徴点を備えることを前提に、更なる技術的な特徴として、エミュレーション・クロックの1クロック・サイクルにおいて観察対象となる論理素子を選択的(部分的)とする「再構成可能なネットワーク」とともに、「全走査レジスタ」と同様、エミュレーション・クロックに比例して適切に分割された周波数を持つ走査クロックを適用することにより、その信号出力線を信号入力線よりも少なくする構成を有する「部分走査レジスタ」を不可分的に組み合わせることにより、前記(ア)の課題②ないし④等を解決する発明である。具体的には、本件各発明では、「再構成可能なネットワーク」によって、乙1発明に比べてエミュレーション・クロックの1クロック・サイクルにおいて観察対象となる論理素子を選択的(部分的)とすることにより、特定の1クロック・サイクルにおけるFPGAの出力数を減少させることに加え、「部分走査レジスタ」において、エミュレーション・クロックに比例して適切に分割された周波数を持つ走査クロックを適用し、その信号出力線を信号入力線よりも少なくする構成により、FPGAの出力線を減少させている。また、本件各発明では、「再構成可能なネットワーク」により観察対象として選択可能な論理素子の範囲を拡張するとともに、「部分走査レジスタ」も、限られたI/Oピンの数を前提に、信号出力線よりも信号入力線を多く確保することによって、観察対象として選択可能な論理素子の範囲を拡張する作用を奏している。さらに、単に入力数の多いマルチプレクサのみを用いると、経路選定のための付加的信号が増加し輻輳を招くため、これを防止する観点からも、「再構成可能なネットワーク」のみならず、経路選定のための付加的信号を最小限に抑える構成を有す

る「部分走査レジスタ」を不可分的に組み合わせるといった原理を採用している。

以上から、本件各発明においては、「再構成可能なネットワーク」及び「部分走査レジスタ」を組み合わせることを技術的思想とし、この点を本質的部分と認めるのが相当である。

(ウ) フレキシブルプローブの実施態様ⅠないしⅢについて



したがって、フレキシブルプローブの実施態様ⅠないしⅢと本件各発明とは、本件各発明の本質的部分において相違するから、均等の第1要件を充足しない。

イ 第2要件（置換可能性）

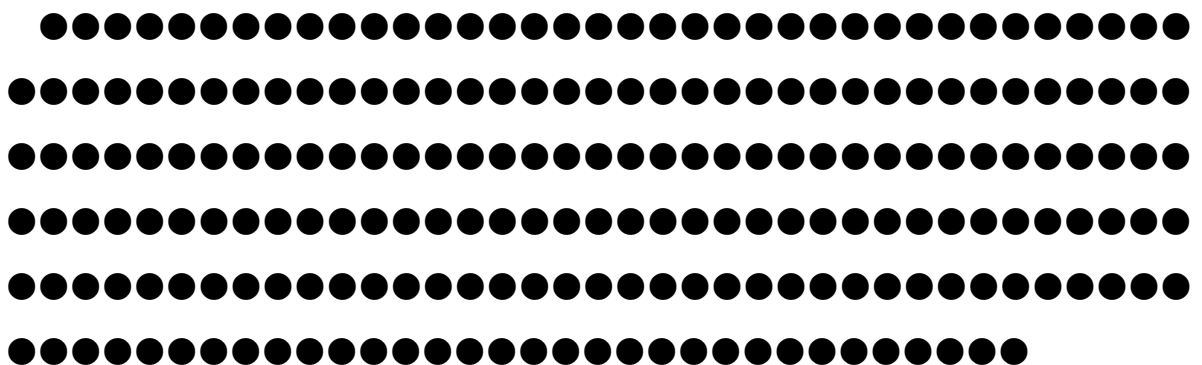
本件各発明の目的ないし作用効果は、前記ア(ア)の課題①ないし⑥の全てを解決することであって、例えば、再コンパイルの必要性を減少させるとともに（課題②に対応する作用効果）、FPGAのI/Oの占有率を減少させ（課題③に対応する作用効果）、しかも経路選定すべき付加的信号の容量を抑制し輻輳を防止することである（課題④に対応する作用効果）。そして、これらの目的ないし作用効果は、「再構成可能なネットワーク」及び「部分走査レジスタ」の不可分的な組合せによって初めて達成される。

まず、FPGAのI/Oの占有率に関する作用効果（課題③に対応する作用効果）について検討すると、本件各発明の「部分走査レジスタ」である並列入力ー直列出力タイプのレジスタを、並列入力ー並列出力タイプのレジスタに置き換えると、信号出力線の数が増加するから、本件各発明と同一の作用効果を奏し得ない。

次に、再コンパイルの必要性に関する作用効果（課題②に対応する作用効果）について検討すると、隠されたノードを観察するために利用可能なFPGAのI/O

数には限界があるところ、「再構成可能なネットワーク」及び「部分走査レジスタ」（並列入力ー直列出力）を組み合わせた場合と、「再構成可能なネットワーク」及び並列入力ー並列出力のレジスタを組み合わせた場合とでは、前者の方が信号出力線よりも信号入力線を多く確保することによって、観察対象として選択可能な論理素子の範囲を拡張することができる。したがって、かかる観点からも、本件各発明の「部分走査レジスタ」である並列入力ー直列出力タイプのレジスタを、並列入力ー並列出力タイプのレジスタに置き換えた場合には、本件各発明の目的ないし作用効果を達成することができない。

さらに、経路選定すべき付加的信号の容量を抑制し輻輳を防止することに関する作用効果（課題④に対応する作用効果）について検討すると、仮に「再構成可能なネットワーク」及び並列入力ー並列出力のレジスタを組み合わせた場合において、増加する信号出力線の数を（並列入力ー直列出力のレジスタの場合と同数まで）減らすためには、「再構成可能なネットワーク」すなわちマルチプレクサの入力数を増やすこととなるが、その場合には、エミュレーション効率を悪化させ、経路選定のための付加的信号が増加して輻輳を招くことから、本件各発明と同一の作用効果を奏しない。



ウ 第3要件（置換容易性）

前記イのとおり、本件各発明の「部分走査レジスタ」（信号出力線の数が信号入力線の数よりも少ないタイプのレジスタ）の構成を、並列入力ー並列出力タイプのレジスタへ置換する可能性は認められないから、置換容易性も認められない。

また、フレキシブルプローブの実施態様ⅠないしⅢが本件各発明の構成要件と異なるのは「部分走査レジスタ」の部分のみではない。また、「部分走査レジスタ」をBタイプのレジスタに置換するのでさえ、「再構成可能なネットワーク」であるマルチプレクサの信号入力線を増やしたり、当該マルチプレクサに走査クロックを印加する必要性が生じたりするのであって、Bタイプのレジスタがフレキシブルプローブの実施態様ⅠないしⅢの製造時に入手可能か否か、周知であるか否かを論じるまでもなく、本件各発明の「部分走査レジスタ」を、並列入力ー並列出力タイプのレジスタに置き換える構成は、均等の第3要件を充足しない。

エ 第4要件（公知技術との同一性又は容易推考性）

控訴人が、本件各発明の「部分走査レジスタ」をBタイプのレジスタに置換した構成であると主張する別紙1の図9に例示した構成は、後記(4)〔被控訴人の主張〕のとおり、本件特許の優先権主張日当時の公知技術に基づいて容易に推考できたものである。したがって、かかる構成がフレキシブルプローブの実施態様ⅠないしⅢに相当する構成であると控訴人が主張するのであれば、かかる控訴人の主張は失当であり、均等の第4要件も充足しない。

オ 第5要件（特段の事情）

控訴人の主張によれば、AタイプのレジスタもBタイプのレジスタも本件特許の優先権主張日当時公知であったというのであるから、本件各発明の構成としてAタイプ及びBタイプのいずれをも採用可能でかつ採用することが容易であったにもかかわらず、あえて本件各発明の構成要件として「部分走査レジスタ」と請求項に記載し、Bタイプのレジスタをも含む、単なる「レジスタ」とは記載しなかった以上、Bタイプのレジスタは意識的に除外したというほかない。

また、控訴人は、早期審査に関する事情説明書（乙6）においても、複数のフリップフロップが鎖状に連結された構成を開示した6件の文献（乙1，7～11）のみを「走査レジスタ」を開示した文献として挙げ、かかる構成が本件各発明の「走査レジスタ」に相当するとしていたのであるから、Bタイプのレジスタを意識的に除

外したというほかない。

したがって、均等の第5要件を充足しない。

カ 小括

以上によれば、均等の第1要件から第5要件の全てにおいて、フレキシブルプローブの実施態様ⅠないしⅢについて均等侵害が成立する余地はない。

(4) 争点(4)オ(無効理由5〔乙64公報を引用例とする新規性又は進歩性欠如〕)について

〔被控訴人の主張〕

仮に控訴人が主張するように、別紙1の図9に例示された構成が本件発明1の技術的範囲に含まれるのであれば、以下のとおり、本件発明1は、乙64発明と同一であるか、乙64発明に基づいて当業者が容易に発明をすることができたものであるから、特許法29条1項又は2項の規定により特許を受けることができないものである。

ア 別紙1の図9に例示された構成と(控訴人が主張する)本件発明1との関係
別紙1の図9には、論理素子401～408と、これらの後段に配置されたマルチプレクサ300と、その後段に配置されたDフリップフロップ(レジスタ100)を含み、マルチプレクサ300とレジスタ100は、論理素子401～408に供給されるクロック(エミュレーション・クロック10)の周波数よりも早い周波数のクロック(走査クロック20)で駆動される構成が開示されている。

控訴人は、「論理素子401～408」が構成要件1Aないし1Cの「複数の論理素子」に該当し、「レジスタ100」が構成要件1Dの「部分走査レジスタ」に該当し、「マルチプレクサ300」が構成要件1Eの「再構成可能なネットワーク」に該当し、結果として、別紙1の図9に例示された構成は、本件発明1の技術的範囲に含まれる旨主張している。

イ 乙64発明

乙64には、エミュレーションシステムにおいて、FPGAチップ12上に論理

分割ブロック 2 2 が構成されること、及び、2 個の F P G A チップ 1 2 を接続する相互接続 1 4 によって、2 個の論理分割ブロック 2 2 を繋ぐ論理信号接続（グローバルリンク）2 4 が構成されることが開示されている（図 1 b，5 欄 1 2 行～1 9 行）。図 2 に示すとおり、従来は、F P G A チップ 1 2 上の論理分割ブロック 2 2 に複数のグローバルリンク 2 4 a ～2 4 f があるとき、各グローバルリンクに対して物理的なワイヤ 1 5 a ～1 5 f がそれぞれ割り当てられていた（図 2，5 欄 2 0 行～2 9 行）。これに対し、乙 6 4 は、1 本のワイヤ 1 5 x を複数のグローバルリンク 2 4 a ～2 4 d で共用するものであり、図 7 A ～図 7 C に示すように、マルチプレクサ 4 0 5 を用いて、複数のグローバルリンク 2 4 a ～2 4 d の中から選択された 1 つをワイヤ 1 5 x に割り当てて、時分割で順次信号を伝播させることが記載されている（7 欄 6 6 行～8 欄 4 2 行）。

特に、図 7 C には、複数のグローバルリンク 2 4 a ～2 4 d が入力されたマルチプレクサ 4 0 5 の後段にフリップフロップ 1 2 0 2 が配置され、フリップフロップ 1 2 0 2 の出力がワイヤ 1 5 x に接続される構成が開示されている（8 欄 2 6 行～4 2 行）。ここで、マルチプレクサ 4 0 5 には選択信号 S e 1 が印加され、フリップフロップ 1 2 0 2 にはパイプラインクロック 5 6 が印加されている。

ウ 本件発明 1（別紙 1 の図 9 に例示された構成）と乙 6 4 の対比

乙 6 4 において、論理分割ブロック 2 2 は、F P G A チップ 1 2 内の論理素子によってエミュレートされた回路素子を含み（図 1 B），各グローバルリンク 2 4 a ～2 4 d は、論理分割ブロック 2 2 の複数の出力、すなわち、F P G A チップ 1 2 内の論理素子によってエミュレートされた回路素子の複数の出力である。したがって、図 7 C には図示されていないが、グローバルリンク 2 4 a ～2 4 d の他端（マルチプレクサ 4 0 5 に接続されていない方の端部）は、それぞれ論理素子に接続されている。よって、図 7 C には、別紙 1 の図 9 に例示された構成の「論理素子 4 0 1 ～4 0 8」に相当する構成が開示されている。

また、図 7 C のフリップフロップ 1 2 0 2 は、マルチプレクサ 4 0 5 で選択され

たグローバルリンク 24 の出力値が入力され、ワイヤ 15 x に出力される。フリップフロップ 1202 は、選択信号 S e 1 とパイプラインクロック 56 を調整することによって、論理素子によってエミュレートされた回路素子の複数の出力のうち選択されたものを、エミュレーション・クロックの 1 クロック・サイクルにおいて捉えて出力するように構成可能である。したがって、図 7 C の「フリップフロップ 1202」と「マルチプレクサ 405」はそれぞれ、別紙 1 の図 9 に例示された構成の「レジスタ 100」と「マルチプレクサ 300」に相当する。

さらに、図 7 C の「FPGA チップ 12」は、エミュレーションシステム 5 に使用される集積回路である。

したがって、乙 64 の図 7 C に開示された構成は、別紙 1 の図 9 に例示された構成と同等であるから、仮に控訴人の主張を前提とすれば、本件発明 1 の要旨は乙 64 に全て開示されていることになる。したがって、本件発明 1 は新規性を欠くか、少なくとも進歩性を欠くものである。

〔控訴人の主張〕

ア 構成要件 1 D 及び 1 E の「部分集合」について

乙 64 は、全ての「グローバルリンク」（論理信号）を、ある FPGA から別の FPGA に伝送する技術を開示するものであって、一方の FPGA（ソース FPGA）から他方の FPGA（デスティネーション FPGA）には、これらの FPGA 間において共有される全ての信号が伝送されなければならない。

さらに、乙 64 は、コンパイルの際に、各グローバルリンクがパイプライン・クロックの特定のサイクルにおいて相互配線 14 を介して伝送されるように予め決められているため、グローバルリンクの伝送に何らかの変更が必要とされる場合には、再コンパイルが必要とされる。したがって、パイプライン・クロックの特定のサイクルにおいて、一方の FPGA から他方の FPGA に対して、複数のグローバルリンクのうちの一部のみを再コンパイルせずに伝送することはできない。

このように、乙 64 は、図 7 C に関して、本件発明 1 の構成要件 1 E に規定され

ている論理素子の部分集合との（再コンパイル不要な）選択的接続を開示するものではないし、構成要件1Dに規定されている選択された論理素子の部分集合の信号状態値を捉えて出力する構成も開示していない。むしろ、乙64は、本件各発明とは反対に、各グローバルリンク（図7Cの24a～24d）が、エミュレーション・クロックの特定のサイクルの間に（図7Cのマルチプレクサ405の入力を切り替えて）全て伝送することを教示するものである。

イ 構成要件1Dの「走査バスに出力する部分走査レジスタ」について

（ア） 乙64は、システムにおける複数のFPGA間の信号を時分割多重することに関するものであり、「デバッグ」ないし「内部状態」の検査に関するものではない。したがって、これらの信号は、「走査」を必要とする「内部」信号ではなく、複数のFPGAを用いて論理設計を構成する間に発生する区画ステップ（図8のステップ120）の結果として、FPGAのピンに出力されるように既に意図された外部信号である。このように、乙64は、「走査」を開示していないから、本件各発明の構成要件1Dに規定された「部分走査レジスタ」を開示するものではない。

また、乙64は、図3、図7A、図7Bに示されているように、グローバルリンク24a、24b、24c、24dは、各々に対応する目的地に向かって、相互に異なるパスを通過してルーティングされるようになっていることから（2欄39行～42行、13欄3行～38行）、上記グローバルリンクに対して設けられた共用される専用の「走査バス」を開示していない。

したがって、乙64は、本件各発明の構成要件1Dに規定された「走査バスに出力する部分走査レジスタ」を開示するものではない。

（イ） 乙64は、図7Cに関して、単一のフリップフロップにしか言及していない。このような単一のフリップフロップは、時間軸上の特定の時点において複数の「信号状態値」を捉えることができない。これに対して、本件各発明は、構成要件1Dに規定されているように、「複数の信号状態値」を捉えるために、複数のメモリ要素を含む「部分走査レジスタ」を具備する。

さらに、「走査バス」における「バス」という用語は、複数の信号を搬送するための複数の伝送路を意味するが、乙64の図7Cのフリップフロップ(1202)の出力線は、単一の線のみからなり、構成要件1Dの「走査バス」を開示するものではない。

ウ 小括

以上によれば、乙64を根拠に本件発明1が新規性又は進歩性を欠くということはいできない。

第4 当裁判所の判断

当裁判所も、被告各製品については、本件発明1, 3ないし7の技術的範囲に属しないものであり、また、本件発明5及び6の間接侵害も成立しないと判断する。

その理由は、以下のとおりである。

1 本件各発明について

(1) 本件明細書等の記載

本件明細書等には、発明の詳細な説明及び図面として、おおむね、以下の記載がある(下記記載中に引用する図1, 2, 8a, 8b, 11については、別紙2を参照。)

ア 発明の背景

(ア) 発明の分野

【0002】本発明は、全体的にはエミュレーションシステムの分野に関し、特に、エミュレーションシステムにおいて使用される統合デバッグ機能を備えた再構成可能な集積回路に関する。

(イ) 背景情報

【0003】回路設計をエミュレートするエミュレーションシステムは、当分野では周知である。通常、従来のエミュレーションシステムは、汎用の統合デバッグ機能のないフィールド・プログラマブル・ゲートアレイ(FPGA)を用いて形成されている。エミュレートされる回路設計は、回路設計の「公式的」記述を

コンパイルするとともに、回路設計をFPGAの論理素子（LE）（組合せ論理ブロック（CLB）としても知られる）上にマッピングすることによって、エミュレーションシステム上に「実現」される。これら汎用フィールド・プログラマブルゲートアレイは、そのエミュレーションシステムへの適用に関する限り、多くの不利な点を抱えている。第一に、FPGAの内部にマップ化されている個々のノードにおける信号の状態が、直接的に観察できないということであり、これは、「隠された」ノードと呼ばれる。この「隠された」ノードにおける信号の状態を観察可能にするためには、信号をFPGAの外に出し、ロジック・アナライザに入れるFPGAの再構成が必要である。それには、膨大な時間を費やす再コンパイルを必要とする。加えて、検査システム、例えばロジック・アナライザによって観察可能（追跡可能）なポート／ノードに信号を持込むために、通常、多数のFPGAのI/Oが占有される。更に、経路選定すべき付加的信号により、信号経路選定の輻輳が増加される。最後に、時間に鋭敏なアプリケーションに関しては、読取りをトリガするイベントが検出される前に、信号をFPGAの外へ取出さなければならないので、あるイベントの発生に応答して信号が読取られるものとする、「隠された」ノード上の信号が、正しい時刻に読取られたか否かを知ることが困難である。エミュレータが複雑化するにつれ、FPGAのネットワーク及び相互接続した追跡も増加し、上記の問題は一層悪化する。監視追跡に要する時間が複雑化を伴いどこまでも増えるにつれ、エミュレーションが実行できる頻度は、容認できないレベルにまで減少する。

【0004】従って、必要とされるものは、一旦隠されたノードに容易にアクセスできるとともに、再構成の必要を減少させながら追跡することによって、許容できるエミュレーション頻度でエミュレーションすることを容易にする統合デバッグ機能を備えた再構成集積回路である。…

イ 発明の要旨

【0005】本発明の教示に基づき、エミュレーションシステムに使用される統

合デバッグ機能を備えた再構成集積回路（IC）が説明される。特に、本発明の第1実施形態によれば、集積回路は、複数の出力及び部分走査レジスタを各々有する複数の論理素子（LE）を含むものとして説明される。複数のLEは、LEに対応して与えられる複数の入力信号に応答し複数の出力信号を生成するように作動する。部分走査レジスタは、LEの選択された1つに再構成可能に結合され、使用可能とされた場合には、オペレーティング・クロックの特定クロック・サイクルにおいて、選択されたLEによりエミュレートされた信号状態値回路素子の記録を捉えて走査バスに出力するよう作動し、そこにおいて、部分走査レジスタは、オペレーティング・クロックに適切に比例した走査クロックの印加により使用可能とされる。…

ウ 発明の詳細な説明

【0007】図1を参照すると、本発明の教示を組み込んだ再構成集積回路100の例に関するブロック図が示されている。以下の説明から明らかになるように、再構成回路100は、本発明の教示を除き、本技術分野において周知である多数の再構成回路のいずれをも意味するように意図されている。例えば一実施形態では、再構成回路100は、本発明の教示を組み込んで強化された再構成回路である。本発明の一実施形態によれば、再構成回路100は、単一の集積回路に配置され、機能強化されたLE102のアレイを含む。機能強化されたLE102は、種々の回路設計素子を「実現」するために使用され、革新的なデバッグ特性を含む。

【0008】加えて、更に有利なことに再構成回路100は、機能強化されたLE102に結合された、オンチップのコンテキスト・バス106、走査レジスタ108、及びトリガ回路素子110を含んでいる。以下に更に詳細に開示するように、コンテキスト・バス106は、LEに値を入力し、更に、そこから値を出力するために用いられ、これに対し、走査レジスタ108及びトリガ回路素子110は、各々、追跡データ履歴、及びトリガ入力を、再構成回路100に対し出

力するのに用いられる。本発明の教示に従い、以下により完全に説明するように、再構成回路100は、動的再構成ネットワーク137及び部分走査レジスタ135を含むことが示されているが、これらは再構成回路100の選択論理素子102の部分的追跡履歴を選択的に出力するのに用いられる。すなわち、回路中に静的に規定された「見える」ノードからの走査出力のみのために備えられた（又は、「隠された」ノードを見るために再コンパイルとI/Oリソースの割振りが必要とされる）従来技術のエミュレータ回路とは異なり、再構成回路100は、動的再構成ネットワーク137及び機能強化された論理素子アレイ102内のどの追跡ノードにも、再コンパイルを必要とせずに動的可視性を与える部分走査レジスタ135を含んでいる。

【0009】本発明の一実施形態では、再構成回路100は、メモリーを備えた回路設計をエミュレートするために再構成回路100の使用を容易とするメモリー112を含んでいる。…一実施形態では、再構成回路100のピン113は、入力又は出力に用いることができる。…また、図示された一実施形態例によれば、再構成回路100は、図示されるように、LE、メモリー112、及びI/Oピン113を相互接続するためのLE相互クロスバー（つまり、x-バー）ネットワーク104を含んでいる。一実施形態では、再構成回路100は、再構成回路100を、他の再構成集積回路や「ホストシステム」（図示せず）のようなものと相互接続するための、第1ステージ・クロスバー・ネットワーク114a—114bに「2つのコピー」を含んでいる。

【0011】更に動的再構成ネットワーク137のコンテキストで、動的再構成可能と言う用語は、回路素子のエミュレーションは、動的再構成ネットワーク137を動的再構成するために休止したり（しなかつたり）する必要があるかもしれないが、エミュレーションは、その最初から再スタートさせる必要が無いという意味を意図している。更に具体的には、動的再構成ネットワーク137の再構成には、再コンパイルが不必要であるが、相互接続ネットワーク104は、再コ

ンパイルを必要とし、これは先に述べたように時間のかかるプロセスである。従って、動的再構成ネットワーク 137 が、LE 102 領域における、他の方法では隠されているノードが、エミュレータ及び／又はエミュレートされる回路の高速デバッグを容易にするために（部分走査レジスタ 135 を介して）アクセスすることにより、効率的な手段を提供することは、当業者であれば予測できるであろう。

【0013】示されるように、図 11 は、再構成回路 1100 のブロック図を示す。当業者は、再構成回路 1100 が、再構成回路 100 のブロック図に非常に似ていることが認識できよう。すなわち、再構成回路 1100 は、LE 102 のアレイ、メモリー 112、動的再構成ネットワーク 137、及びトリガ回路素子 110 を備え、図示されたように、各々が通信可能なように結合されている。しかし、再構成回路 1100 が、全ての追跡／ノード活動、又は単に選択したそのサブセットのみを徹底的に監視するために、マルチプレクサ 1106 と関連した 1 つの走査レジスタ 1108 しか必要としない点で再構成回路 100 と識別可能である。すなわち、分離した部分走査レジスタ 135 と（徹底的）走査レジスタ 108 とを採用する代わりに、再構成回路 1100 は、徹底的走査モードで全追跡／ノードの出力を、又は部分走査モードで、追跡／ノードの選択されたサブセットの出力を、走査レジスタ 1108 に選択的に供給するマルチプレクサ 1106 を使用する。換言すれば、走査レジスタ 1108 は、図 1 の走査レジスタ 108 として全体を使用することも、図 1 の部分走査レジスタ 135 として部分的に使用することもできる。

【0015】ここで、図 2 に目を向けると、図 1 の再構成回路に用いるのに適した機能強化された LE のアレイの例のブロック図が、本発明の実施形態により示されている。図に示すように、LE アレイ 102 は、本発明の機能強化された複数の LE 200 を含む。例えば、一実施形態では、LE アレイ 102 は、128 の LE 200 を含む。当業者であれば、以下により詳細に説明する関連読み出し

／書き込み及び制御回路の増減に応じて、より大きな又はより小さいLE200のレイを使用できることが理解できよう。…図2に示すように各LE200は、多入力単出力真理表202，一對のマスタースレーブ・ラッチ204－206，出力マルチプレクサ208，入力マルチプレクサ210（判決注：「212」は誤記），及び制御ロジック212（判決注：「214」は誤記）を含み，図のように各々が互いに結合されている。

【0018】また，各LE200も，多数のエミュレーション・クロック又はデバッグ・クロック（LD）を，選択的にマスタースレーブ・ラッチ204－206に提供するクロック選択マルチプレクサ216a－216cを含んでいる。好もしくは，このエミュレーション・クロックは，他の論理素子200を使用した構造化エミュレーション・クロックを含むものである。図示した実施形態では，この「構造化」エミュレーション・クロックは，真理表202のI0を通じて利用可能になる。エミュレーション・クロックの1つは，正常作動時にマスタースレーブ・ラッチ204－206に提供され，一方，デバッグ・クロック（LD）は，デバッグ時に供給される。クロック選択は，CTX信号によって制御される。最後に，LE200は，選択出力をLE相互クロスバー・ネットワーク104及びオンチップ・デバッグ機能体に出力するバッファ214a，及び選択出力を再構成回路100の外で直接観察するために，コンテキスト・バス106に出力するバッファ214bを含んでいる。

【0021】簡単に図4a－4bを参照するが，ここではLEを相互接続するためのLE相互クロスバー・ネットワーク104，メモリー及び入出力（I/O）ピンの一実施形態を示す。特に，図4a及び4bは，128のLE200を相互接続するLE相互クロスバー・ネットワーク104の一実施形態を図示する。当業者は本発明の精神と範囲を逸脱することなく，より大きいあるいはより小さいLE相互クロスバー・ネットワークを採用し得ることが理解できよう。図示された実施形態図に関して，4aに示すように，LE相互クロスバー・ネットワーク

104は、4つのサブネットワーク220を含む。最初の2つのサブネットワークであるサブネット0とサブネット1とは、72の信号経路として使用され、一方、残る2つのサブネットワークであるサブネット2とサブネット3とは、64の信号経路として使用される。…

【0022】各サブネットワーク220は、第一ステージにおける、9又は8の8-8クロスバー220、第二ステージにおける、9-20又は8-20のクロスバー224又は226、第三ステージにおける、20の8-8クロスバー228のいずれかを含む3ステージのクラス（C l a u s）ネットワークである。各ステージは、周知の「バタフライ」方式で相互に結合される。

【0023】更に詳細にLE相互クロスバー・ネットワーク104を説明するために、前に挙げた参照文献として援用した米国特許第5,574,388号を参照する。

また、簡単に図5を参照するが、ここでは再構成集積回路を、他の再構成集積回路及び「ホスト」コンピュータ（図示せず）に相互接続するための再構成回路相互クロスバー・ネットワーク114a-114bの一実施形態を示す。図に示すように、図の実施形態では、再構成回路相互クロスバー・ネットワーク・ステージ0 114a-114bは、再構成集積回路の64のI/O信号を、再構成集積回路を他の再構成集積回路及び「ホスト」コンピュータに相互接続するクラス・ネットワークの次のステージに結合するための4組の16-16クロスバー230を含む。…

【0026】図8aは、全LE200の追跡データの全走査を出力するための走査レジスタ108の一実施形態を示す。図8で示される一実施形態例によれば、走査レジスタ108には、8つのフリップフロップの16セットと、8つのマルチプレクサ244（すなわち、128のLE200が設けられている）の15セットがあり、マルチプレクサ244は、フリップフロップ242のセットの間に配置されている。フリップフロップ242第0セットは、8つのLE200の第1

群に結合している。マルチプレクサ244第0セットは、フリップフロップ242第0セットと論理素子200との第2群に結合している。フリップフロップ242第1セットは、マルチプレクサ第0セットと結合しており、以下同様である。フリップフロップ242第0セットは、LE200の出力を順次受けては伝播する。マルチプレクサ244（判決注：「242」は誤記）第0セットも、フリップフロップ242第0セットの出力又は8つのLE200の第2群の出力を連続的に提供する。フリップフロップ242第1セットは、マルチプレクサ244第0セットからの入力を、順次シーケンシャル的に伝搬する。フリップフロップ242のセットは、走査クロックに制御されるが、マルチプレクサ244のセットは、走査制御信号によって制御される。従って、（作動エミュレーション・クロックに比例して）適切に分割された周波数を持つ走査クロックを適用し、マルチプレクサ244のセットに適切な走査制御信号を選択的に適用することにより、クロック・サイクルにおける128全てのLE200のスナップショットを再構成可能回路100から順次、走査して得ることができる。

【0027】図8bに目を向け、本発明の教示に基づき、部分走査レジスタ135及び動的再構成ネットワーク137の統合デバッグ機能体を更に詳細に説明する。図8bに示すように、動的再構成ネットワーク137は、複数のLE200と結合した複数の4：1マルチプレクサ502を含む。図示した一実施形態例によれば、動的再構成ネットワーク137は、128のLE200出力に結合した32の4：1マルチプレクサを含む。従って、動的再構成ネットワーク137によって、ユーザーは、最大32までのLE200状態値の選択サブセットを部分走査レジスタ135に再構成可能に経路指定することができる。

【0028】本発明の一実施形態によれば、部分走査レジスタ135は、8つのフリップフロップ562の4セットと、フリップフロップ562のセットの間に8つのマルチプレクサ564の3セットを含む。図1の一実施形態例に示すように、部分走査レジスタ135は、動的再構成ネットワーク137からの入力を受

けて走査バス139に出す。特に、全走査レジスタ108とは異なり、部分走査レジスタ135は、選択したLE200のサブセット（例えば4分の1）の状態値を走査バス139に出力する。全走査レジスタ108と部分走査レジスタ135とが出力として走査バス139を分かち合う範囲で、走査コントロール142及び走査クロック140が、どちらの走査レジスタを活動状態にするかを選択的に制御する。特に、図示した一実施形態例によれば、LEアレイ102内のユーザー選択のLE200を部分走査できるようにするためには、ユーザーは、走査コントロール142及び走査クロック140で部分走査レジスタ135を活動状態にするが、LEアレイ102内のLE200全てを全走査できるようにするには、走査コントロール142及び走査クロック140信号で全走査レジスタ108を活動状態にする。しかし、当業者であれば、どちらの活動された走査レジスタを採用するかを決定する代替的な方法を認識できるであろう。例えば、本発明の代替的一実施形態において、走査レジスタ108と部分走査レジスタ135のどちらかは、単に走査クロック140の各々を希望のレジスタ、すなわち全走査レジスタ108又は部分走査レジスタ135に適用することで選択される。かくして本発明はその精神と範囲とを逸脱することなく、このような変形例を推測できる。

【0029】このように、当業者は動的再構成ネットワーク137及び部分走査レジスタ135が再構成回路100に新しいレベルの自由度を与え、ユーザーが負荷の多い再構成及び従来技術に固有の回路設計マッピングソフトの再コンパイルを必要とせずに、所与のクロック・サイクルに選択したLEのサブセットを動的に再構成して観察することを可能にするのである。更に全てのLEの状態値における完全なセットを観察する必要があるときには、再構成回路100は革新的な全走査レジスタを与えられるのである。本発明によれば、統合デバッグ機能を備えた再構成集積回路が得られるので、エミュレーションシステムのユーザーは、あるクロック・サイクルには、LEアレイ102のLEのサブセットを観察する

ことを選択することもでき、他のクロック・サイクルには、LEアレイ102を構成する全てのLEの状態値をも全走査して観察することも選択できる。

【0030】図9を参照すれば、トリガ入力を出力するためのトリガ回路素子110の一実施形態例のブロック図が示されている。示されるように図の実施形態では、トリガ回路素子110は、各コンパレータ・レジスタ回路260から各々1つ、4つのトリガ出力を生成する4つのコンパレータ・レジスタ回路260を含んでいる。各コンパレータ・レジスタ回路260は、信号パターンを記憶するパターン・レジスタ262と、LEからの出力とパターン・レジスタ262の記憶されている内容とを比較する相等性コンパレータ264とを含んでいる。一実施形態では、信号パターンは、LEあたり2ビットから成り、ハイ、ロー、及びコード化不要の値を採ることができる。記憶パターンが検出されると、常に、再構成回路100外のトリガへの入力生成される。換言すれば、図示した一実施形態では、4つのLE内部状態事象が同時にモニターできる。

【0031】図10は、本発明の一実施形態による、本発明の教示を組み込んだエミュレーションシステム1000の例のブロック図である。図11のエミュレーションシステムの図示した例によれば、エミュレータ1060と結合して通信できるホストシステム1020を含むエミュレーションシステム1000が示される。図示されるように、エミュレータ1060は、エミュレーションアレイ・相互接続ネットワーク1080、構成回路1220、及びホストインターフェイス1240を含んでおり、図のように通信できるように結合している。本発明の教示に従えば、エミュレーションアレイ・相互接続ネットワーク1080は、本発明の動的再構成集積回路1200a（判決注：「1220a」は誤記）—1200nを含んでおり、回路設計を組み立てる前に特定の回路設計をエミュレートして「実現する」ようプログラムできるように構成された複数のLEを含んでいる。更に詳細に説明すれば、革新的な動的再構成集積回路1200a（判決注：「1220a」は誤記）—1200nによって、選択LEの状態値のサブセット、

前述の時間のかかる再コンパイル法，もしくは従来技術に典型的な従来技術の走査レジスタからの全走査出力を選択的に出力する経路選定ネットワークを，エミュレーションシステムのユーザーが，部分走査レジスタ経由で制御することが可能になる。従って，エミュレーションシステム1000（判決注：「100」は誤記）のように，本発明の革新的な特徴を組み込んだエミュレーションシステムを使えば，設計マッピングプログラムのように，複雑な回路設計ではしばしば何日もかかる方法で回路を変えたり，再コンパイルする方法を使ったりせず，このエミュレーションシステムのユーザーは，エミュレータ内の可視点を動的に変えることが可能になる。

(2) 乙1発明について

ア 乙1の1の記載

乙1の1（米国特許5777489号）は，本件出願と同様に，控訴人により出願され，本件特許の優先権主張日（平成11年9月24日）前の平成10年7月7日に公開された刊行物である。本件各発明は，乙1の1の継続出願である米国特許出願（08/985372号）に対する一部継続出願である米国特許出願（09/404925号。乙24）を優先権主張の基礎とする国際特許出願（PCT/US00/03138号。乙25）が国内移行され，特許されたものである。そして，乙1の1には，おおむね，以下の内容の記載がある（下記記載中に引用する図1，2，8については，別紙3を参照。）。

(ア) 本発明は，フィールド・プログラマブル・ゲート・アレイ（FPGA）及びエミュレーションシステムの分野に関する（1欄8，9行）

(イ) 背景事情

回路設計をエミュレートするエミュレーションシステムは，当分野では周知である。通常，従来のエミュレーションシステムは，汎用の統合デバッグ機能のないFPGAを用いて形成されている。エミュレートされる回路設計は，回路設計の「公式的」記述をコンパイルするとともに，回路設計をFPGAの論理素子（LEs）

上にマッピングすることによって、エミュレーションシステム上に「実現」される。

これら汎用FPGAは、そのエミュレーションシステムへの適用に関する限り、多くの不利な点を抱えている。第一に、FPGAの内部にマップ化されている個々のノードにおける信号の状態が、直接的に観察できないということであり、これは、「隠された」ノードと呼ばれる。第二に、この「隠された」ノードにおける信号の状態を観察可能にするためには、再構成、そして、信号をFPGAの外に出し、ロジック・アナライザに入れるために、膨大な時間を費やす再コンパイルを必要とする。第三に、ロジック・アナライザにこれらの信号を持ち込むために、多数のFPGAのI/Oが占有される。更に、経路選定すべき付加的信号により、信号経路選定の輻輳が増加される。最後に、時間に鋭敏なアプリケーションに関しては、読み取りをトリガするイベントが検出される前に、信号をFPGAの外へ取り出さなければならないので、あるイベントの発生に応答して信号が読み取られるものとする、「隠された」ノード上の信号が、正しい時刻に読み取られたか否かを知ることが困難である。

したがって、必要とされるものは、エミュレーションシステムへの使用に、より適合する統合デバッグ機能を備えた改良FPGAである。以下に更に詳細に説明するように、本発明は、前記及び他の望ましい結果を達成する統合デバッグ機能を備えた改良FPGAを提供し、このことは以下の説明により当業者に明白となろう（1欄10～44行）。

(ウ) 図1を参照すると、本発明における改良されたFPGA100の主要な機能ブロックが図示されている。同図に示されているように、FPGA100は、単一の集積回路（又はチップ）上に配置され、本発明の教示を具体化した拡張された論理素子のアレイ102を備える。従来のもと同様に、拡張された論理素子は回路設計の様々な素子を「実現」するために使用されるが、以下に詳細に示すように、従来のものとは異なり、拡張された論理素子は新しい革新的なデバッグ機能を備える（2欄38～47行）。

(エ) 論理素子200はまた、選択された出力を論理回路相互クロスバー・ネットワーク104及びオンチップ・デバッグ機構に出力するバッファ214aと、選択された出力をFPGA100の外で直接観察するためにコンテキスト・バス106に出力するバッファ214bとを含んでいる(4欄11~15行。判決注:図2参照。)

(オ) それぞれのノードの状態は、従来のFPGAにおいて通常行われる回路設計マッピングの再構成及び時間のかかる再コンパイルすることなく、FPGAの外部から直接観測できる(4欄25~29行)。

(カ) 図8は、追跡データを出力するための走査レジスタ108の一実施形態を示す。同図に示される実施形態例によれば、走査レジスタ108には、8つのフリップフロップの16セットと、8つのマルチプレクサ244の15セットがあり、マルチプレクサ244は、フリップフロップ242のセットの間に配置されている。フリップフロップ242第0セットは、8つの論理素子200の第1群に結合している。マルチプレクサ244第0セットは、フリップフロップ242第0セットと論理素子200との第2群に結合している。フリップフロップ242第1セットは、マルチプレクサ第0セットと結合しており、以下同様である。フリップフロップ242第0セットは、8つの論理素子200の第1群の出力を順次受けては伝播する。マルチプレクサ242第0セットも、フリップフロップ242第0セットの出力又は8つの論理回路の第2群の出力を連続的に提供する。フリップフロップ242第1セットは、マルチプレクサ244第0セットからの入力を、順次シーケンシャル的に伝搬する。フリップフロップ242のセットは、走査クロックに制御されるが、マルチプレクサ244のセットは、走査制御信号によって制御される。したがって、(作動エミュレーション・クロックに比例して)適切に分割された周波数を持つ走査クロックを印加し、マルチプレクサ244のセットに適切な走査制御信号を選択的に印加することにより、ある特定のクロック・サイクルにおける128の論理素子のスナップショットを、FPGA100から順次、走査して得ることができる(5

欄6 2行～6欄1 5行)。

(キ) このように、特にエミュレーション・システムに好適な統合デバッグ機能を備えた改良FPGAが記載されている(6欄30～32行)。

イ 乙1発明の概要

前記アによれば、乙1発明は、概要、以下のようなものであると認められる。

乙1発明は、エミュレーション・システムにおいて使用される統合デバッグ機能を備えた改良FPGAに関するものである。従来の集積回路では、①集積回路中の節々の点である各ノードの信号の状態が直接的に観察できず「隠された」ノードとなっており、その観察のためにはFPGAの再構成や再コンパイルが必要なこと、②信号の取り出しのために多数の入出力ポート(I/O)が占有されること、③経路選定すべき付加的信号による信号経路選定の輻輳が増加すること、④イベントの発生に応答した信号読み取りであることから、正しい時刻に読み取られたか否かを知ることが困難であった。そこで、改良されたFPGAを提供すべく、選択された出力を走査レジスタ(乙1発明における「走査レジスタ」は、本件各発明における「全走査レジスタ」に相当する。以下同じ。)に出力するためにLE内にバッファを備え、当該バッファ(論理素子の数だけ存在する)を介して走査レジスタの入力線に接続することで、「隠された」ノードを全て、FPGAの再構成や再コンパイルを必要とせず、直接に観察可能にするものである。

(3) 本件各発明の特徴

本件各発明の特許請求の範囲及び前記(1)によれば、本件各発明は、概要、以下のようなものであると認められる。

ア エミュレーションシステムにおいては、開発、設計した集積回路の動作を実証するため、当該回路と等価な回路を再構成可能な集積回路上に模擬的に再現(エミュレート)し、外部から試験的な信号を入力して回路を動作させ、出力信号の状態を調べること等を通じて回路に不具合がないかの検証をすることが行われるが、本件各発明は、エミュレーションシステムにおいて使用される統合デバッグ

機能を備えた再構成可能な集積回路に関する（【0002】，【0003】）。

従来の集積回路では、①集積回路中の節々の点である各ノードの信号の状態が直接的に観察できず「隠された」ノードとなっており、その観察のためにはFPGAの再構成や再コンパイルが必要なこと、②信号の取り出しのために多数の入出力ポート（I/O）が占有されること、③経路選定すべき付加的信号による信号経路選定の輻輳が増加すること、④イベントの発生に応答した信号読み取りであることから、正しい時刻に読み取られたか否かを知ることが困難であること等の事情から、本来の動作が適切に行われず、⑤エミュレータの複雑化に伴い監視追跡時間も増大し、それにつれてエミュレーションの実行頻度が減少するといった問題があり、そのため、⑥一旦隠されたノードに容易にアクセスでき、再構成の必要を減少させることによって、許容できるエミュレーション頻度でエミュレーションすることを容易にする統合デバッグ機能を備えた再構成可能な集積回路が必要とされていた（【0003】，【0004】）。

イ そこで、本件各発明は、集積回路設計の回路素子をエミュレートするための複数の論理素子を備えるとともに、再構成可能なネットワーク及び部分走査レジスタを設け、全走査レジスタが全ての論理素子の信号状態値を捉えることができるのに対して（【0026】）、再構成可能なネットワークにより複数の論理素子の全部のうちの一部を部分集合として選択した上で、エミュレーション・クロックの1クロック・サイクルにおいて、当該部分集合を部分走査レジスタに再構成可能に接続するようにし、選択された論理素子の部分集合から出力されるエミュレーション・クロックの1クロック・サイクルにおける信号状態値を捉えることができるように構成したものである（【0005】，【0029】）。

ウ ところで、前記(2)アによれば、乙1の1の背景事情の記載（1欄11～35行）は、本件明細書等の【0003】に記載された背景情報のうち、前記アの①ないし④とほぼ同一の内容であることから、先行技術である乙1発明は、LEアレイ及び走査レジスタの構成を採用することによって、本件明細書等の【000

3】に記載された背景情報のうち前記アの①ないし④の課題を解決するものであり、また、前記アの⑤の課題は、「隠された」ノードが観察可能となっていないことに起因して発生している不具合であるから、同課題も解決するものといえることができる。

エ これに対して、本件各発明は、前記イのうち、乙1発明に見られるLEアレイ及び走査レジスタの構成を除いた、その余の特有の構成である再構成可能なネットワーク及び部分走査レジスタの構成を採用することにより、「当業者は動的再構成ネットワーク137及び部分走査レジスタ135が再構成回路100に新しいレベルの自由度を与え、ユーザーが負荷の多い再構成及び従来技術に固有の回路設計マッピングソフトの再コンパイルを必要とせず、所与のクロック・サイクルに選択したLEのサブセットを動的に再構成して観察することを可能にする」（【0029】）、「動的再構成ネットワーク137が、LE102領域における、他の方法では隠されているノードが、エミュレータ及び／又はエミュレートされる回路の高速デバッグを容易にするために（部分走査レジスタ135を介して）アクセスすることにより、効率的な手段を提供する」（【0011】）と記載されているように、⑦再コンパイルを必要とせず、所与のクロック・サイクルにおいて、選択した論理素子の部分集合（サブセット）を動的に再構成して観察することを可能にし、さらに⑧デバッグの高速化・効率化を図るものといえることができる。

オ そうすると、本件各発明は、前記アの①ないし⑤を背景として、⑥の課題のみならず、上記エの⑦及び⑧をも解決する発明といえることができる。したがって、本件各発明は、前記アの①ないし⑤を背景として、一旦隠されたノードに容易にアクセスでき、再構成の必要を減少させることによって、許容できるエミュレーション頻度でエミュレーションすることを容易にすること（前記アの⑥）、再コンパイルを必要とせず、所与のクロック・サイクルにおいて、選択した論理素子の部分集合（サブセット）を動的に再構成して観察することを可能にすること（前

記エの⑦) , 及びデバッグの高速化・効率化を図ること (前記エの⑧) を課題ないし目的として, これらを解決する手段として, 再構成可能なネットワーク及び部分走査レジスタの構成を採用したものと認められる。

2 争点(1)ウ (「部分走査レジスタ」 (構成要件 1 D, 5 F, 7 E 及び 7 F) の充足性) について

事案に鑑み, 「部分走査レジスタ」 (構成要件 1 D, 5 F, 7 E 及び 7 F) の充足性 (争点(1)ウ) , 「再構成可能なネットワーク」 (構成要件 1 E, 5 G, 5 H 及び 7 G) の充足性 (争点(1)エ) について, まず, 検討する。

(1) 「部分走査レジスタ」の意義

ア 部分走査レジスタは, 「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの 1 クロック・サイクルにおいて捉え, そして走査バスに出力する」ものであり (構成要件 1 D) , 「選択された論理素子の部分集合のみに再構成可能に接続する」もので, 再構成可能なネットワークに結合したものであるが (構成要件 1 E) , 本件明細書等にその定義は記載されていない。もっとも, 本件明細書等の【0013】 , 【0028】に, 走査レジスタは, 図1の走査レジスタとして全体を使用することも, 図1の部分走査レジスタとして部分的に使用することもできることや, 全走査レジスタとは異なり, 部分走査レジスタは, 選択したLEのサブセット (例えば4分の1) の状態値を走査バスに出力すること, さらには, 走査レジスタと部分走査レジスタのどちらかは, 単に走査クロックの各々を希望のレジスタ, すなわち全走査レジスタ又は部分走査レジスタに適用することで選択されることが記載されていることに照らすと, 部分走査レジスタは, 全走査レジスタに対する概念として規定されていることが分かる。

イ 本件明細書等において, 全走査レジスタ及び部分走査レジスタは, 両者ともに, 実施例で, 【図8a】及び【図8b】に示されるようなフリップフロップ (及びマルチプレクサ) が鎖状に連結されるという構成を採用し, 共通の走査クロック

及び走査制御信号を用いている点でも共通した構成であること、「特に、全走査レジスタ108とは異なり、部分走査レジスタ135は、選択したLE200のサブセット（例えば4分の1）の状態値を走査バス139に出力する。全走査レジスタ108と部分走査レジスタ135とが出力として走査バス139を分かち合う範囲で、走査コントロール142及び走査クロック140が、どちらの走査レジスタを活動状態にするかを選択的に制御する。」（【0028】）との記載や、【0013】及び【図11】において全走査レジスタと部分走査レジスタとが共通の構成によって実現されることが示唆されていることに照らせば、全走査レジスタと部分走査レジスタは、ともに、FPGAの再構成や再コンパイルを必要とすることなく、論理素子を直接に観察可能にする構成として共通性を有することが認められる。

そして、前記1(2)のとおり、本件出願と同様に控訴人出願に係る先行技術である乙1発明のLEアレイ及び走査レジスタによって、「隠された」ノードが全て、FPGAの再構成や再コンパイルを必要とすることなく、直接に観察可能となる。

そうすると、本件各発明は、全走査レジスタと部分走査レジスタとが、ともに、FPGAの再構成や再コンパイルを必要とすることなく、論理素子を直接に観察可能にするとの前記1(3)アの①の課題を解決する構成であることを前提に、部分走査レジスタについては、特に、選択した論理素子の部分集合を動的に再構成して、上記論理素子を観察することを可能にするものである。その際に、全走査レジスタは、全ての論理素子を観察対象とすることから、全ての論理素子と切替えを介することなく直接接続されるのに対し、部分走査レジスタは、選択により観察対象とする部分集合が切り替えられることから、全ての論理素子との接続において切替えのための構成を介在させる必要があり、当該切替えのための構成として「再構成可能なネットワーク」を必要とし、論理素子の部分集合と部分走査レジスタとの接続に係る期間として「エミュレーション・クロックの1クロック・サイクルにおいて…接続する」（構成要件1E）ことが定められ、この点が、全走査レジスタと部分走査レジスタとの相違であると認められる。

ウ しかして、全走査レジスタと部分走査レジスタとの相違から、部分走査レジスタの構成を採用するに当たって必要とされる「再構成可能なネットワーク」とは、エミュレーション・クロックの1クロック・サイクルにおいて、部分走査レジスタに接続する論理素子の部分集合を、全ての論理素子から選択して切り替えるための構成であり、これに対して、選択された論理素子の部分集合から出力されるエミュレーション・クロックの1クロック・サイクルにおける信号状態値を走査して捉え、そして出力するために、走査クロック又は走査制御信号を用いて処理することは、「部分走査レジスタ」が果たす役割として構成されている。

このことは、本件明細書等の「部分走査レジスタは、LEの選択された1つに再構成可能に結合され、使用可能とされた場合には、オペレーティング・クロックの特定クロック・サイクルにおいて、選択されたLEによりエミュレートされた信号状態値回路素子の記録を捉えて走査バスに出力するよう作動し、そこにおいて、部分走査レジスタは、オペレーティング・クロックに適切に比例した走査クロックの印加により使用可能とされる。」（【0005】）、「特に、図示した一実施形態例によれば、LEアレイ102内のユーザー選択のLE200を部分走査できるようにするためには、ユーザーは、走査コントロール142及び走査クロック140で部分走査レジスタ135を活動状態にするが、LEアレイ102内のLE200全てを全走査できるようにするには、走査コントロール142及び走査クロック140信号で全走査レジスタ108を活動状態にする。」（【0028】）、「動的再構成ネットワーク137及び部分走査レジスタ135が…再コンパイルを必要とせずに、所与のクロック・サイクルに選択したLEのサブセットを動的に再構成して観察することを可能にするのである。…本発明によれば、統合デバッグ機能を備えた再構成集積回路が得られるので、エミュレーションシステムのユーザーは、あるクロック・サイクルには、LEアレイ102のLEのサブセットを観察することを選択することもでき、他のクロック・サイクルには、LEアレイ102を構成する全てのLEの状態値をも全走査して観察することも選択できる。」（【0029】）

との記載から認められるところである。

このように、本件明細書等においては、「部分走査レジスタ」に走査クロック又は走査制御信号が印加されるものとされており、これに対して、「再構成可能なネットワーク」に走査クロック又は走査制御信号が印加される構成については、何らの記載も示唆もなく、また、「再構成可能なネットワーク」に対して走査クロック又は走査制御信号を印加することが、本件特許の優先権主張日当時の技術常識であったことを認めるに足りる証拠もない。また、控訴人が第2次補正と同日付けで提出した意見書（甲58の4、乙18）においても、本件各発明は、集積回路において、部分走査レジスタと再構成可能なネットワークを含むことが特徴の一つであると指摘した上で、「部分走査レジスタ」に走査クロックを印加することにより、エミュレーション・クロックのそのクロック・サイクルにおいて、再構成可能なネットワークにより選択された論理素子の部分集合の信号状態値を走査バスに出力するものであるとして、部分走査レジスタに走査クロックを印加することについては言及しているものの、「再構成可能なネットワーク」に走査クロックを印加することについては何らの記載も示唆もない。

そうすると、本件各発明においては、「再構成可能なネットワーク」は、エミュレーション・クロックの1クロック・サイクル単位で、観察対象となる論理素子を選択して部分走査レジスタに出力する機能（エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタを選択された論理素子の部分集合のみに再構成可能に接続する機能）を有し、「部分走査レジスタ」は、選択された論理素子の部分集合から出力されるエミュレーション・クロックの1クロック・サイクルにおける信号状態値を走査して捉え、そして出力するために、走査クロック及び走査制御信号を用いて処理するものとして構成されているものと認められる。

そして、「部分走査レジスタ」は、構成要件1Dの構成要素とされているだけでなく、構成要件1Eにおいて「再構成可能なネットワーク」に結合したものであるとされているところ、選択した論理素子の部分集合からの信号状態値を出力するた

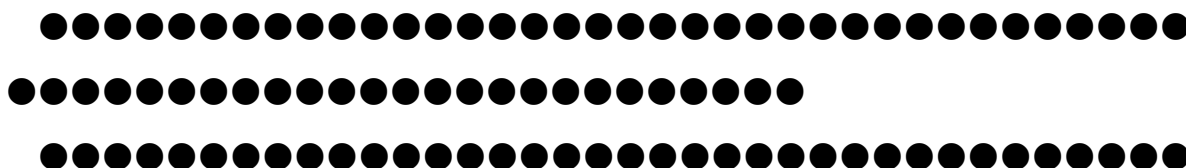
めの「再構成可能なネットワーク」の信号出力線に結合するためには、部分走査レジスタの信号入力線の数は、少なくとも、「再構成可能なネットワーク」の信号出力線の数以上のものを備える必要があり、それによって、「再構成可能なネットワーク」の信号出力線と部分走査レジスタの信号入力線との結合が可能となり、かつ、「再構成可能なネットワーク」から出力される、選択した論理素子の部分集合からの信号状態値を、全て漏れなく部分走査レジスタによって捉えることが可能になるものと認められる。

これに対して、信号入力線の数が、観察対象となる選択された論理素子、すなわち捉えるべき選択された論理素子の部分集合の信号状態値の数より少ないように構成されたレジスタは、「再構成可能なネットワーク」の信号出力線と結合することができず、選択した論理素子の部分集合からの信号状態値を全て漏れなく捉えることができないから、信号入力線の数が、捉えるべき選択された論理素子の部分集合の信号状態値の数以上になるように構成されたレジスタの場合における、「再構成可能なネットワーク」の信号出力線と部分走査レジスタの信号入力線との結合が可能となり、かつ、「再構成可能なネットワーク」から出力される、選択した論理素子の部分集合からの信号状態値を、全て漏れなく部分走査レジスタによって捉えることが可能になるとの上記効果を奏することができない。

エ したがって、本件各発明の 1 D、5 F、7 E 及び 7 F の「部分走査レジスタ」は、信号入力線の数が、観察対象となる選択された論理素子、すなわち捉えるべき選択された論理素子の部分集合の信号状態値の数以上になるように構成されたレジスタ、に限定されるものというべきである。

(2) フレキシブルプローブの実施態様 I ないし III の充足性について

ア フレキシブルプローブの実施態様 I について



しかし、上記の別紙1の図9の態様においては、レジスタ100の信号入力線(D)は1つであるのに対し、捉えるべき選択された論理素子の部分集合の信号状態値の数は4（論理素子401～404の出力値）であって、信号入力線の数が、捉えるべき選択された論理素子の部分集合の信号状態値の数以上になるように構成されたレジスタではないから、構成要件1D、5F、7E及び7Fの「部分走査レジスタ」に当たらない。

なお、別紙1の図9の態様においては、控訴人が「再構成可能なネットワーク」に相当する旨主張するマルチプレクサ300に、走査クロックが印加されているところ、前記(1)ウのとおり、本件明細書等には「再構成可能なネットワーク」に走査クロックが印加される構成については、何らの記載も示唆もなく、また、「再構成可能なネットワーク」に対して走査クロックを印加することが、本件特許の優先権主張日当時の技術常識であったことを認めるに足りる証拠もないのであるから、マルチプレクサ300は、構成要件1Eの「再構成可能なネットワーク」に当たらないというべきである。

イ 控訴人は、別紙1の図9については、走査クロックをカウンタに印加すること等の具体的構成を含めてそれ自体を侵害態様として主張したのではなく、マルチプレクサ300につながれた「カウンタ」や、当該「カウンタ」に走査クロックを印加することは必須の要素ではなく、この点は、甲78及び甲79の説明において、「カウンタ」やこれに印加する走査クロックが特に用いられていないことから裏付けられるところであって、別紙1の図9において重要な点は、エミュレーション・クロックの1クロック・サイクルの複数の信号状態値（A1～A4）がマルチプレクサ300を介して順次レジスタに供給される点である旨主張する。

しかし、別紙1の図9において、エミュレーション・クロックのある1クロック・サイクルにおける複数の論理素子（例えば401～404）の信号状態値（例えばA1～A4）の入力を受けたマルチプレクサ300が、これをエミュレーション・クロックの1クロック・サイクルの期間内にレジスタ100に出力し、レジスタ1

00がこれを全て漏れなく捉え、さらに次のエミュレーション・クロックの1クロック・サイクルにおける複数の論理素子（例えば405～408）の信号状態値（例えばA5～A8）の入力を受けたマルチプレクサ300が、同様に、これをエミュレーション・クロックの1クロック・サイクルの期間内にレジスタ100に出力し、レジスタ100がこれを全て漏れなく捉えるためには、エミュレーション・クロックの4倍の周波数の走査クロックをレジスタ100に印加することはもちろん、マルチプレクサ300に対しても、少なくとも同じ周波数の走査クロックを印加する必要があることは明らかである。

そして、甲78（清水尚彦教授の鑑定意見書(3)）の11頁の図5において、LE1ないし6から信号の入力を受け、レジスタに出力するマルチプレクサに対して、図面上は、制御信号が記載されていないものの、同号証の12頁6ないし9行目には「レジスタは、1つの走査クロックの間に、その入力端子に供給された高々1つの信号状態値を出力することができる。したがって、レジスタに順次供給される上記4つの信号状態値（A1～A4）を捉えて出力するためには、走査クロックの4クロック・サイクルを必要とする。」と記載されている。この点、レジスタが4クロック・サイクルの走査クロックごとに信号状態値をマルチプレクサから取り込むためには、マルチプレクサも4クロック・サイクルの走査クロックごとに出力を切り替えざるを得ず、そのためには、マルチプレクサに対して、走査クロックの印加と、走査クロックによりマルチプレクサを切り替えるための信号を出力するカウンタに相当する構成が必要となることは明らかである。したがって、甲78には、実質的には、別紙1の図9と同様の構成が示されているといえるのであって、甲78が、別紙1の図9において、「カウンタ」や、当該「カウンタ」に走査クロックを印加することが必須の要素ではないことの根拠となるものではない。

また、甲79（藤田昌宏教授の鑑定意見書(4)）の5頁の図Aにおいても、同様に、LE1ないし4から信号の入力を受け、レジスタに出力するマルチプレクサに対して、図面上は、制御信号が記載されていないものの、同号証の6頁7ないし11行

目には、「マルチプレクサは、走査クロックに同期した制御信号に従って、論理素子LE 1～LE 4のうちの複数（例えばLE 1～LE 3）から出力された信号状態値を順次レジスタに供給する。レジスタは、マルチプレクサを介して順次供給された複数の信号状態値を、走査クロックに同期して捉えて（内部メモリに書き込んで）出力する。」と記載されているように、マルチプレクサに対して、走査クロックに同期した制御信号が印加されていることが明らかである。したがって、甲79も、別紙1の図9において、「カウンタ」や、当該「カウンタ」に走査クロックを印加することが必須の要素ではないことの根拠となるものではない。

そして、レジスタの前段に、マルチプレクサ（カウンタやカウンタに走査クロックを印加しないもの）が設けられ、マルチプレクサの入力の切替えによりマルチプレクサへ入力される信号状態値が順次レジスタに供給される構成が、本件特許の優先権主張日当時公知であったとしても、それだけでは、本件各発明の「再構成可能なネットワーク」が同様の構成を備えるものと解することはできないし、本件明細書等にも「再構成ネットワーク」として上記構成を採用することについての何らの記載も示唆もない。加えて、レジスタの前段にマルチプレクサを設けて、エミュレーション・クロックの1クロック・サイクルにおける複数の信号状態値がマルチプレクサを介して順次レジスタに供給されるという構成だけでは、エミュレーション・クロックのある1クロック・サイクルにおける複数の論理素子の信号状態値の入力を受けたマルチプレクサが、これをエミュレーション・クロックの1クロック・サイクルの期間内にレジスタに出力し、レジスタがこれを全て漏れなく捉え、さらに次のエミュレーション・クロックの1クロック・サイクルにおける複数の論理素子の信号状態値の入力を受けたマルチプレクサが、同様に、これをエミュレーション・クロックの1クロック・サイクルの期間内にレジスタに出力し、レジスタがこれを全て漏れなく捉えることはできないのであって、これを可能とするためには、エミュレーション・クロックに適切に比例した走査クロックをレジスタに印加することはもちろん、マルチプレクサに対しても、同様の走査クロックを印加する必要がある

06は、全走査モードのための論理素子からの直接の信号状態値と、部分走査モードのための動的再構成ネットワーク137からの部分集合としての信号状態値とを切り替えるものであるところ、マルチプレクサ1106は、「再構成可能なネットワーク」に相当する動的再構成ネットワーク137を構成する要素ではない。

また、再構成回路1100は、「分離した部分走査レジスタ135と（徹底的）走査レジスタ108とを採用する代わりに、…徹底的走査モードで全追跡／ノードの出力を、又は部分走査モードで、追跡／ノードの選択されたサブセットの出力を、走査レジスタ1108に選択的に供給するマルチプレクサ1106を使用する。換言すれば、走査レジスタ1108は、図1の走査レジスタ108として全体を使用することも、図1の部分走査レジスタ135として部分的に使用することもできる。」（【0013】）というものである。したがって、再構成回路1100におけるマルチプレクサ1106による切替えは、本件明細書等の図1の本件各発明の再構成集積回路100について、「エミュレーションシステムのユーザーは、あるクロック・サイクルには、LEアレイ102のLEのサブセットを観察することを選択することもでき、他のクロック・サイクルには、LEアレイ102を構成する全てのLEの状態値をも全走査して観察することも選択できる。」【0029】と記載されているのと同様に、少なくともエミュレーション・クロック単位で行われるものと解され、走査クロックにより切替えが行われるものとは認め難い。このことは、【図11】において、走査レジスタ1108には走査クロック140が印加されることが図示されているのに対して、マルチプレクサ1106には走査クロック140が印加されることが図示されていないことから裏付けられるところである。そうすると、本件明細書等の図11は、「再構成可能なネットワーク」に走査クロックが印加されることを記載又は示唆するものでもない。

エ 以上によれば、控訴人の前記主張は、いずれも採用することができない。

3 争点(1)エ（「再構成可能なネットワーク」〔構成要件1E, 5G, 5H及び7G〕の充足性）について

(1) 「再構成可能なネットワーク」の意義

ア 「再構成可能なネットワーク」は、「上記エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する」もので、複数の論理素子と部分走査レジスタに結合したものである（構成要件1 E, 5 G, , 5 H, 7 G）。

本件各発明の構成要件1 E, 5 G, 5 H及び7 Gの「上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する」中の「接続」の意義については、前記1 (3)オのとおり、本件各発明の課題が、選択した論理素子の部分集合（サブセット）を動的に再構成して観察することを可能にするものであることからすれば、物理的な配線がつながっているというだけでは足りず、つながった配線を通して信号状態値の記録を捉えて出力することが可能な状態であることを意味すると解するのが相当である。

そうすると、構成要件1 E, 5 G, 5 H及び7 Gの「エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する」に当たるというためには、エミュレーション・クロックの1クロック・サイクルの間に、選択された論理素子の部分集合と部分走査レジスタとが、つながった配線を通して信号状態値の記録を捉えて出力することが可能な状態にあることが必要である。

イ また、前記2 (1)ウのとおり、本件各発明において、「再構成可能なネットワーク」とは、エミュレーション・クロックの1クロック・サイクルにおいて、部分走査レジスタに接続する論理素子の部分集合を、全ての論理素子から選択して切り替えるための構成であり、本件明細書等には「再構成可能なネットワーク」に走査クロック又は走査制御信号が印加される構成については、何らの記載も示唆もなく、これが本件特許の優先権主張日当時の技術常識であったことを認めるに足りる証拠もないこと、これに対して、選択された論理素子の部分集合から出力されるエミュレーション・クロックの1クロック・サイクルにおける信号状態値を走査して

捉え、そして出力するために、走査クロック又は走査制御信号を用いて処理することは、「部分走査レジスタ」が果たす役割として構成されていることが認められる。

そうすると、本件各発明においては、「再構成可能なネットワーク」は、エミュレーション・クロックの1クロック・サイクル単位で、観察対象となる論理素子を選択し、選択された論理素子の部分集合のエミュレーション・クロックの1クロック・サイクルにおける信号状態値を、部分走査レジスタに出力する機能（エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタを、選択された論理素子の部分集合のみに再構成可能に接続する機能）を有するものである。これに対し、「再構成可能なネットワーク」に対して走査クロックを印加することにより、エミュレーション・クロックの1クロック・サイクルよりも細分化した走査クロック単位で、選択された論理素子の部分集合のエミュレーション・クロックの1クロック・サイクルにおける信号状態値を、さらに小さな部分集合の信号状態値ごとに選択して切り替える構成（エミュレーション・クロックの1クロック・サイクルよりも細分化された走査クロック単位で、部分走査レジスタを、選択された論理素子の部分集合よりもさらに小さな部分集合ごとに再構成可能に接続する構成）は、「部分走査レジスタ」が果たすべき役割を、「再構成可能なネットワーク」において実現するものであって、本件各発明の作用効果の観点からも異なる手段を開示するものであり、本件明細書等において、そのような構成ないし手段を採用し得るとする記載又は示唆を見出すことはできない。

したがって、本件各発明の1E、5G、5H及び7Gの「再構成可能なネットワーク」は、エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタに接続する論理素子の部分集合を、全ての論理素子から選択して切り替える構成であって、印加された走査クロックによって、エミュレーション・クロックの1クロック・サイクルよりも細分化された走査クロック単位で、選択された論理素子の部分集合をさらに小さな部分集合ごとに選択して切り替える態様を含まないものに限定されると解するのが相当である。言い換えるならば、構成要件1E、5G、

5 H及び7 Gの「上記エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する」とは、エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタを選択された論理素子の部分集合のみに接続することを意味するものであって、論理素子の部分集合と部分走査レジスタとが、エミュレーション・クロックに適切に比例した走査クロック単位でさらに小さな部分集合ごとに接続が変更されるものは、エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタを選択された論理素子の部分集合のみに接続するものということとはできないから、上記要件を充足しないというべきである。

この点、本件明細書等に「再構成可能なネットワーク」に走査クロック又は走査制御信号が印加される構成については、何らの記載も示唆もなく、これが本件特許の優先権主張日当時の技術常識であったことを認めるに足りる証拠もない。また、本件明細書等の【0027】、【0028】及び【図8b】において、本件各発明における一実施形態ではあるものの、「再構成可能なネットワーク」として、128の論理素子から32の選択サブセット（部分集合）の信号状態値を部分走査レジスタに対し出力し、部分走査レジスタが、「再構成可能なネットワーク」からの出力を受け入れる32の信号入力線を備えることが記載され、部分走査レジスタと「再構成可能なネットワーク」とが、32の信号入力線と信号出力線により結合され、「再構成可能なネットワーク」に走査クロック又は走査制御信号を印加することによってさらに小さな部分集合ごとに切り替えることのない態様が示されている。これらのことをも踏まえると、印加された走査クロックによって、エミュレーション・クロックの1クロック・サイクルよりも細分化された走査クロック単位で、選択された論理素子の部分集合をさらに小さな部分集合ごとに選択して切り替える態様の再構成可能なネットワークを採用することは、本件明細書等には何らの記載も示唆もなく、また、本件明細書等に記載された上記実施形態とは明らかに異なる構成及び動作を示すネットワークを採用するものである。かかる態様の再構成可能なネッ

トワークは、前記2(1)ウのとおり、「再構成可能なネットワーク」が、エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタを選択された論理素子の部分集合のみに再構成可能に接続する機能を有し、「部分走査レジスタ」が、選択された論理素子の部分集合から出力されるエミュレーション・クロックの1クロック・サイクルにおける信号状態値を走査して捉え、そして出力するために、走査クロック及び走査制御信号を用いて処理するものとして構成されている本件各発明の技術的思想とは異なる発明を開示するものというほかない。

(2) ダイナミックプローブの充足性について

前記(1)アのとおり、構成要件1E、5G、5H及び7Gの「エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する…再構成可能なネットワーク」に当たるというためには、エミュレーション・クロックの1クロック・サイクルの間に、選択された論理素子の部分集合と部分走査レジスタとが、つながった配線を通して信号状態値の記録を捉えて出力することが可能な状態にあることが必要である。

被告各製品におけるダイナミックプローブは、リードバックキャプチャを実行することにより、全ての論理素子の信号状態値がまずコンフィギュレーションメモリに格納され、その後、FARレジスタにおいてコンフィギュレーションメモリから読み出すべき論理素子の信号状態値が格納されたフレームのアドレスを指定することで、コンフィギュレーションメモリに格納されたデータのうち、指定されたフレームに格納されたデータのみがFDROレジスタに取り込まれ、バスへと出力されるものである。すなわち、全ての論理素子の信号状態値をコンフィギュレーションメモリに格納するために、論理素子とコンフィギュレーションメモリが一旦接続され（つながった配線を通して信号状態値の記録を捉えて出力することが可能な状態とされ）、その後、コンフィギュレーションメモリからFDROレジスタにデータを取り込むために、コンフィギュレーションメモリとFDROレジスタとを接続する

(つながった配線を通して信号状態値の記録を捉えて出力することが可能な状態とされる)ものといえる。

そうすると、エミュレーション・クロックの1クロック・サイクルの間に、FDROレジスタ(控訴人の主張によれば「部分走査レジスタ」に相当する。)と接続されるのは、コンフィギュレーションメモリ(控訴人の主張によれば「再構成可能なネットワーク」の一部に相当する。)の部分集合であって、論理素子の集合ないし部分集合ではなく、論理素子の部分集合とFDROレジスタとが、つながった配線を通して信号状態値の記録を捉えて出力することが可能な状態は一度として生じておらず、FDROレジスタは、単に、論理素子の信号状態値全てが格納されたコンフィギュレーションメモリから、選択した論理素子の信号状態値のデータを取得しているにすぎない。このように被告各製品のダイナミックプローブにおけるリードバックキャプチャによるコンフィギュレーションメモリへの論理素子の信号状態値の格納及びFARレジスタによるFDROレジスタに対する信号状態値のデータの出力の構成は、本件明細書等の【図1】及び【図8b】にあるような、論理素子アレイ(102)から入力された信号状態値のうち、動的再構成ネットワーク(137)(マルチプレクサ(502))によって選択されたものをそのまま部分走査レジスタ(135)に出力する構成とは、明らかに異なるものというべきである。

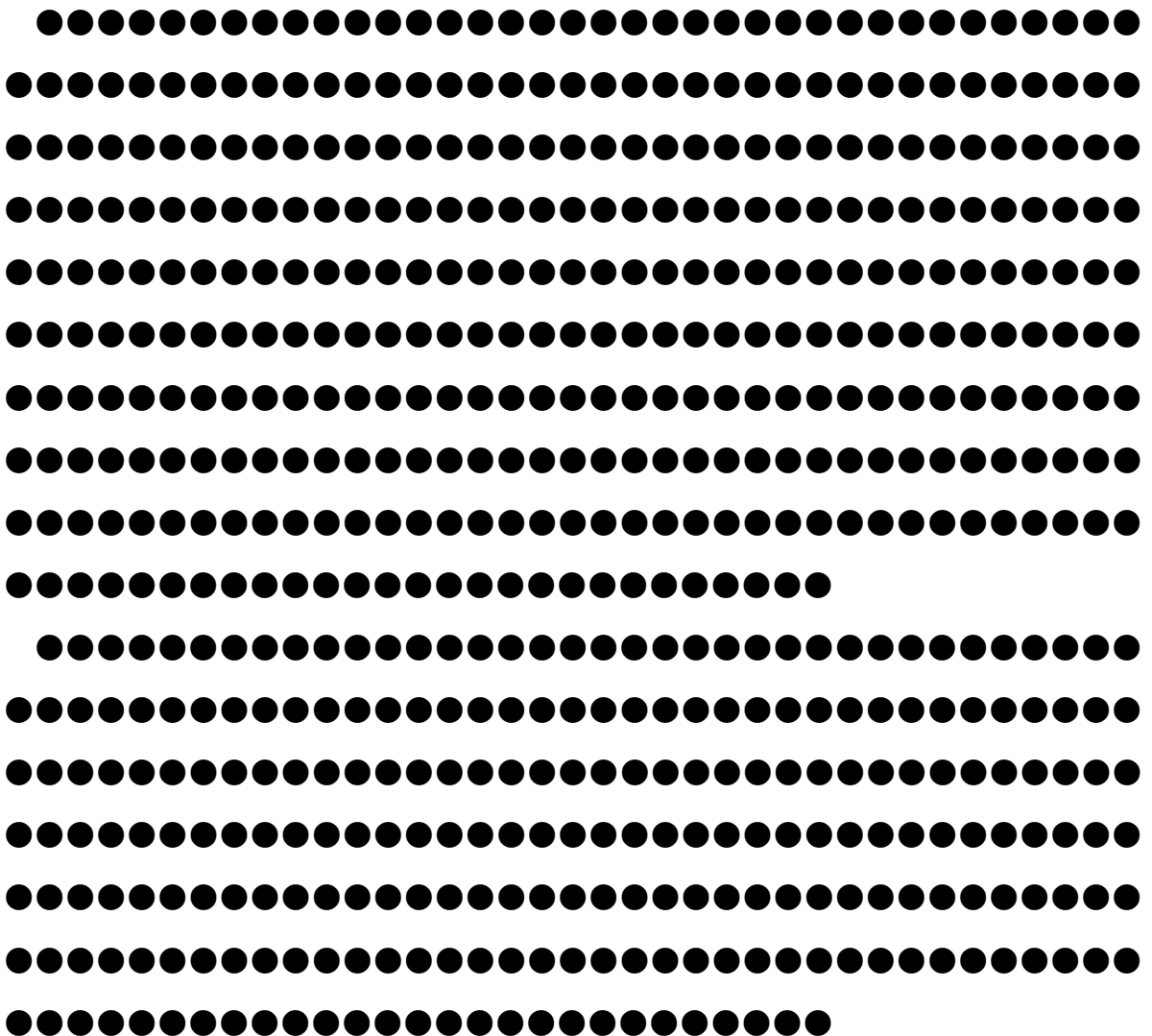
したがって、被告各製品におけるダイナミックプローブは、本件各発明の構成要件1E、5G、5H及び7Gの「上記エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する、…再構成可能なネットワーク」を充足しないというべきである。

(3) フレキシブルプローブの実施態様IないしIIIの充足性について

前記(1)イのとおり、構成要件1E、5G、5H及び7Gの「上記エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する…再構成可能なネットワー

ク」とは、エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタを選択された論理素子の部分集合のみに接続することを意味するものであって、論理素子の部分集合と部分走査レジスタとが、エミュレーション・クロックに適切に比例した走査クロック単位でさらに小さな部分集合ごとに接続が変更されるものは、エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタを選択された論理素子の部分集合のみに接続するものということとはできないから、上記要件を充足しないというべきである。

ア フレキシブルプローブの実施態様Ⅰについて



イ フレキシブルプローブの実施態様Ⅱについて

置き換えても、特許発明の目的を達することができ、同一の作用効果を奏するものであって、③上記のように置き換えることに、当該発明の属する技術の分野における通常の知識を有する者（当業者）が、対象製品等の製造等の時点において容易に想到することができたものであり、④対象製品等が、特許発明の特許出願時における公知技術と同一又は当業者がこれから当該出願時に容易に推考できたものではなく、かつ、⑤対象製品等が特許発明の特許出願手続において特許請求の範囲から意識的に除外されたものに当たるなどの特段の事情もないときは、同対象製品等は、特許請求の範囲に記載された構成と均等なものとして、特許発明の技術的範囲に属するものと解するのが相当である（最高裁判所平成6年（オ）第1083号平成10年2月24日第三小法廷判決・民集52巻1号113頁参照）。

ところで、特許法が保護しようとする発明の実質的価値は、従来技術では達成し得なかった技術的課題の解決を実現するための、従来技術に見られない特有の技術的思想に基づく解決手段を、具体的な構成をもって社会に開示した点にある。したがって、特許発明における本質的部分とは、当該特許発明の特許請求の範囲の記載のうち、従来技術に見られない特有の技術的思想を構成する特徴的部分であると解すべきである。

そして、特許発明における本質的部分は、特許請求の範囲及び明細書の記載に基づいて認定されるべきであるが、明細書に従来技術が解決できなかった課題として記載されているところが、優先権主張日の従来技術に照らして客観的に見て不十分な場合には、明細書に記載されていない従来技術も参酌して認定されるべきである（当庁平成27年（ネ）第10014号平成28年3月25日判決参照）。

(3) 本件各発明の本質的部分

ア 前記1(3)のとおり、本件明細書等に従来技術が解決できなかった課題として記載されているところは、乙1発明の課題と重複するものであるところ、本件明細書等には乙1発明の記載がなく、従来技術に照らして客観的に見て不十分であるか

ら、本件各発明の本質的部分は、特許請求の範囲及び本件明細書等の記載に加えて、優先権主張日の従来技術たる乙1発明との比較から認定されるべきである。そして、特許請求の範囲、本件明細書等の記載及び従来技術（乙1発明）によれば、前記1(3)オのとおり、本件各発明は、一旦隠されたノードに容易にアクセスでき、再構成の必要を減少させることによって、許容できるエミュレーション頻度でエミュレーションすることを容易にすること、再コンパイルを必要とせず、所与のクロック・サイクルにおいて、選択した論理素子の部分集合（サブセット）を動的に再構成して観察することを可能にすること、及びデバッグの高速化・効率化を図ることを課題ないし目的とするものである。そして、本件各発明は、上記課題ないし目的を解決する手段として、前記2(1)ウのとおり、エミュレーション・クロックの1クロック・サイクル単位で、観察対象となる選択された論理素子の部分集合を部分走査レジスタに再構成可能に接続する「再構成可能なネットワーク」と、選択された論理素子の部分集合から出力されるエミュレーション・クロックの1クロック・サイクルにおける信号状態値を走査して捉え、そして出力する「部分走査レジスタ」という構成要件1D及び1Eに記載された特徴的な構成を採用したものである。

そうすると、「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、そして走査バスに出力する部分走査レジスタ」（構成要件1D）及び「上記エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する…再構成可能なネットワーク」（構成要件1E）は、いずれも、本件各発明の課題の解決を実現するために不可欠な構成である。

そして、前記3(1)イのとおり、「再構成可能なネットワーク」は、エミュレーション・クロックの1クロック・サイクル単位で、部分走査レジスタに接続する論理素子の部分集合を、全ての論理素子から選択して切り替える構成であって、印加され

た走査クロックによって、エミュレーション・クロックの1クロック・サイクルよりも細分化された走査クロック単位で、選択された論理素子の部分集合をさらに小さな部分集合ごとに選択して切り替える態様を含まないものに限定されることから、前記2(1)ウのとおり、「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、そして走査バスに出力する部分走査レジスタ」であるためには、「部分走査レジスタ」の具体的な構成として、選択された論理素子の部分集合からの信号状態値を出力するための「再構成可能なネットワーク」の信号出力線に結合するために、その信号入力線の数が、観察対象となる選択された論理素子、すなわち捉えるべき選択された論理素子の部分集合の信号状態値の数以上になるように構成されたレジスタであることが必要とされ、これによって、「再構成可能なネットワーク」の信号出力線と部分走査レジスタの信号入力線との結合が可能となり、かつ、「再構成可能なネットワーク」から出力される、選択した論理素子の部分集合からの信号状態値を、全て漏れなく部分走査レジスタによって捉えることが可能になるとの効果があるものである。これに対して、信号入力線の数が、捉えるべき選択された論理素子の部分集合の信号状態値の数より少ないように構成されたレジスタは、「再構成可能なネットワーク」の信号出力線と結合することができず、選択した論理素子の部分集合からの信号状態値を全て漏れなく捉えることができないから、捉えるべき選択された論理素子の部分集合の信号状態値の数以上になるように構成されたレジスタの場合における上記の効果を奏することができない。

イ 前記アによれば、本件各発明は、一旦隠されたノードに容易にアクセスでき、再構成の必要を減少させることによって、許容できるエミュレーション頻度でエミュレーションすることを容易にすること、再コンパイルを必要とせず、所与のクロック・サイクルにおいて、選択した論理素子の部分集合（サブセット）を動的に再構成して観察することを可能にすること、及びデバッグの高速化・効率化を図ることを課題ないし目的とし、これを解決する手段として、「再構成可能なネッ

トワーク」とあいまって、信号入力線の数が、捉えるべき選択された論理素子の部分集合の信号状態値の数以上になるように構成された「部分走査レジスタ」を採用することによって、「再構成可能なネットワーク」の信号出力線と部分走査レジスタの信号入力線との結合が可能となり、かつ、「再構成可能なネットワーク」から出力される、選択した論理素子の部分集合からの信号状態値を、全て漏れなく捉え、そして出力することが可能になるとの作用効果を有するものであって、かかる「部分走査レジスタ」の構成は、本件各発明の課題を解決するために不可欠の部分であって、従来技術に見られない特有の技術的思想を構成する特徴的部分というべきである。

ウ 控訴人の主張について

控訴人は、「部分走査レジスタ」に関して本件各発明に特徴的なのは、レジスタをして、論理素子の全部ではなく、「部分」集合の信号状態値をエミュレーション・クロックの1クロック・サイクル単位で選択的に捉えて出力させるように構成した点、すなわち、「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、そして走査バスに出力する」（構成要件1D）ように部分走査レジスタを動作させる点が、本件各発明の特徴的部分である旨主張する。

しかし、選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、そして走査バスに出力すること、すなわち、所与のクロック・サイクルにおいて、選択した論理素子の部分集合（サブセット）を動的に再構成して観察することを可能にすることは、本件各発明の解決手段であると同時に、課題ないし目的であって、本件各発明は、かかる課題ないし目的を解決するために、その具体的構成として、前記イのとおり、「再構成可能なネットワーク」とあいまって、信号入力線の数が、捉えるべき選択された論理素子の部分集合の信号状態値の数以上になるように構成された「部分走査レジスタ」を採用しているものであって、

物)である被告各製品は、エミュレーションシステムの生産にのみ用いられる物となる場合があるものとして、その譲渡等は間接侵害に当たる旨主張するものと善解できる。

しかし、前記2ないし5のとおり、被告各製品は、本件各発明の「部分走査レジスタ」及び「再構成可能なネットワーク」を備えていないのであって、構成要件5 FないしHを充足せず、構成要件1 D（「部分走査レジスタ」につき）に関しての均等侵害も成立しないことから、構成要件6 Bを充足することもない。そうすると、被告各製品につき本件発明5及び6の間接侵害が成立する余地はない。

したがって、控訴人の間接侵害の主張は、採用することができない。

7 結論

以上のとおりであるから、その余の点について判断するまでもなく、控訴人の請求はいずれも理由がなく、控訴人の請求を全部棄却した原判決は、結論において正当である。

よって、主文のとおり判決する。

知的財産高等裁判所第4部

裁判長裁判官 高 部 眞 規 子

裁判官 田 中 芳 樹

裁判官 柵 木 澄 子

別紙 1

図 3 - 1

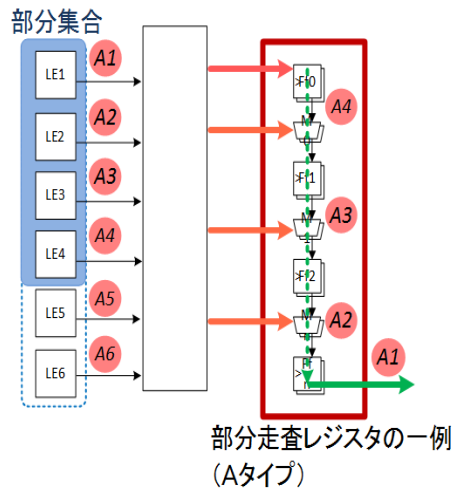


図 3 - 2

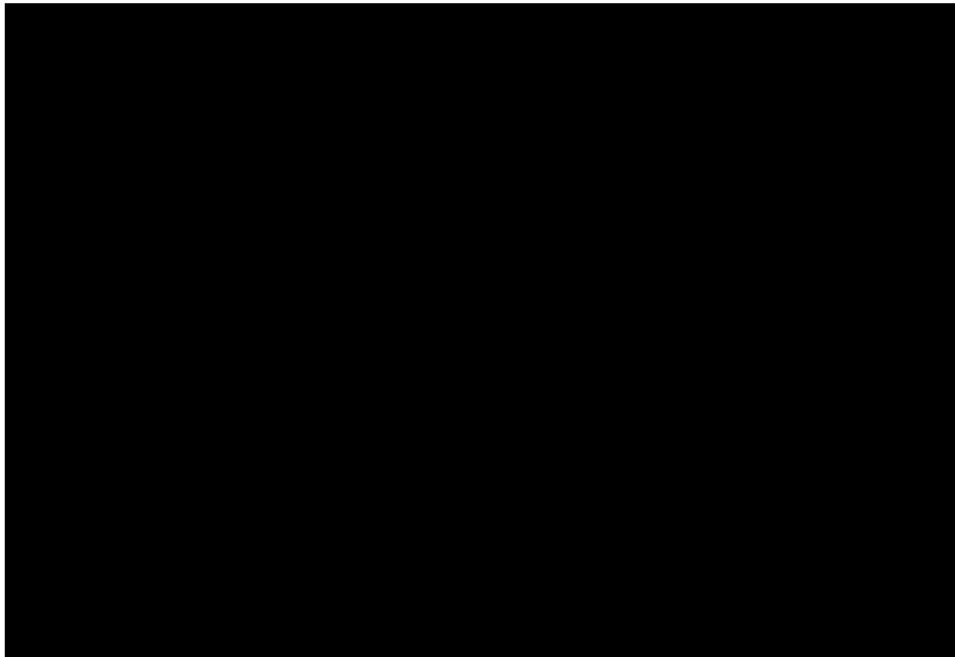


図 4

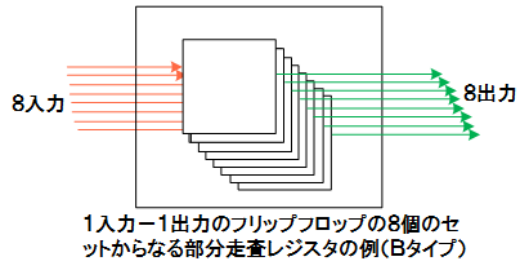


図 8

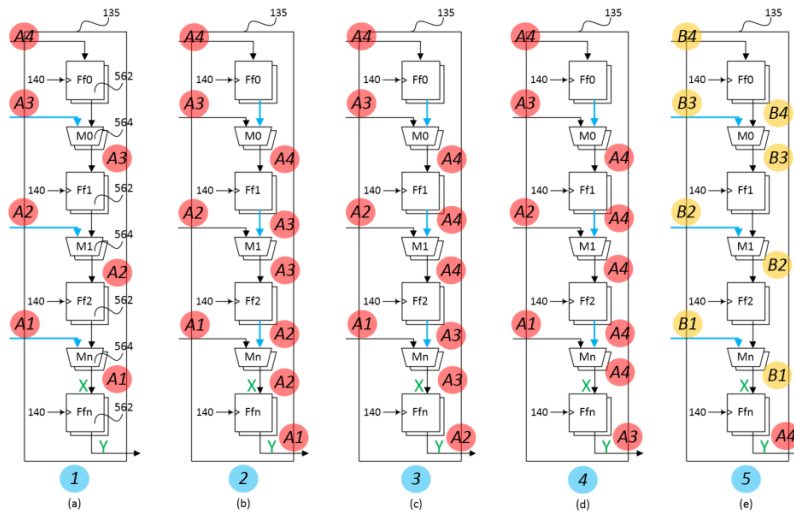
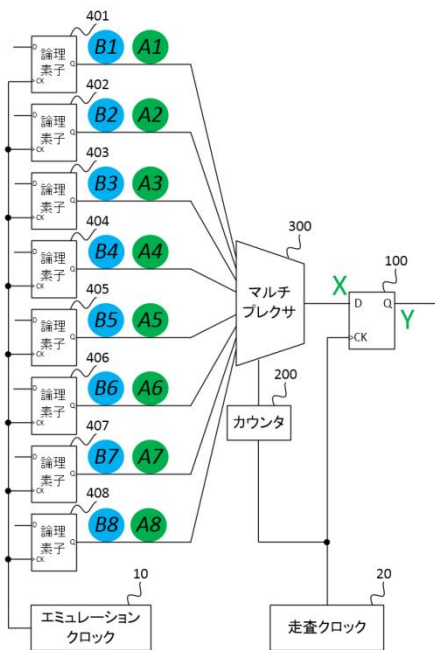
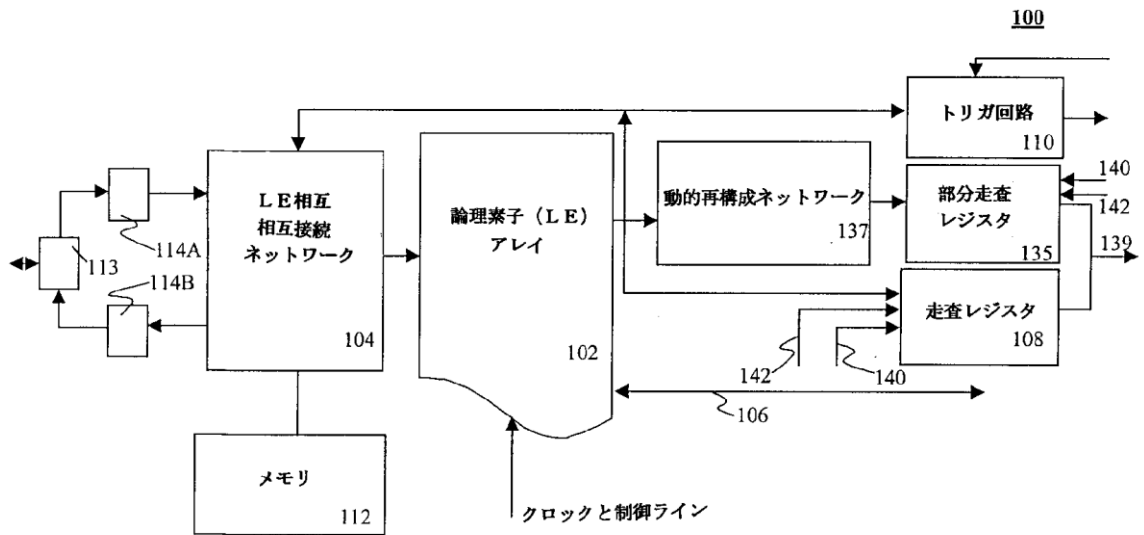


図 9

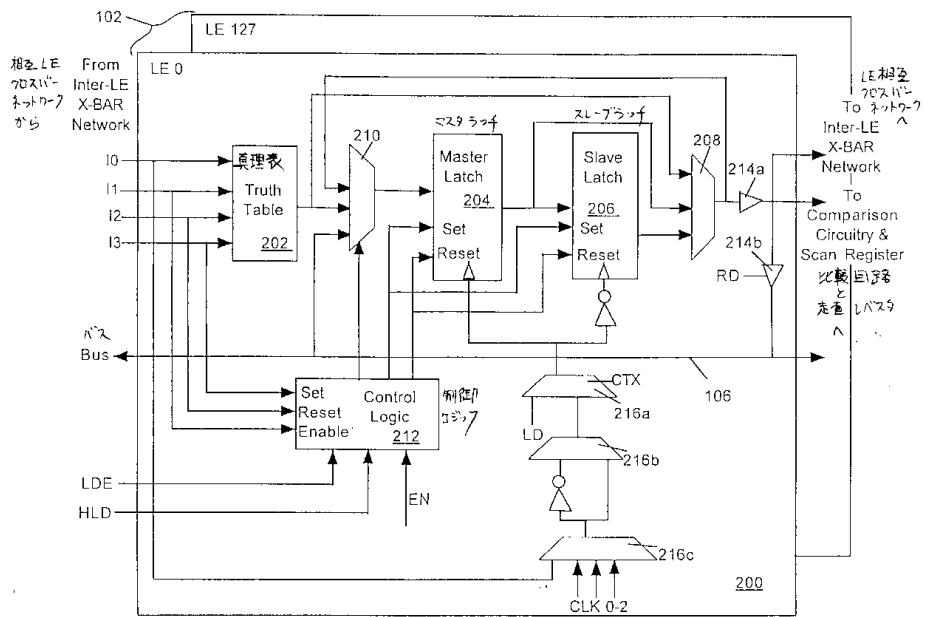


別紙 2

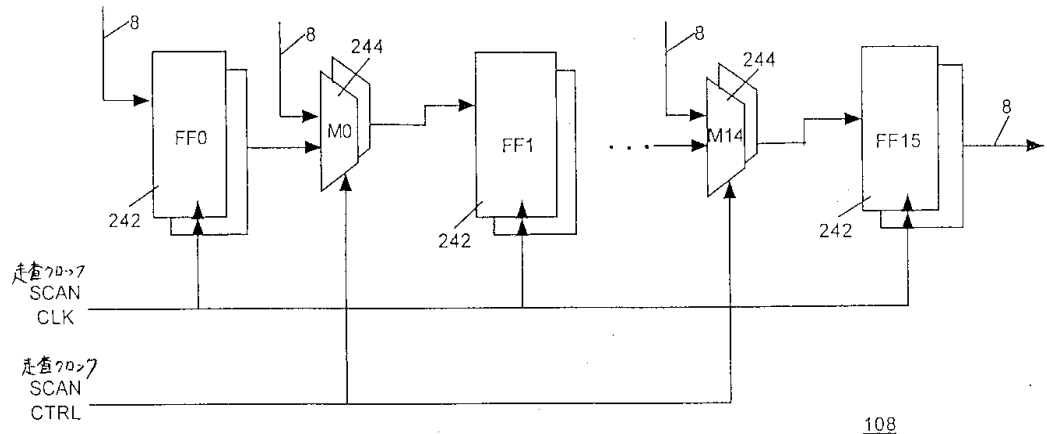
【図 1】



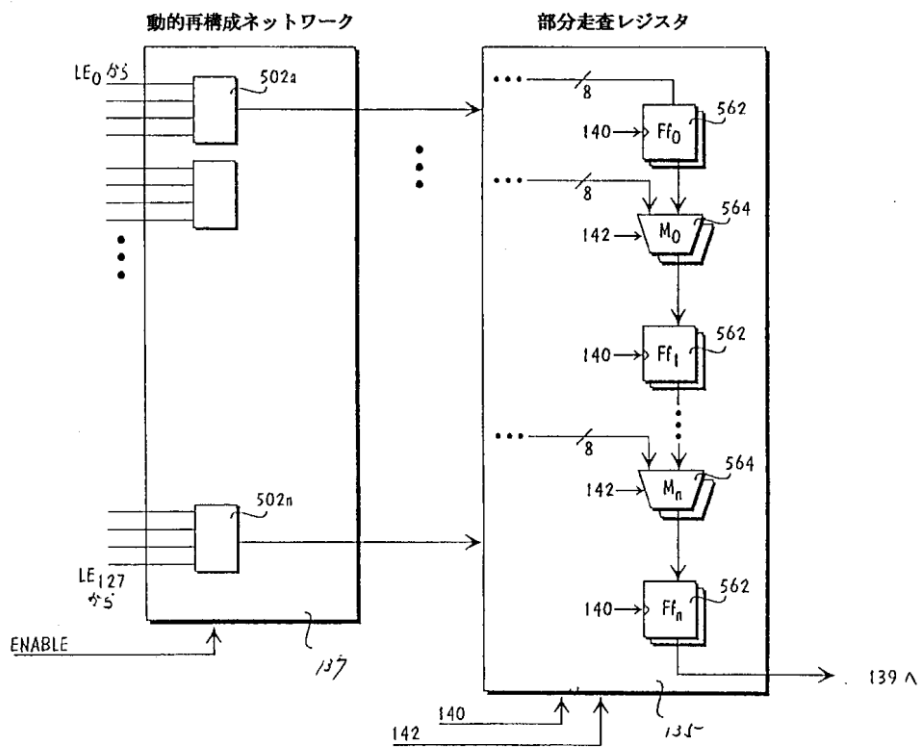
【図 2】



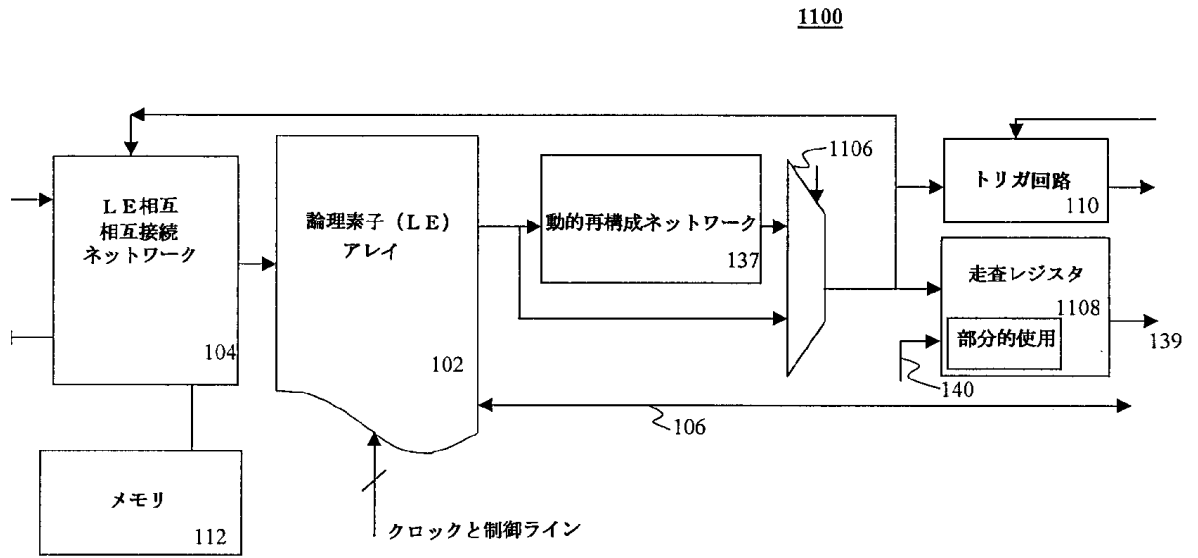
【図 8 a】



【図 8 b】



【図 1 1】



別紙 3

図 1

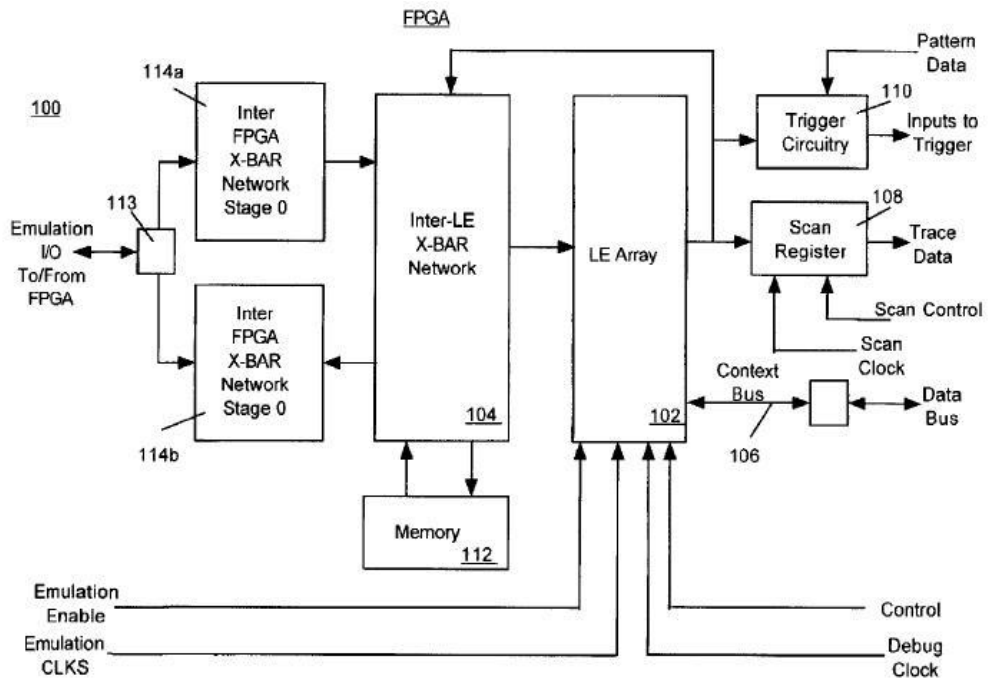


Figure 1

図 2

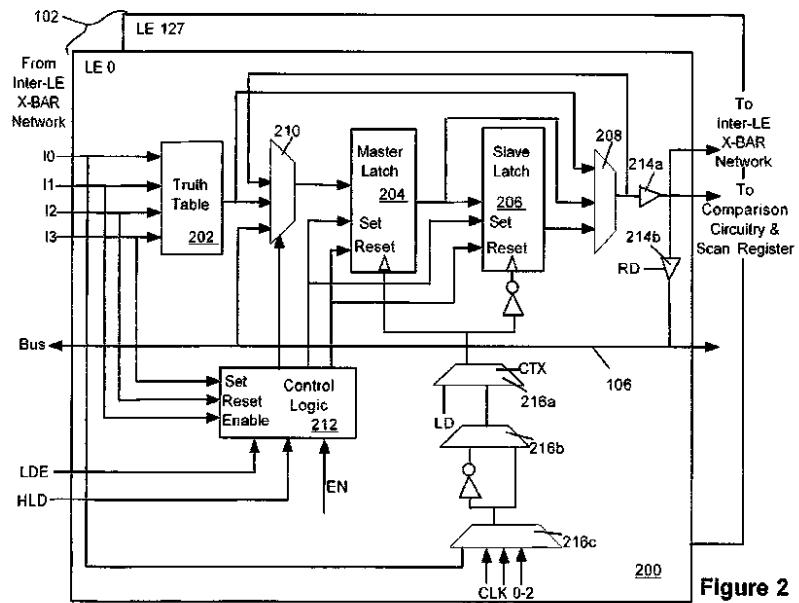


Figure 2

图 8

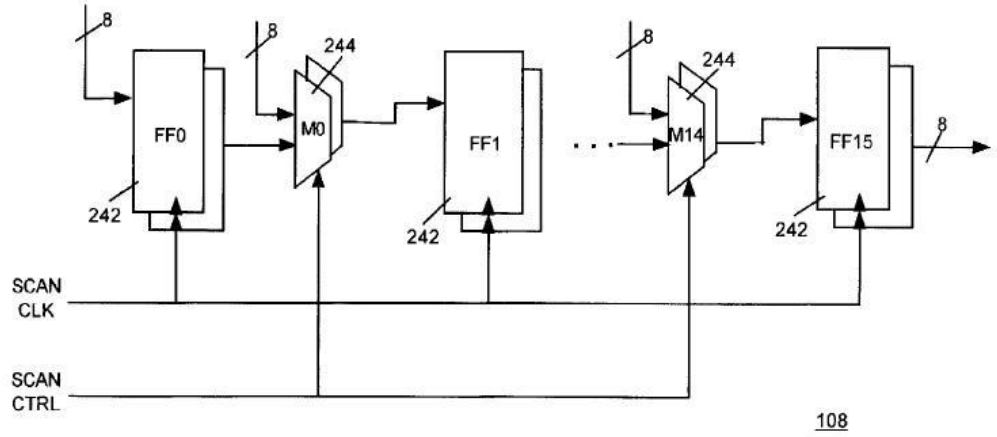


Figure 8

108