

平成22年12月28日判決言渡

平成22年(行ケ)第10123号 審決取消請求事件

平成22年11月9日 口頭弁論終結

判 決

原 告 X

被 告 特 許 庁 長 官
指 定 代 理 人 猪 瀬 隆 広
同 石 井 研 一
同 廣 瀬 文 雄
同 萩 原 義 則
同 小 林 和 男

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。

事 実 及 び 理 由

第1 請求

特許庁が不服2008-11139号事件について平成22年3月8日にした審決を取り消す。

第2 争いのない事実

1 特許庁における手続の経緯

原告は、発明の名称を「CMOSインターフェース回路」とする発明について、平成14年7月23日を国際出願日として特許出願(特願2003-518047号。優先日 平成13年7月27日、優先権主張国 日本。以下「本願」という。)をし、平成19年1月23日に手続補正(特許請求の範囲を対

象とする手続補正。以下「本件補正」という。乙2)をしたが、平成20年3月31日付けで拒絶査定を受け、同年5月1日、拒絶査定不服審判(不服2008-11139号事件)を請求をした。

特許庁は、平成22年3月8日、「本件審判の請求は、成り立たない。」との審決をし、その謄本は、同月27日、原告に送達された。

2 特許請求の範囲

本件補正後の本願の特許請求の範囲(請求項の数13)の請求項1,2の記載は、次のとおりである(以下、これらの請求項に係る発明を項番号に対応して、「本願発明1」などという。乙1,2。なお、本願の明細書添付の図1,2は、別紙図面1,2のとおりである。)

「【請求項1】

信号(2)のネガティブ・エッジで配線上の入力データを保持するフリップフロップ(3)と、信号(2)のポジティブ・エッジでフリップフロップ(3)の出力を処理する回路(1)とで構成される、入力データを処理する回路。

【請求項2】

信号(2)のポジティブ・エッジで同一配線上の入力データを処理する回路(4)を付加した、請求の範囲第1項記載の回路。」

3 審決の内容

(1) 別紙審決書の写しのとおりである。要するに、本願発明1,2は、特開平7-95013号公報(乙3。以下「引用例」という。)に記載された発明(以下「引用発明」という。)に基づいて、当業者が容易に発明をすることができたものであるから、特許法29条2項の規定により特許を受けることができないとするものである。

(2) 審決は、上記結論を導くに当たり、次のとおり、引用発明を認定し、本願発明2と引用発明の一致点及び相違点を認定した。

ア 引用発明

クロック信号（CLK）の立下がり配線上の入力データ信号（D）を保持する第1ラッチ回路（11）と、クロック信号（CLK）の“0”の時第1ラッチ回路（11）の出力を選択するマルチプレクサ（13）と、クロック信号（CLK）の立上がり配線上の入力データ信号（D）を保持する第2ラッチ回路（12）とで構成される、エッジトリガ型フリップフロップ。（判決注 引用例〔乙3〕には、「クロック信号」との語や括弧書き等の表記はされていないが、審決において、付加的な表記がされている。本判決においても、審決の表記方法に合わせるものとする。以下、同じ）

イ 一致点

信号（2）のネガティブ・エッジで配線上の入力データを保持するフリップフロップ（3）と、信号（2）でフリップフロップ（3）の出力を処理する回路（1）とで構成され、

信号（2）のポジティブ・エッジで同一配線上の入力データを処理する回路（4）を付加した、入力データを処理する回路。

ウ 相違点

回路（1）におけるフリップフロップ（3）の出力を処理する動作条件に関し、

本願発明2は、信号（2）のポジティブ・エッジであるのに対し、引用発明は、クロック信号（CLK）の“0”の時である点。

第3 取消事由に係る原告の主張

1 取消事由1（引用発明の認定の誤り）

審決は、引用発明のマルチプレクサについて、「クロック信号（CLK）が“0”の時第1ラッチ回路（11）の出力を選択するマルチプレクサ」と認定しているが、「クロック信号（CLK）が“0”の時に第1ラッチ回路（11）の出

力を選択し、“ 1 ”の時に第 2 ラッチ回路(1 2)の出力を選択するマルチプレクサ」と認定すべきである。

2 取消事由 2 (本願発明 2 と引用発明との相違点の認定の誤り)

審決は、本願発明 2 と引用発明との相違点に関し、本願発明 2 の回路(1)と引用例のマルチプレクサ(1 3)の動作条件を対比し、本願発明 2 は、信号のポジティブ・エッジであるのに対し、引用発明は、クロック信号(C L K)の“ 0 ”の時であると認定している。しかし、引用例において、マルチプレクサ(1 3)は、第 1 ラッチ回路(1 1)の出力を、クロック信号(C L K)が、“ 0 ”の時に透過し、“ 1 ”の時に阻止しているのであって、ポジティブ・エッジとネガティブ・エッジの両エッジで作動している。

したがって、本願発明 2 と引用発明との相違点の認定において、回路(1) (マルチプレクサ(1 3))の動作条件について、引用発明は、クロック信号(C L K)の“ 0 ”の時と“ 1 ”の時と認定すべきである。

3 取消事由 3 (本願発明 2 の容易想到性判断の誤り)

(1) 審決は、回路の技術分野において、後段の回路における前段の回路の出力を処理する動作条件の設定は、設計の必要性に応じ設定すべき設計的事項であるから、回路(1)におけるフリップフロップ(3)の出力を処理する動作条件に関し、引用発明のクロック信号(C L K)が“ 0 ”の時を、本願発明 2 のように信号(2)のポジティブ・エッジとすることは当業者が適宜成し得ることであると判断している。しかし、審決の判断は、以下のとおり誤りがある。すなわち、引用発明において、両エッジで作動するマルチプレクサ(1 3)がポジティブ・エッジで作動するように、フリップフロップを加えると、選択信号は常に“ 0 ”となり、マルチプレクサ(1 3)として機能しなくなる。また、クロック信号(C L K)が“ 0 ”の時に第 1 ラッチ回路(1 1)の出力を選択する構成に換えて、クロック信号(C L K)のポジティブ・エッジで第 1 ラッチ回路(1 1)の出力を選択する構成としたと

しても、マルチプレクサ（１３）及びその内部回路の動作部分は、クロック信号（CLK）の立上がりと立下がりの両方のエッジで選択、非選択の処理を行うことになる。引用発明と本願発明２とは、処理内容において相違するから、引用発明から本願発明２の相違点に関する構成に至ることは、困難である。

（２） 審決は、本願発明２の作用効果も引用発明から当業者が容易に予測できる範囲のものであると判断する。

しかし、審決の判断は、以下のとおり誤りがある。すなわち、本願発明２では、図２（別紙図面２）のとおり、１本のデータ信号線が２本に分かれて、２つの入力データを２つの回路で処理するのに対し、引用例の図１（別紙図面３）の実施例では、１本のデータ信号線が２本に分かれているものの、マルチプレクサ（１３）において再び１本となり、図４（別紙図面４）のとおり、後段の一続きの回路で入力データを処理しているのであって、その回路構成が異なる。また、本願発明２においては、入力データを処理する回路全体を論じているのに対し、引用例においては、単一のフリップフロップを論じているにすぎない。

さらに、引用例では、マルチプレクサ（１３）により２つのラッチの出力が収束されて、後段の１つの回路１４aが２倍の速さでデータを処理するものであり、１つの回路が２倍の速さでデータを処理するため、処理できる時間が半分になり複雑な処理が困難となる。これに対し、本願発明２では、回路（１）及び回路（４）がそれぞれ等倍の速さでデータを処理するものであり、引用発明とは作用効果において相違する。

以上のとおり、引用発明と本願発明２とは、回路構成及び作用効果において相違するから、当業者において、引用発明から、上記のような回路構成及び作用効果を有する本願発明２に至ることは容易であるとはいえない。

４ 取消事由４（本願発明１の容易想到性判断の誤り）

審決は、本願発明 1 の構成に限定を付加した本願発明 2 が、引用発明に基づいて容易に着想できたものであるから、本願発明 1 も同様に、容易に着想できたものであると判断した。

しかし、前記 3 のとおり、当業者が引用発明から本願発明 2 に着想することは容易でないから、本願発明 2 から請求項 2 に記載された発明特定事項を省いた本願発明 1 を着想することも容易でなく、審決の本願発明 1 に関する容易想到性判断には誤りがある。

第 4 被告の反論

1 取消事由 1（引用発明の認定の誤り）に対し

引用例に記載されたマルチプレクサ（13）は、第 1 ラッチ回路（11）と第 2 ラッチ回路（12）からそれぞれ出力された各論理状態を、クロック信号（CLK）の論理状態に応じて、出力端子（U）へ出力しているから、マルチプレクサ（13）の動作をクロック信号（CLK）の論理状態に応じて、クロック信号（CLK）が“0”の時に第 1 ラッチ回路（11）の出力を選択する動作部分と、クロック信号（CLK）が“1”の時に第 2 ラッチ回路（12）の出力を選択する動作部分に分けることができる。審決は、このうちクロック信号（CLK）が“0”の時に第 1 ラッチ回路（11）の出力を選択する動作部分を抽出して、引用発明のマルチプレクサ（13）について、「クロック信号（CLK）の“0”の時で第 1 ラッチ回路（11）の出力を選択するマルチプレクサ（13）」と認定したのであり、引用発明の認定に誤りはない。

2 取消事由 2（本願発明 2 と引用発明との相違点の認定の誤り）に対し

前記 1 のとおり、審決の引用発明の認定に誤りはなく、本願発明 2 と引用発明との相違点の認定にも誤りはない。

3 取消事由 3（本願発明 2 の容易想到性判断の誤り）に対し

（1）引用例に従来例として図 12（別紙図面 5）が示されているように、前段の回路に対して、逆のエッジで動作する回路を後段に接続することは、

当業者が、技術常識に基づき、容易に想到し得る。そうすると、引用発明の「クロック信号（CLK）の“0”の時」で第1ラッチ回路（11）の出力を選択する構成に代えて、前段の回路の第1ラッチ回路（11）とは逆のエッジであるクロック信号（CLK）の立ち上がりで、第1ラッチ回路（11）の出力を選択する構成（すなわち、本願発明2の信号（2）のポジティブ・エッジで前段の回路の出力を処理する構成）とすることも、当業者であれば容易に想到し得る。

したがって、審決が、後段の回路における前段の回路の出力を処理する動作条件の設定は、設計の必要性に応じ設定すべき設計的事項であるとして、クロック信号（CLK）の“0”の時を、信号（2）のポジティブ・エッジとすることは、当業者が適宜成し得ることであると判断した点に誤りはない。

（2） また、引用例の「一方、前記クロック入力端子CLKへと“1”が入力されると、前記第2ラッチ回路12は、前記クロック入力端子CLKに入力されるデータ信号の立ち上がり時、あるいは該立ち上がりの直前に入力されるデータ信号の論理状態を保持し、又保持された該論理状態に従った論理状態をその出力端子Qから出力する。」（乙3段落【0029】）との記載及び図1（別紙図面3）によれば、第2ラッチ回路（12）は、クロック信号（CLK）の立ち上がりで同一配線上の入力データ信号（D）を保持していると認められる。他方、本願発明2は、その構成について、「信号（2）のポジティブ・エッジで同一配線上の入力データを処理する回路（4）」として特定されているにすぎず、引用例における第2ラッチ回路（12）と対応するものといえる。さらに、引用例には、2個のラッチ回路が、クロック信号（CLK）の立ち上がり時以降のデータ信号と、クロック信号の立下がり時以降のデータ信号とを、それぞれ保持するので、同一周期のクロック信号で2倍のデータが処理可能になるとの作用効果が示されており、本願発明2と同様な作用効果を有している。なお、引用例においても、本願発明2と同様に、入力される

データを高速に処理することを目的として、複数の回路を組み合わせることで、その回路全体を高速化するための構成が示されており、単一のフリップフロップを論じているわけではない。

したがって、本願発明 2 の作用効果も、引用発明から当業者が容易に予測できる範囲のものであるとした審決の判断に誤りはない。

(3) 以上によれば、当業者が引用発明から本願発明 2 に着想することは容易であり、審決の本願発明 2 に関する容易想到性判断に誤りはない。

4 取消事由 4 (本願発明 1 の容易想到性判断の誤り) に対し

前記 3 のとおり、本願発明 2 は、引用発明に基づいて容易に着想できたものであり、本願発明 1 も同様に容易に着想できたものであるから、審決の本願発明の容易想到性判断に誤りはない。

第 5 当裁判所の判断

当裁判所は、原告が主張する取消事由には理由がなく、審決を取り消すべき違法は認められないから、原告の請求を棄却すべきものと判断する。その理由は、以下のとおりである。

1 引用例の記載

引用例 (乙 3) には以下の記載がある。

【 0 0 0 1 】【 産業上の利用分野 】本発明は、近年集積回路に広く用いられるカウンタや、あるいはシフトレジスタ等に用いるのに好適なエッジトリガ型フリップフロップに係り、特に、用いる回路素子の高速化等によって生じてしまうコスト上昇を抑えながら、フリップフロップとしての機能の高速化を図ることが可能なエッジトリガ型フリップフロップに関する。

【 0 0 0 4 】図 1 2 (判決注・別紙図面 5) は、従来から用いられているエッジトリガ型フリップフロップの一例の論理回路図である。この図 1 2 (判決注・別紙図面 5) では、合計 2 個の D 型ラッチ回路 7 及び 8 を用いたエッジトリガ型フリップフロップが示されている。

【0005】前記D型ラッチ回路7は、負論理のゲートイネーブル入力端子(Gバー)を有している。該D型ラッチ回路7は、前記ゲートイネーブル入力端子(Gバー)へと“0”が入力されている時には、入力端子Dへと入力されている論理状態と同一の論理状態が、その出力端子Qへとそのまま出力される。一方、前記ゲートイネーブル入力端子(Gバー)へと“1”が入力されると、該ゲートイネーブル入力端子(Gバー)へとこのように“1”が入力される直前の、その前記データ入力端子Dの論理状態を保持し、又該論理状態をその前記データ出力端子Qへと出力する。

【0006】前記D型ラッチ回路8は、正論理のゲートイネーブル入力端子Gを有する。該D型ラッチ回路8は、その前記ゲートイネーブル入力端子Gへと“1”が入力されている時には、その入力端子Dへと入力されている論理状態が、そのデータ出力端子Qから出力される。一方、該D型ラッチ回路8は、そのゲートイネーブル入力端子Gへと“0”が入力されると、該ゲートイネーブル入力端子Gへとこのように“0”が入力される直前の、その前記データ入力端子Dへと入力されていた論理状態を保持し、又該論理状態をその前記データ出力端子Qから出力する。

【0007】これら合計2個の前記D型ラッチ回路7及び8について、この図12(判決注・別紙図面5)に示されるエッジトリガ型フリップフロップでは、前記D型ラッチ回路7のデータ入力端子Dが、当該エッジトリガ型フリップフロップのそのデータ入力端子Dとなっている。又、前記D型ラッチ回路8の前記データ出力端子Qが、当該エッジトリガ型フリップフロップのデータ出力端子Qとなっている。前記D型ラッチ回路7の前記データ出力端子Qは、前記D型ラッチ回路8の前記データ入力端子Dへと接続されている。又、前記D型ラッチ回路7の前記ゲートイネーブル入力端子(Gバー)と前記D型ラッチ回路8の前記ゲートイネーブル入力端子Gとは互いに接続され、これらは、当該エッジトリガ型フリップフロップのクロック入力端子C

L Kとなっている。

【0009】【発明が達成しようとする課題】近年，装置全体の性能向上等を図るために，その装置に組み込まれる論理回路の高速化が図られている。…

【0010】従来，前記図12（判決注・別紙図面5）に示されるもの等，エッジトリガ型フリップフロップの高速化は，用いる回路素子の高速化によっていた。・・・しかしながら，このような用いる回路素子の高速化には限界があるものであり，又，コスト上昇等の問題もある。

【0011】又，カウンタやシフトレジスタは，そのクロック周波数を2倍にすれば，その動作速度も2倍にできる。しかしながら，クロック周波数を高くすると，チップ全体の消費電力が大きくなるという問題もある。

【0012】本発明は，前記従来の問題点を解決するべくなされたもので，用いる回路素子の高速化等によって生じてしまうコスト上昇を抑えながら，フリップフロップとしての機能の高速化を図ることが可能なエッジトリガ型フリップフロップを提供することを目的とする。

【0013】【課題を達成するための手段】本発明のエッジトリガ型フリップフロップは，正論理のゲートイネーブル入力端子Gを有する第1ラッチ回路と，負論理のゲートイネーブル入力端子（Gバー）を有する第2ラッチ回路と，その選択入力端子Sが“1”の時には，その入力端子1の論理状態に従ってその出力の論理状態が定まり，一方，その選択入力端子Sが“0”の時には，その入力端子0の論理状態に従ってその出力の論理状態が定まるマルチプレクサとを備え，前記第1ラッチ回路のデータを設定するための入力端子と前記第2ラッチ回路のデータを設定するための入力端子とが，対応するもの同士で接続され，このように互いに接続されたものが，当該エッジトリガ型フリップフロップ全体のデータを設定するための入力端子となり，前記第1ラッチ回路の前記ゲートイネーブル入力端子Gと，前記第2ラッチ回路の前記ゲートイネーブル入力端子（Gバー）と，前記マルチプレクサの前記

選択入力端子Sとが、互いに接続され、このように互いに接続されたものが、当該エッジトリガ型フリップフロップ全体のクロック入力端子CLKとなり、前記第1ラッチ回路の出力と、前記マルチプレクサの前記入力端子0とが接続され、前記第2ラッチ回路の出力と、前記マルチプレクサの前記入力端子1とが接続され、前記マルチプレクサの前記出力が、当該エッジトリガ型フリップフロップ全体の出力端子Qとなっていることにより、前記課題を達成したものである。

【0025】この図1（判決注・別紙図面3）に示される如く、本発明のエッジトリガ型フリップフロップは、第1ラッチ回路11と、第2ラッチ回路12と、マルチプレクサ13とにより構成されている。

【0026】前記第1ラッチ回路11は、正論理のゲートイネーブル入力端子Gを有する。又、前記第2ラッチ回路12は、負論理のゲートイネーブル入力端子（Gバー）を有する。前記マルチプレクサ13は、その選択入力端子Sが“1”の時には、その入力端子1の論理状態に従ってその出力端子Uの論理状態が定まり、一方、その選択入力端子Sが“0”の時には、その入力端子0の論理状態に従ってその出力端子Uの論理状態が定まるものである。

【0027】又、本発明のエッジトリガ型フリップフロップでは、前記第1ラッチ回路11の入力端子と前記第2ラッチ回路12の入力端子とが、対応するもの同士で接続され、このように互いに接続されたものが、当該エッジトリガ型フリップフロップ全体の入力端子となっている。又、該エッジトリガ型フリップフロップでは、前記第1ラッチ回路の前記ゲートイネーブル入力端子Gと、前記第2ラッチ回路の前記ゲートイネーブル入力端子（Gバー）と、前記マルチプレクサの前記選択入力端子Sとが、互いに接続され、このように互いに接続されたものが、当該エッジトリガ型フリップフロップ全体のクロック入力端子CLKとなっている。又、該エッジトリガ型フリップフロップでは、前記第1ラッチ回路11の出力端子Qと、前記マルチプレクサ

13の前記入力端子0とが接続され、前記第2ラッチ回路12の出力端子Qと、前記マルチプレクサ13の前記入力端子1とが接続され、前記マルチプレクサの前記出力Uが、当該エッジトリガ型フリップフロップ全体の出力端子Qとなっている。

【0028】このような構成の本発明のエッジトリガ型フリップフロップにおいて、前記クロック入力端子CLKに入力されるデータ信号が“0”となると、該信号の立下がり時、あるいは該立下がり時の直前の前記データ信号の論理状態が保持される。又、このように保持される論理状態に従った論理状態が、該第1ラッチ回路11の出力端子Qから出力される。又、このように前記クロック入力端子CLKへと“0”が入力されている時には、これに保持されている論理状態や、該第2ラッチ回路12から出力される論理状態は、前記データ信号に従って随時切り替えられる。即ち、該データ信号は保持されない。

【0029】一方、前記クロック入力端子CLKへと“1”が入力されると、前記第2ラッチ回路12は、前記クロック入力端子CLKに入力されるデータ信号の立上がり時、あるいは該立上がりの直前に入力されるデータ信号の論理状態を保持し、又保持された該論理状態に従った論理状態をその出力端子Qから出力する。又、このように前記クロック入力端子CLKへと“1”が入力されている時には、前記第1ラッチ回路11においては、これに入力されるデータ信号は保持されず、入力される該データ信号に従って、随時その出力の論理状態が変化する。

【0030】このように動作する前記第1ラッチ回路11及び前記第2ラッチ回路12に対して、前記マルチプレクサ13は、その選択入力端子Sへと入力されるクロック信号に従って、前記第1ラッチ回路11の出力又は前記第2ラッチ回路12の出力のいずれか一方を選択し、その前記出力Uから出力する。このような該マルチプレクサ13の信号選択は、前記第1ラッチ回路

1 1 と前記第 2 ラッチ回路 1 2 とのうち，入力されているデータ信号を保持しているものの出力を選択するというものである。例えば，前記クロック信号が“ 0 ”の時には，前記第 1 ラッチ回路 1 1 が前記データ信号を保持しているので，前記マルチプレクサ 1 3 は，該第 1 ラッチ回路 1 1 の出力を選択する。又，例えば前記クロック信号が“ 1 ”の時には，前記第 2 ラッチ回路 1 2 が前記データ信号を保持しているので，前記マルチプレクサ 1 3 は該第 2 ラッチ回路 1 2 の出力を選択する。

【0 0 3 1】このような本発明のエッジトリガ型フリップフロップでは，合計 2 個のラッチ回路を備え，一方のラッチ回路が前記クロック信号の立上がり時以降前記データ信号を保持し，他方の前記ラッチ回路が前記クロック信号の立下がり時以降前記データ信号を保持するようになっている。従って，本発明のエッジトリガ型フリップフロップは，前記クロック信号の立上がり時も，又該クロック信号の立下がり時も，これに保持されている論理状態，又，これから出力される論理状態を，これに入力される前記データ信号に従って切り替えることが可能である。

【0 0 3 2】従って，このような本発明のエッジトリガ型フリップフロップによれば，同一周波数（周期）の前記クロック信号であっても，従来に比べ，フリップフロップとしての動作速度を 2 倍にすることが可能である。従って，本発明によれば，用いる回路素子の高速化等によらず，フリップフロップとしての機能の高速化を図ることが可能である。

2 判断

(1) 取消事由 1 (引用発明の認定の誤り) 及び取消事由 2 (本願発明 2 と引用発明との相違点の認定の誤り) について

原告は， 審決が，引用発明のマルチプレクサにおいては，「クロック信号 (C L K) が“ 0 ”の時に第 1 ラッチ回路 (1 1) の出力を選択し，“ 1 ”の時に第 2 ラッチ回路 (1 2) の出力を選択」している点を看過して，「クロッ

ク信号（CLK）が“0”の時第1ラッチ回路（11）の出力を選択する」とのみ認定した点に誤りがあり、また、審決が、「本願発明2の回路（1）はポジティブ・エッジで処理する」のに対し、引用発明のマルチプレクサ（13）は「クロック信号（CLK）が“0”の時に第1ラッチ回路（11）の出力を選択し、“1”の時に第2ラッチ回路（12）の出力を選択する」ことを相違点としなかった点に、相違点を看過した誤りがあると主張する。

しかし、原告の主張は、以下のとおり失当である。すなわち、

前記1の引用例の記載によれば、引用発明のマルチプレクサ（13）は、クロック信号（CLK）が“0”の時に第1ラッチ回路（11）の出力を選択しているのであるから、引用発明の内容としては、「クロック信号（CLK）が“0”の時第1ラッチ回路（11）の出力を選択するマルチプレクサ（13）」との認定で足り、それに加えて、クロック信号（CLK）が“1”の時に第2ラッチ回路（12）の出力を選択することを認定する意味はない。審決の引用発明の認定に誤りはない。

また、本願発明2においては、回路（1）は、信号（2）のネガティブ・エッジで保持された入力データを処理しているのであるから、本願発明2と引用発明とを対比するに当たっては、同じタイミングで保持された入力データの挙動に着目して対比するのが相当である。そして、引用発明のマルチプレクサ（13）においては、第1ラッチ回路（11）がクロック信号（CLK）の立下がり時（ネガティブ・エッジ）に保持したデータ信号（D）（入力データ）を、クロック信号（CLK）が“0”の時に選択しているのに対して、本願発明2においては、信号（2）のポジティブ・エッジを回路（1）の動作条件としている点で相違する。したがって、上記の点を本願発明2と引用発明の相違点とすることで足りるものというべきであり、審決の認定に相違点を看過した誤りはない。

したがって、原告の上記主張は採用することができない。

(2) 取消事由 3 (本願発明 2 の容易想到性判断の誤り) について

ア 原告は、引用発明から本願発明 2 の相違点に係る構成に想到することは容易でないと主張する。

しかし、原告の主張は、以下のとおり、失当である。すなわち、

引用例の前記段落【 0 0 0 4 】ないし【 0 0 0 7 】の記載及び図 1 2 (別紙図面 5) から、2 つの D 型ラッチ回路 7 , 8 が直列に接続された構成のエッジトリガ型フリップフロップ、及び前段の回路によりクロック信号の一方のエッジで保持したデータ信号を、後段の回路によりクロック信号の他方のエッジで保持して出力するように動作する回路構成が広く知られていることが認められる。ところで、引用発明は、クロック信号の立下がり時と立上がり時 (ネガティブ・エッジとポジティブ・エッジ) に保持したデータ信号 (D) を、マルチプレクサ (1 3) により切り替えて出力するものであり、第 1 ラッチ回路 (1 1) によりクロック信号 (C L K) のネガティブ・エッジで保持したデータ信号 (D) を、マルチプレクサ (1 3) によりクロック信号 (C L K) が “ 0 ” の時に出力する処理と、第 2 ラッチ回路 (1 2) によりクロック信号 (C L K) のポジティブ・エッジで保持したデータ信号 (D) を、マルチプレクサ (1 3) によりクロック信号 (C L K) が “ 1 ” の時に出力する処理を含むものである。この点、上記第 1 ラッチ回路 (1 1) によりクロック信号 (C L K) のネガティブ・エッジで保持したデータ信号 (D) についてみれば、マルチプレクサ (1 3) は、第 1 ラッチ回路 (1 1) から入力されたデータ信号 (D) をクロック信号 (C L K) に応じて出力する処理を行っており、上記周知技術に照らすと、上記マルチプレクサ (1 3) による処理を、クロック信号 (C L K) のポジティブ・エッジで動作する回路による処理に変更することは、当業者が容易に着想することができたものと認められる。なお、第 2 ラッチ回路 (1 2) により保持されるデータ信号 (D) についてみれば、第 2 ラッ

チ回路(12)は、クロック信号(CLK)のポジティブ・エッジでデータ信号(D)を保持し、マルチプレクサ(13)に出力する処理を行うものであるから、本願発明2における「信号(2)のポジティブ・エッジで同一配線上の入力データを処理する回路(4)」に相当するものと認められる。

イ これに対し、原告は、両エッジで作動するマルチプレクサ(13)を、ポジティブ・エッジで作動するように回路を書き換えると、マルチプレクサ(13)が機能しなくなるから、本願発明2を容易に想到することができない旨主張する。しかし、原告の主張は、以下のとおり採用できない。すなわち、本願発明2は、回路(1)について、「信号(2)のポジティブ・エッジでフリップフロップ(3)の出力を処理する回路(1)」と特定するのみであり、ポジティブ・エッジで動作させるための構成も処理内容も特定していない。そうすると、特定の回路構成を前提とした原告の上記主張は、本願発明2の特許請求の範囲の記載を前提とした主張とはいえず、採用の限りでない。

また、原告は、引用発明において、クロック信号(CLK)が“0”の時に第1ラッチ回路(11)の出力を選択する構成に換えて、クロック信号(CLK)のポジティブ・エッジで第1ラッチ回路(11)の出力を選択する構成としたとしても、マルチプレクサ(13)及びその内部回路の動作部分は、クロック信号(CLK)の立上がりと立下がりの両方のエッジで選択、非選択の処理を行うことになり、本願発明2とは処理内容が異なるから、本願発明2を容易に想到することはできないと主張する。しかし、原告のこの点の主張も失当である。すなわち、仮に、上記置換を行った場合に、引用発明のマルチプレクサ(13)及びその内部回路の動作部分が、両方のエッジで選択、非選択の処理を行うことになるとしても、当該処理には、ポジティブ・エッジで選択をする処理が含まれるのであるか

ら、本願発明 2 とは処理内容が異なるとはいえない。

したがって、原告の上記主張は採用することができない。

ウ 原告は、本願発明 2 と引用発明とは、回路構造、作用効果において相違するから、引用発明に基づいて本願発明 2 の相違点に係る構成に想到することは容易でない」と主張する。

しかし、原告の上記主張も、以下のとおり理由がない。すなわち、本願発明 2 は、「フリップフロップ (3) の出力を処理する回路 (1)」、「信号 (2) のポジティブ・エッジで同一配線上の入力データを処理する回路 (4)」として発明を特定しているものの、各回路における入力データの処理内容を特定するものではない。他方、引用発明においても、第 2 ラッチ回路 (1 2) は、データ信号 (D) を保持し、マルチプレクサ (1 3) に出力するという処理を行うものであり、マルチプレクサ (1 3) は、第 1 ラッチ回路 (1 1) が保持したデータ信号 (D) を、後段の回路に出力するという処理を行うものであるから、1 つのデータ信号 (D) を 2 つの回路で処理しているといえることができる。また、引用発明のエッジトリガ型フリップフロップは、単一のフリップフロップであるとともに、全体として、データ信号 (D) を保持して後段の回路に出力するという処理を行うものであるから、入力データを処理する回路といえることができる。したがって、本願発明 2 と引用発明の回路構造は、相違するものではなく、回路構成の相違を根拠として、引用発明から、本願発明 2 を想到することは困難であるとする原告の主張は、採用できない。

また、作用効果が異なるとの原告の主張について検討すると、上記のとおり、本願発明 2 では、各回路の構成や処理内容は特定されていないので、回路 (1) 及び回路 (4) がそれぞれ等倍の速さでデータを処理するという効果は、本願発明 2 の構成から導かれるものではない。次に、データ処理における高速化を実現できるという効果に係る原告の主張について検討

すると、確かに、本願発明2は、信号(2)のネガティブ・エッジとポジティブ・エッジの両方のエッジで入力データを保持して処理する構成を備えたことにより、2倍のデータを処理できるという作用効果を認めることができるが、引用発明においても、クロック信号(CLK)の立上がり時と立下がり時の両方のエッジでデータ信号(D)の論理状態を保持して処理することにより、同一周期のクロック信号(CLK)で2倍のデータを処理することが可能であるといえる。したがって、本願発明2と引用発明の作用効果における相違はない。

以上によれば、原告の上記主張は採用することができない。

エ 前記アないしウによれば、本願発明2は、引用発明に基づいて、容易に着想することができたものであり、審決の容易想到性判断に誤りはない。

(3) 取消事由4(本願発明1の容易想到性判断の誤り)について

前記(2)のとおり、本願発明2は、引用発明に基づいて容易に想到することができた以上、本願発明1も同様に、引用発明に基づいて容易に想到することができたといえる。審決の本願発明1の容易想到性判断に誤りはない。

3 結論

以上のとおり、原告の主張する取消事由には理由がなく、他に本件審決にはこれを取り消すべき違法は認められない。その他、原告は、縷々主張するが、いずれも、理由がない。

よって、主文のとおり判決する。

知的財産高等裁判所第3部

裁判長裁判官

飯 村 敏 明

裁判官

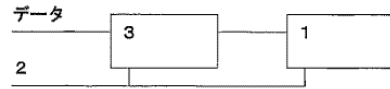
中 平 健

裁判官

知 野 明

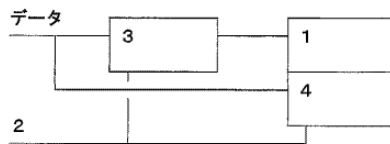
(別紙) 図面 1 [本願明細書 図 1]

第 1 図

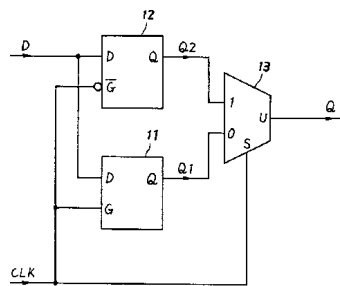


図面 2 [本願明細書 図 2]

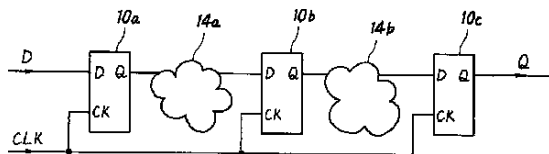
第 2 図



図面 3 [引用例 図 1]



図面 4 [引用例 図 4]



図面 5 [引用例 図 1 2]

