令和４年３月２８日判決言渡

令和２年（行ケ）第１０１４６号　特許取消決定取消請求事件

口頭弁論終結日　令和４年２月２日

判　　　　　決

原　　　　　告　ビューワークス　カンパニー　リミテッド

同訴訟代理人弁護士　大　野　聖　二

同訴訟代理人弁理士　松　野　知　紘

被　　　　　告　特　許　庁　長　官

同指定代理人　中　村　則　夫

同　渡　辺　努

同　清　水　正　一

同　木　方　庸　輔

主　　　　　文

１　原告の請求を棄却する。

２　訴訟費用は原告の負担とする。

３　この判決に対する上告及び上告受理申立てのための付加期間を３０日と定める。

事　実　及　び　理　由

第１　請求

特許庁が異議２０１８－７０１０５０号事件について令和２年８月１８日にした決定を取り消す。

第２　事案の概要

１　特許庁における手続の経緯等（当事者間に争いがない。）

(1)　原告は、発明の名称を「ＴＤＩラインイメージセンサ」とする発明について、平成２７年５月１４日（優先日平成２６年５月１５日（以下「本件優先日」という。）、優先権主張国韓国）を国際出願日とする特許出願（特願２０１６－５６７８５０号。以下「本件出願」という。）をし、平成３０年６月８日、特許権の設定登録を受けた（特許第６３４８９９２号。請求項の数１。以下、この特許を「本件特許」という。）。

(2)　本件特許について、平成３０年１２月２５日、株式会社レクレアルから特許異議の申立て（異議２０１８－７０１０５０号事件）がされた。

(3)　原告は、平成３１年３月１８日、取消理由通知を受けたため、令和元年６月２４日付けで特許請求の範囲及び本件出願の願書に添付した明細書（以下「本件明細書」という。）の記載について訂正請求をしたが、同年８月２９日、取消理由通知を受け、さらに同年１２月４日付けで特許請求の範囲及び本件明細書の記載について訂正請求をしたが、令和２年２月７日、取消理由通知を受けたため、同年５月１３日付けで特許請求の範囲及び本件明細書の記載について訂正請求（以下、この請求に係る訂正を「本件訂正」という。）をした。

その後、特許庁は、令和２年８月１８日、本件訂正を認めた上で、「特許第６３４８９９２号の請求項１に係る特許を取り消す。」との決定（以下「本件決定」という。）をし（付加期間９０日）、その謄本は、同年９月１日、原告に送達された。

(4)　原告は、令和２年１２月２４日、本件決定の取消しを求める本件訴訟を提起した。

２　特許請求の範囲の記載

(1)　本件訂正後の特許請求の範囲の請求項１の記載は、以下のとおりである（以下、本件訂正後の請求項１に係る発明を「本件発明」という。）。

【請求項１】

Ｍ個のＣＣＤが一列配列されたラインセンサーと、スキャン方向に並列にＮ個の前記ラインセンサーが配列されて、前記ラインセンサーのコラム別に蓄積された電荷を並行方向に移動させて蓄積する画素部；および

前記画素部に蓄積された前記電荷をコラム別に並列入力を受けてＡＤ変換して保存した後順次出力する出力部を含み、

前記出力部は、

前記画素部に蓄積された前記電荷をコラム別に電荷保存ノードに並列入力を受けてそれぞれ増幅するためのＭ個の増幅器；

前記増幅器から出力される各信号をＡＤ変換するＭ個のＡＤ変換器；および

前記ＡＤ変換器の出力を保存して順次出力するメモリーバッファー；を含み

前記増幅器は、前記画素部のＮ個の前記ラインセンサーのうち最後のラインセンサーから電荷が移動して蓄積された電荷保存ノードの電位によりターンオンされて電圧値を出力するソースフォロワ増幅器であり、

コラム別に、前記Ｍ個のＣＣＤに蓄積された電荷が、前記電荷保存ノードに蓄積され、その蓄積された電荷は前記各ソースフォロワ増幅器を通じて増幅された後、前記各ＡＤ変換器を通じてＡＤ変換されて出力され、前記コラム別に設けられたリセットゲートを通じて、前記コラム別に設けられたリセットドレインに連結された電圧に前記電荷保存ノードをリセットさせ、

前記電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、前記電荷保存ノードをリセットさせることと、が交互に行われることを特徴とする、ＴＤＩラインイメージセンサ。

(2)　本件決定が分説した請求項１は、以下のとおりである。

（Ａ）Ｍ個のＣＣＤが一列配列されたラインセンサーと、スキャン方向に並列にＮ個の前記ラインセンサーが配列されて、前記ラインセンサーのコラム別に蓄積された電荷を並行方向に移動させて蓄積する画素部；および

（Ｂ）前記画素部に蓄積された前記電荷をコラム別に並列入力を受けてＡＤ変

換して保存した後順次出力する出力部を含み、

前記出力部は、

（C）前記画素部に蓄積された前記電荷をコラム別に電荷保存ノードに並列入力を受けてそれぞれ増幅するためのM個の増幅器；

（D）前記増幅器から出力される各信号をＡＤ変換するM個のＡＤ変換器；および

（E）前記ＡＤ変換器の出力を保存して順次出力するメモリーバッファー；を含み、

（F）前記増幅器は、前記画素部のＮ個の前記ラインセンサーのうち最後のラインセンサーから電荷が移動して蓄積された電荷保存ノードの電位によりターンオンされて電圧値を出力するソースフォロワ増幅器であり、

（G）コラム別に、前記M個のＣＣＤに蓄積された電荷が、前記電荷保存ノードに蓄積され、その蓄積された電荷は前記各ソースフォロワ増幅器を通じて増幅された後、前記各ＡＤ変換器を通じてＡＤ変換されて出力され、前記コラム別に設けられたリセットゲートを通じて、前記コラム別に設けられたリセットドレインに連結された電圧に前記電荷保存ノードをリセットさせ、

（H）前記電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、前記電荷保存ノードをリセットさせることと、が交互に行われる

（Ｉ）ことを特徴とする、ＴＤＩラインイメージセンサ。

３　本件決定の要旨

(1)　本件決定が認定した本件優先日前に頒布された刊行物である米国特許第７７９６１７４号明細書（甲２。以下「甲２文献」という。）に記載された発明（以下「甲２発明」という。）、本件発明と甲２発明の一致点及び相違点は、以下のとおりである。

ア　甲２発明

（２ａ）ＣＣＤイメージングセンサアレイ１２４は、複数のサブアレイ１２

０４に属するピクセル６０４を含み、

（２ｂ）ピクセルの各列は、センスノード８０４に接続し、センスノード８０４はフローティングディフュージョンへのコンタクトを有し、

（２ｃ）各センスノード８０４には、増幅器１２０８が接続され、増幅器はソースフォロアで構成され、

（２ｄ）各センスノード８０４には、当該センスノード８０４をリセットするためのリセットトランジスタが接続され、当該リセットトランジスタは、ゲートと、Ｖｒｅｓｅｔに接続されたダイオードドレインを有し、

（２ｅ）ピクセルからの信号は、アナログデジタル変換器１２２０により処理され、シリアライザ１２２４により処理される

（２ｆ）ＴＤＩイメージャ。

イ　一致点及び相違点

（一致点）

（Ａ）Ｍ個のＣＣＤが一列配列されたラインセンサーと、スキャン方向に並列にＮ個の前記ラインセンサーが配列されて、前記ラインセンサーのコラム別に蓄積された電荷を並行方向に移動させて蓄積する画素部；および

（Ｂ）前記画素部に蓄積された前記電荷をコラム別に並列入力を受けてＡＤ変換して保存した後順次出力する出力部を含み、

前記出力部は、

（Ｃ）前記画素部に蓄積された前記電荷をコラム別に電荷保存ノードに並列入力を受けてそれぞれ増幅するためのＭ個の増幅器；

（Ｄ）前記増幅器から出力される各信号をＡＤ変換するＭ個のＡＤ変換器；および

（Ｅ’）前記ＡＤ変換器の出力を保存して順次出力する手段；を含み、

（Ｆ）前記増幅器は、前記画素部のＮ個の前記ラインセンサーのうち最後のラインセンサーから電荷が移動して蓄積された電荷保存ノードの電位に

よりターンオンされて電圧値を出力するソースフォロワ増幅器であり、

（G）コラム別に、前記M個のＣＣＤに蓄積された電荷が、前記電荷保存ノードに蓄積され、その蓄積された電荷は前記各ソースフォロワ増幅器を通じて増幅された後、前記各ＡＤ変換器を通じてＡＤ変換されて出力され、前記コラム別に設けられたリセットゲートを通じて、前記コラム別に設けられたリセットドレインに連結された電圧に前記電荷保存ノードをリセットさせ、

（H）前記電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、前記電荷保存ノードをリセットさせることと、が交互に行われる

（Ｉ）ことを特徴とする、ＴＤＩラインイメージセンサ。

（相違点）

「前記ＡＤ変換器の出力を保存して順次出力する手段」が、本件発明においては「メモリーバッファー」であるのに対し、甲２発明においては「シリアライザ」である点。

(2)　相違点に関する本件決定の判断は以下のとおりである。

甲２発明における「シリアライザ」は、「前記ＡＤ変換器の出力を保存して順次出力する」ものであり、この動作を「メモリー」を用いて行うことができることは明らかである。

また、「メモリー」は、「メモリーバッファー」ともいえるから、相違点に係る構成は当業者が容易に想到し得ることである。

したがって、本件発明は、甲２発明に基づいて当業者が容易に発明できたものであるから、特許法２９条２項の規定により特許を受けることができないものであり、本件特許の請求項１に係る特許は取り消されるべきものである。

第３　当事者の主張

１　原告の主張

(1)　甲２発明の認定の誤り

本件発明は、「ＴＤＩラインイメージセンサ」であり、本件明細書の記載を参酌すると、「ＴＤＩラインイメージセンサ」とは、「ＴＤＩラインスキャン方式のイメージセンサ」であり（【００１０】)、「ラインスキャン方式」とは「一度に一ラインずつ任意の速度で露出および転送する方式」(【０００７】)とされていることから、本件発明は、一度に一ラインずつ電荷の転送を行うラインスキャン方式のＴＤＩラインイメージセンサである。そして、本件発明は、一度に一ラインずつ電荷の転送を行うために、「前記電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、前記電荷保存ノードをリセットさせることと、が交互に行われ」るとの発明特定事項（構成要件Ｈ）を有しており、「電荷保存ノードが１つのラインセンサーの電荷の入力を受けること」と、「電荷保存ノードをリセットさせること」との関係として、これらが交互に行われることが特定されているから、本件発明と対比する甲２発明の認定においては、「ラインセンサーの電荷の入力を受けること」と、「電荷保存ノードをリセットさせること」との関係を認定すべきである。そうすると、甲２の第８欄５８～６０行には、「After being sensed(possibly multiple times), the signal charge packets can be removed through a diode drain」（訳：検知された後（おそらく複数回)、信号電荷パケットはダイオードドレインを介して除去することができる。）との記載があり、また、本件決定は、上記の「After being sensed(possibly multiple times)」について、「possibly」が確信度が低い副詞であることを勘案すると、「検知された後（複数回の場合もある)」という意味に理解するのが適切であると判断しているのであるから、甲２発明は、以下のとおり認定されるべきである（下線部が本件決定と異なる点である。)。

（２ａ）　ＣＣDイメージングセンサアレイ１２４は、複数のサブアレイ１２０４に属するピクセルを含み、

（２ｂ）　ピクセルの各列は、センスノード８０４に接続し、センスノード８０４はフローティングディフュージョンへのコンタクトを有し、

（２ｃ）　各センスノード８０４には、増幅器１２０８が接続され、増幅器はソースフォロアで構成され、

（２ｄ）　各センスノード８０４には、当該センスノード８０４をリセットするためのリセットトランジスタが接続され、当該リセットトランジスタは、ゲートと、Ｖｒｅｓｅｔに接続されたダイオードトレインを有し、

（２ｄ’）　各センスノード８０４に蓄積された電荷が複数回検知された後に、各センスノード８０４の信号電荷パケットが除去される場合もあり、

（２ｅ）　ピクセルからの信号は、アナログデジタル変換器１２２０により処理され、シリアライザ１２２４により処理される

（２ｆ）　ＴＤＩイメージャ。

(2)　取消事由１（相違点２又は２’の看過）

ア　相違点２

（ア）　甲２発明の「センスノード」は本件発明の「電荷保存ノード」に相当し、甲２発明において「センスノード」に「電荷」が「蓄積され」て「検知され」ることは、本件発明において「電荷保存ノード」が「１つのラインセンサーの電荷の入力を受ける」ことに相当する。そして、甲２発明において「センスノード８０４の信号電荷パケットが除去される」ことは、本件発明において「電荷保存ノードをリセットさせること」に相当するから、本件発明と甲２発明の相違点としては、本件決定が認定した相違点に加えて、以下の相違点２も認定されるべきである。

［相違点２］

本件発明では、電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、電荷保存ノードをリセットさせることと、が交互に行われる、一度に一ラインずつ電荷の転送を行うラインスキャン方式のＴ

ＤＩラインイメージセンサであるのに対し、甲２発明では、電荷保存ノードが１つのラインセンサーの電荷の入力を複数回受けた後に、電荷保存ノードをリセットさせる場合があり、一度に一ラインずつ電荷の転送を行うラインスキャン方式であるか否かが不明である点。

（イ）　「複数回受けた後に」という構成を有する甲２発明を「交互に」行うと変更する動機付けはなく、また、甲２発明におけるラインセンサーからの電荷入力を複数回受けた後にリセットを行うという動作は、複数ラインからの電荷信号を積算することを意味しており、ライン方向の解像度を犠牲にするかわりに感度を向上させるという技術思想に基づくものである。これに対して、本件発明は、電荷入力とリセットとを交互に行って一度に一ラインずつ電荷の転送を行うことで感度を犠牲にしつつ解像度を向上させるという技術思想であり（本件明細書の【００１５】）、相違点２は、本件発明の容易想到性の判断の結論に影響するものである。

イ　相違点２’

仮に、本件決定がした甲２発明の認定に誤りがないとしても、甲２発明は、「電荷保存ノードが１つのラインセンサーの電荷の入力を受けること」と、「電荷保存ノードをリセットさせること」との関係が不明であるから、以下のとおりの相違点２’が認定されるべきであり、この相違点２’は、本件発明の容易想到性の判断の結論に影響するものである。

［相違点２’］

本件発明では、電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、電荷保存ノードをリセットさせることと、が交互に行われるのに対し、甲２発明ではそのようになっているのか不明である点。

ウ　被告の主張について

（ア）　被告は、後記２⑴のとおり、文献（乙２，３，５ないし７）を挙げて、「電荷保存ノード」に相当する「センスノード」が電荷を受け入れ、

センスノードに接続されたリセットトランジスタによるリセットが交互に行われることは技術常識(以下「本件技術常識」という。)であるから、相違点２は存しない旨主張する。

しかし、①甲２発明は、フローティングゲートアンプ(ＦＧＡ:Floating Gate Amplifier。以下「ＦＧＡ」と略する。) タイプであり、センスノード８０４に浮遊ゲート(ＦＧ)９０４が含まれ、②甲２発明における「センスノードをリセットさせる」とは、浮遊ゲート(ＦＧ)９０４を一定の電圧にすること(浮遊ゲート９０４のリセット)を含む、といった特徴を有するところ、特開２００２－１５８３４６号公報(乙２。公開日平成１４年５月３１日。以下「乙２文献」という。)及び特開昭６０－１６５７６０号公報(乙３。公開日昭和６０年８月２８日。以下「乙３文献」という。)に記載された発明は、フローティングディフュージョンアンプ(ＦＤＡ：Floating Diffusion Amplifier。以下「ＦＤＡ」と略する。)タイプであり、出力部の構成が甲２に記載された発明とは異なる(上記①の特徴を有しない。)。

次に、特開平７－１６１９６９号公報(乙６。公開日平成７年６月２３日。以下「乙６文献」という。)には、甲２発明における「浮遊ゲート９０４のリセット」に対応する事項の開示はなく、また、その【図５】及び【図６】において、ＦＧ３０には、甲２発明のリセットトランジスタに相当するものは接続されておらず、ＦＧ３０を一定の電圧にすることの示唆はないから、乙６文献に記載された発明は、上記②の特徴を有しない。

また、ＦＧＡタイプは、出力部の浮遊拡散領域(ＦＤ：Floating Diffusion)の上に絶縁膜を介して設けた検出電極(ＦＧ)の電位を検出するものであるところ、特開２００８－６００９７号公報(乙７。公開日平成２０年３月１３日。以下「乙７文献」という。)に記載された発明

は、コントロールゲート３５の電位を検出するものではなく、チャネル領域２１に生じた電位変化を駆動トランジスタ３１を介して信号出力をするものである（【００１８】）から、ＦＧＡタイプにおけるＦＧに該当しないため、ＦＧＡタイプではなく、上記①の特徴を有しない。仮に、乙７文献に記載された発明がＦＧＡタイプであるとしても、甲２発明における「浮遊ゲート９０４のリセット」に対応する事項の開示はないし、コントロールゲート３５には、甲２発明のリセットトランジスタに相当するものは接続されておらず（乙７の図１参照）、コントロールゲート３５を一定の電圧にすることの示唆すらないから、上記②の特徴を有しない。

このように、乙２文献及び乙３文献に記載された発明はＦＤＡタイプであり、乙７文献に記載された発明もＦＧＡタイプであるとはいえないから、これらは甲２発明に採用されている技術常識を認定する根拠になり得ず、仮にＦＧＡタイプであるとしても、甲２発明における「浮遊ゲート９０４のリセット」に対応する事項の開示はなく、また、乙６文献には、甲２発明における浮遊ゲート９０４のリセットの開示がないから、甲２発明に採用されている技術常識を認定する根拠となり得ない。

（イ）　また、仮に、本件技術常識が存在していたとしても、上記(1)のとおり、甲２文献の第８欄５８ないし６０行には、「検知された後（おそらく複数回）、信号電荷パケットはダイオードドレインを介して除去することができる。」という本件技術常識とは矛盾する記載があるのみならず、甲２発明は、ノイズが多いという課題に対して合算ウェルを設け、かつ、入力インピーダンスが高い（無限大である）電圧モード増幅器を用いるという手段によって、電荷の検出を複数回実行可能とし、それによってノイズを低減したものであって、複数の画素の電荷を合算することによってノイズ性能を向上させることはピクセルビニングと呼ばれる周知技

術を採用しており、この周知技術は本件技術常識と相反するものであることからすると、甲２発明は、本件技術常識を採用することなく、「電荷を複数回検出した後に、信号電荷パケットを除去する（リセットする）」という構成を採用している。

したがって、本件技術常識があるとしても、甲２発明は本件技術常識を採用していないから、本件発明と甲２発明には相違点２が存在する。

(3)　取消事由２（相違点３の看過）

ア　相違点３

（ア）　本件発明に係るＴＤＩラインイメージセンサは、Ｍ個のＣＣＤが一列配列されたラインセンサーと（構成要件Ａ）、Ｍ個の増幅器（構成要件Ｃ）と、Ｍ個のＡＤ変換器（構成要件Ｄ）とを含むものであり、Ｍ個の増幅器のそれぞれは、ラインセンサーに配列されたＭ個のＣＣＤのそれぞれに蓄積された電荷の並列入力を受け（構成要件Ｃ）、また、Ｍ個の変換器のそれぞれは、Ｍ個の増幅器から出力される各信号をＡＤ変換する（構成要件Ｄ）。

このように、本件発明のラインセンサーは、Ｍ個のＣＣＤを一列配置したものであり、かつ、Ｍ個の増幅器及びＭ個のＡＤ変換器が設けられている。そして、Ｍ個のＣＣＤのそれぞれに蓄積された電荷をＭ個の増幅器によって並列入力を受けて増幅し、Ｍ個の増幅器から出力される各信号をＭ個のＡＤ変換器によってＡＤ変換する構成となっている。

（イ）　これに対し、甲２文献の図１２をみると、ピクセルの各列に増幅器１２０８が設けられている（構成２ｂ、２ｃ）が、本件発明のＡＤ変換器に相当し得る「アナログデジタル変換器１２２０」は、１つのユニットとして図示されており、詳細な内部構成は不明である。

そうすると、甲２発明における増幅器１２０８及びアナログデジタル変換器１２２０が本件発明における増幅器及びＡＤ変換器にそれぞれ

対応するものであるとしても、本件発明と甲２発明を対比すると、本件決定が認定した相違点に加え、以下の相違点３も認定されるべきである。

［相違点３］

本件発明のラインセンサーはM個のＣＣＤが一列配置したものであり、かつ、M個の増幅器及びM個のＡＤ変換器が設けられており、M個のＣＣＤのそれぞれに蓄積された電荷をM個の増幅器によって並列入力を受けて増幅し、M個の増幅器から出力される各信号をM個のＡＤ変換器によってＡＤ変換するのに対し、

甲２発明のラインセンサーはM個のＣＣＤを一列配置したものであり、かつ、M個の増幅器が設けられているが、アナログデジタル変換器は１つのユニットであり、M個のＣＣＤのそれぞれに蓄積された電荷をM個の増幅器によって並列入力を受けて増幅するものの、M個の増幅器から出力される各信号を各ＡＤ変換器によってＡＤ変換するのか不明である点。

（ウ）　本件発明は、出力部における信号処理速度が高くないという従来のＴＤＩイメージセンサの問題（【００１１】ないし【００１４】）に対して、M個のカラム別にそれぞれ蓄積された電荷をM個のカラム別に並列に増幅してＡＤ変換するという相違点３の構成によって信号処理速度を高速化したものであり、設計的事項といえるものではなく、相違点３は容易想到性の判断の結論に影響するものである。

イ　被告の主張について

被告は、後記２(3)ウのとおり、各「増幅器１２０８」により出力された信号は、同時に「アナログデジタル変換器１２２０」に入力されるから、仮に、増幅器の個数と異なる個数のアナログデジタル変換器が複数の増幅器からの信号を同時に処理することにすると、各画素からの信号を混合して処理することになってしまう旨主張する。

しかし、アナログデジタル変換器の数を減らすべく、センサ（画素）からの読み出しを行うに際して、１つの増幅器につき１つのアナログデジタル変換器を設けるのではなく、複数の増幅器につき１つのアナログデジタル変換器を設けて（被告が主張する「増幅器の個数と異なる個数のアナログデジタル変換器を設けること」）、時分割でＡＤ変換を行うことは、本件優先日当時において広く知られている手法である（甲２４ないし２７）。

そうすると、増幅器とアナログデジタル変換器の数が異なる技術事項も従来から広く知られていたから、甲２発明において、１つのユニットであるアナログデジタル変換器１２２０に複数のＡＤ変換器があるとしても、その数は不明であるというべきであって、相違点３は認定されるべきである。

(4)　小括

以上によれば、本件決定には相違点の看過の誤りがあり、こうした相違点の看過は本件発明の容易想到性の判断の結論に影響するものであるから、本件決定は取り消されるべきである。

２　被告の主張

(1)　甲２発明の認定の誤りの主張に対し

ア　一般に、引用発明の認定に当たっては、本件発明の発明特定事項に相当する事項を過不足のない限度で認定すれば足り、特段の事情がない限り、本件発明の発明特定事項との対応関係を離れて、引用発明を必要以上に限定して認定する必要はない。本件決定で認定した甲２発明は、ＴＤＩイメージャとして本件発明の発明特定事項に相当する事項を過不足なく認定している。

原告が言及する「電荷保存ノードが１つのラインセンサーの電荷の入力を受けること」及び「電荷保存ノードをリセットさせること」に関連する事項は、本件発明では構成要件Ｈに「前記電荷保存ノードが１つのライン

センサーの電荷の入力を受けることと、前記電荷保存ノードをリセットさせることと、が交互に行われる」と特定されており、それのみである。

そして、甲２発明の「ピクセルの各列は、センスノードに接続」されており、「センスノード」は、本件発明の構成要件Ｆの「前記画素部のＮ個の前記ラインセンサーのうち最後のラインセンサーから電荷が移動して蓄積された電荷保存ノード」ということができるから、甲２発明において、電荷が「ピクセルの各列」から「センスノード」まで移動し、「センスノード」が電荷を受け入れ、後段の増幅器へその値を出力できるようになった状態が本件発明の構成要件Ｈの「電荷保存ノードが１つのラインセンサーの電荷の入力を受けること」に相当する。また、甲２発明がＴＤＩイメージャとして機能するためには、次の電荷の受入れに際して、先に受け入れた電荷をセンスノードからリセットすることは、後記イのとおり技術常識（本件技術常識）であり、これは、本件発明の構成要件Ｈの「電荷保存ノードをリセットさせることが、交互に行われる」ことに相当するものである。

したがって、本件決定は、甲２発明について、本件発明の構成要件Ｈに相当する事項を過不足なく認定しており、甲２発明の認定に誤りはない。

イ　なお、ラインセンサー等のＣＣＤ型固定撮像装置の技術分野において、電荷保存ノードに対して電荷を検出した後に電荷やノイズを完全に除去するためのリセットを行い、その後に次の電荷の入力を受け付けるという一連の動作を繰り返すことは、信号電荷を検出する方式としてＦＧＡ又はＦＤＡであるか否かにかかわらず、本件優先日当時における技術常識（本件技術常識）である（乙２、３、５ないし７）。

(2)　取消事由１（相違点２の看過）について

ア　上記(1)のとおり、本件発明と甲２発明とは、「電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、電荷保存ノードをリセット

させることと、が交互に行われる」点で一致するものであり、原告が主張する相違点２又は相違点２’はいずれも存しない。

原告は、相違点２に関し、「甲２発明では、電荷保存ノードが１つのラインセンサーの電荷の入力を複数回受けた後に、電荷保存ノードをリセットさせる場合が有り」と認定しているが、上記(1)のとおり、甲２発明は、電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、電荷保存ノードをリセットさせることが交互に行われるものであって、電荷保存ノードをリセットする前に、電荷保存ノードが１つのラインセンサーの電荷の入力を複数回受けるものではない。

イ　原告は、前記１(2)ウ(イ)のとおり、仮に本件技術常識があるとしても、①甲２文献の「検知された後（複数回）、信号電荷パケットは、ダイオードドレイン（図９には示されていない）を介して除去され得る」という記載や、②ノイズを低減させるために「合算ウェル」を用いるという記載は、本件技術常識と矛盾するので、甲２発明は本件技術常識を採用するものではない旨主張する。

しかし、甲２文献には、「検知された後（おそらく複数回）、信号パケットは、…除去され得る」との記載はあるものの、当該記載の「検知」は、「センスノード」が電荷を受け入れた後であって、リセットされる前（電荷の受け入れとリセットの間）に行われるもの、すなわち、①「センスノード」が電荷を受け入れ、②検知された後（おそらく複数回）、③「センスノード」から信号電荷パケットが除去されるという一連の構成が記載されており、本件技術常識は①と③に係るものであり、②の記載は本件技術常識と矛盾するものではない。

また、甲２文献の第６欄６１行～７欄１６行には、「他の実施形態では、合算ウェル６０８を採用しなくてもよい。（中略）したがって、積分期間の後、収集された電荷は、１つの画素６０４から直列に次の画素に転送され、

最後に、合算ウェルが採用されていない実施形態では、最後のウェル６１４に転送されてもよい。（中略）ここでも、ノイズ性能を向上させるために、センスノード８０４の直前に合算ウェル６０８を使用してもよい。」との記載があり、甲２発明において「合算ウェル」を採用することは必須でないことがわかる。本件決定は、甲２発明の認定において、「合算ウェル」を採用していない態様を基に認定したものであり、「合算ウェル」が本件技術常識と矛盾する構成であっても、甲２発明はそもそも「合算ウェル」を備えるものではないから、本件技術常識を踏まえて甲２発明を認定することに何らの誤りはない。

(3)　取消事由２（相違点３の看過）について

ア　甲２文献の第９欄３３～３６行には、「For purposes of clarify of illustration, not every column(row)of pixels is shown with associated sense node 804 or amplifiers 1208, or other components subsequently described in connection with the figure.」（訳：図面を明確にするために、画素のすべての列（行）が、関連付けられたセンスノード８０４又は増幅器１２０８、又は図に関連して説明される他のコンポーネントと一緒に示されているわけではない。）という記載があり、また、図１２には、「増幅器１２１６」と上下方向に並んで、３つの「･･･」という記号の記載があり、「アナログデジタル変換器１２２０」と「シリアライザ１２２４」とが接続する箇所においては、２つの増幅器１２１６からの出力線に対応する位置に接続線の記載がある。ここで、増幅器１２１６はそれぞれの画素からの出力に対応して設けられているものであるから、「･･･」という記号は、当業者であれば、本来は多数の増幅器１２１６が存在するものが図面上省略されていることを意味するものと理解できる。

そして、技術的にみると、甲２発明のＴＤＩイメージャにおいては、読み出し（検出）は列ごとに行われるから、各列の「センスノード８０４」

が受け入れた電荷の値は、各列に対応した「増幅器１２０８」が増幅し、それに１対１に対応する「増幅器１２１６」を経由して、同時に「アナログデジタル変換器１２２０」に入力され処理されるものと理解できる。

そうすると、甲２発明において、Ｍ個の増幅器１２０８から出力されるそれぞれの信号をＭ個のアナログデジタル変換器によってアナログデジタル変換することは、当業者にとって明らかであって、原告が主張する相違点３は存しない。

イ　仮に、本件発明と甲２発明の対比において、甲２発明のＡＤ変換器の数は不明であるという相違点３が存在するとしても、増幅器とＡＤ変換器とは１：１で設けることが一般的である（甲２４の【００７６】、甲２６の【０３０８】、甲２７の【０１８８】）から、相違点３は、実質的な相違点ではないか、甲２発明において増幅器とアナログデジタル変換器の数を同じくすることは、当業者にとって容易に想到し得たものである。

ウ　原告は、前記１(3)イのとおり、アナログデジタル変換器（ＡＤＣ）の数を減らすべく、センサ（画素）からの読み出しを行うに際して、複数の増幅器につき１つのＡＤＣを設けて時分割でＡＤ変換を行うことは広く知られている手法であり、増幅器とアナログデジタル変換器の数が異なる技術事項も従来から知られていたから、甲２発明において１つのユニットであるアナログデジタル変換器１２２０内に複数のＡＤ変換器があるとしても、その数は不明であり、相違点３が認定されるべきである旨主張する。

しかし、各「増幅器１２０８」により出力された信号は、同時に「アナログデジタル変換器１２２０」に入力されるから、仮に、増幅器の個数と異なる個数のアナログデジタル変換器が複数の増幅器からの信号を同時に処理することにすると、各画素からの信号を混合して処理することになってしまうが、甲２発明にはそのようなことを可能にする構成が記載されてはいない。

甲２発明は､「アナログデジタル変換器１２２０」の出力がパラレル信号として「シリアライザ１２２４」に入力され､「シリアライザ１２２４」によりシリアル信号に変換される構成であるから、仮に、複数の増幅器の出力に対して時分割でＡＤ変換を行うという構成を採用する場合には、増幅器とアナログデジタル変換器１２２０との間に時分割処理をするための構成が必要となるが､甲２文献の図１２には､「アナログデジタル変換器１２２０」と「シリアライザ１２２４」とが接し、２本の接続線を含む構成が記載されるのみで、時分割でＡＤ分割変換処理された信号をシリアライザに入力するための構成の存在を認めることができない。また、甲２発明において時分割で変換を行う構成を備えるということは、パラレル信号をシリアル信号に変換してＡＤ変換を行い、その後にシリアル信号をパラレル信号に変換した後に「シリアライザ１２２４」により再びパラレル信号をシリアル信号に変換するといった２段階のシリアル化を行う構成を意味するが、甲２発明がそのような複雑な構成を採用する意味を見いだせない。

(4)　小括

以上によれば、原告が主張する取消事由はいずれも理由がない。

第４　当裁判所の判断

１　本件明細書の記載事項

本件明細書(ただし､本件訂正後のもの｡)には別紙１のとおりの記載があり、別紙１の記載を総合すれば、本件明細書には以下のとおりの開示があることが認められる。

(1)　ＴＤＩラインイメージセンサーは、ラインセンサーがスキャン方向に複数段配列されたものであり、各ラインのＣＣＤで蓄積された電荷を隣接した次のラインのＣＣＤに並行移動により最後のラインまで移動させて蓄積した後、最後のラインに蓄積された電荷を垂直移動させて信号処理部に出力する

ことによって、ライン単位で各セルに対して順次データを処理することができるようにするものであるが、ＣＣＤに蓄積された電荷を信号処理部に出力するために垂直移動する時は停止した状態で一つずつ直列移動させて転送するため、垂直移動時に多くの時間を要するという問題があり、特に、ＴＤＩラインイメージセンサーは、各ラインに沿って一列配列されたＣＣＤの数が相対的に多いため、ＴＤＩラインイメージセンサーを通じてイメージをスキャンするために要する多くの時間が、蓄積された電荷を垂直移動させて出力することに起因するという問題点があった（【００１０】、【００１２】ないし【００１４】）。

「本発明」の目的は、こうした問題点を解決するために、ＣＣＤ素子を通じてＴＤＩ（Time Delay Integration）方式で電荷を蓄積するように画素部を構成し、出力部はＣＣＤで蓄積された各コラムの電荷をＡＤ変換してメモリーバッファーに保存した後順次出力するように構成することによって、ＣＣＤ素子としてＣＭＯＳ素子の特性による解像度と転送速度を向上させるだけでなく、消費電力とノイズを低減させることができるようにしたＴＤＩラインイメージセンサーを提供することにある（【００１５】）。

(2)　「本発明」のＴＤＩイメージラインセンサーは、Ｍ個のＣＣＤが一列配列されたラインセンサーと、スキャン方向に並列にＮ個のラインセンサーが配列されてラインセンサーのコラム別に蓄積された電荷を並列方向に移動させて蓄積する画素部と、画素部に蓄積された電荷をコラム別に並列入力を受けてＡＤ変換して保存した後順次出力する出力部を含むことを特徴とし、「本発明」における出力部は、画素部に蓄積された電荷をコラム別に電荷保存ノードに並列入力を受けてそれぞれ増幅するためのＭ個の増幅器と、増幅器から出力される各信号をＡＤ変換するＭ個のＡＤ変換器と、ＡＤ変換器の出力を保存して順次出力するメモリーバッファーを含むことを特徴とし、「本発明」における増幅器は、ソースフォロワ増幅器であることを特徴とする（【０

０１６】ないし【００１８】)。

２　引用文献（甲２文献）の記載事項

本件優先日前に頒布された刊行物である甲２文献には、別紙２のとおりの記載（ただし、訳文）があり、この記載によれば、次のような開示があるものと認められる。

(1)ア　電荷結合素子（ＣＣＤ）は、優れた光学性能を持つことが証明されているため、高性能な光子検出器にはＣＣＤセンサがよく取り上げられ、また、航空宇宙センサの分野では、ＴＤＩ　ＣＣＤが軌道上での観測に非常に適しているとされているが、ＣＣＤは比較的消費電力が大きく、消費電力が気になる機器ではＣＭＯＳデバイスが好ましいが、ＣＭＯＳ光子センサはＣＣＤに比べてノイズが多く光学性能が劣り、また、ＣＯＭＳ光子センサのみではＴＤＩ機能を実現することが難しい（第１欄１９行～４７行）。

このため、ＣＣＤ光子検出器の優れた光学性能とＣＭＯＳプロセスにより可能となる低消費電力及び高密度実装を組み合わせた光子センサの作成が望まれるが、１枚の基板上でＣＣＤ及びＣＯＭＳプロセスを組み合わせることは困難であり、また、ＣＣＤ及びＣＭＯＳの両方の技術を用いて単一の基板上に製造されたデバイスは、電荷移動効率の悪さ及びプロセスが最適化されていないことによるノイズの多さのため不十分な画像品質が問題となり、こうした両立しがたい製造プロセス技術を統合することを避けるため、第２のプロセスを用いた第２の基板（ＣＭＯＳ読み出し等）を相互接続した第１のプロセスを用いた第１の基板（ＣＣＤ光子検出器等）に形成された構造を利用するデバイスが開発されてきているが、電荷の検出は一般的に特定の電荷の収集に対して１回だけ実行できることに留意すべきであり、また、ＣＣＤから増幅されていない信号やバッファされていない信号を供給すると、多くの場合、劣化した信号をもらすことになる（第１欄４８行～第２欄７行）。

イ　本発明は、これらの問題及び先行技術の欠点等を解決することにあり、本発明の１つの実施形態は、列（パラレル）出力において、又は近くで、ＣＣＤからデータを抽出し、その結果、電力を大量に消費するシリアルシフトレジスタを取り除くことにより、ＣＣＤの電力損失を劇的に削減することができるという事実に基づくものであり、本発明は、ＣＣＤ光子検出器とＣＭＯＳ回路読み出し回路を組み合わせることで、現状の技術に比べて大きな利点が得られる（第２欄１３行～２４行）。

(2)　そして、甲２文献には、①「ＣＣＤイメージセンサアレイ１２４は、複数のサブアレイ１２０４にまとめられた複数のピクセル６０４を含む。ピクセル６０４の各列（行）は、センスノード８０４ａと関連していてもよい。」（９欄２４～２７行、図１２）、②「センスノード８０４は、典型的には、フローティングディフュージョンへのコンタクトを有する。」（第６欄６０行から６１行）、③「図示されているように、第１の半導体基盤１２６上に形成される増幅器１２０８は、各センスノード８０４に関連していてもよい。」（第９欄３０～３３行、図１２）、「電圧バッファされた出力を提供するために、増幅器１２０８は、ソースフォロア…を構成してもよい。」（第９欄３９行～４１行）との記載があり、これらの記載によれば、「ＣＣＤイメージセンサアレイ１２４は、複数のサブアレイ１２０４に属するピクセルを含み」（２ａ）、「ピクセルの各列は、センスノード８０４に接続し、センスノード８０４は、フローティングディフュージョンへのコンタクトを有し、」（２ｂ）、「各センスノードは、増幅器１２０８が接続され、増幅器は、ソースフォロアで構成され、」（２ｃ）との発明特定事項を含む発明が記載されているといえる。

また、「…センスノード８０４から電圧モード増幅器８２０への電圧信号を運ぶための信号ライン９０６は、リセットスイッチ又はトランジスタ９０８に接続される。…検知された後（おそらく複数回）信号電荷パケットはダイオードトレイン（図９には示されていない）を介して除去され得る。」（第

８欄４６行～６０行)、「図１２に示すように…リセットスイッチ９０８は、接続されたセンスノード８０４をリセットするために、第１の半導体基板に形成することができる。」（１０欄１３行～２０行）との各記載並びに図９及び図１２からすると、甲２文献には、「各センスノード８０４には、当該センスノード８０４をリセットするためのリセットトランジスタが接続され、当該リセットトランジスタは、ゲートとＶｒｅｓｅｔに接続されたダイオードドレインを有し、」（２ｄ)、「各センスノード８０４に蓄積された電荷が複数回検知された後、各センスノード８０４の信号電荷パケットが除去される場合があり、」（２ｄ’）との発明特定事項を含む発明の記載があることが認められる。

次いで、甲２文献には、「一つのピクセルからの信号又はＴＤＩ配置の多数のピクセルから統合された信号は、アナログデジタル変換器（ＡＤＣ）１２２０により処理される。…ＡＤＣによりデータがデジタル化された後、第２の半導体基板１３０上に形成されたシリアライザ１２２４によってデジタル処理される。」(第１０欄３０行～３９行）との記載があるから、「ピクセル信号は、アナログデジタル変換器１２２０により処理され、シリアライザ１２２４に処理される」（２ｅ）との発明特定事項を有する発明の記載があり、また、「他の実施形態では、電荷は、連続する積分期間中に連続する画素６０４に蓄積されてもよい。この蓄積された電荷の実質的にすべてが、その後、最後のウェル６１４に転送される。このプロセスは、当業者にはＴＤＩ（時間遅延積分）としても知られている。」(第７欄１０行～１５行）との記載があるから、甲２文献には「ＴＤＩイメージャ」に関する発明の記載もあることが認められる。

(3)　以上によれば、甲２文献には、「ＣＣDイメージセンサアレイ１２４は、複数のサブアレイ１２０４に属するピクセルを含み、ピクセルの各列は、センスノード８０４に接続し、センスノード８０４は、フローティングディフ

ュージョンへのコンタクトを有し、各センスノードは、増幅器１２０８が接続され、増幅器は、ソースフォロアで構成され、各センスノード８０４には、当該センスノード８０４をリセットするためのリセットトランジスタが接続され、当該リセットトランジスタは、ゲートとＶｒｅｓｅｔに接続されたダイオードドレインを有し、各センスノード８０４に蓄積された電荷が複数回検知された後、各センスノード８０４の信号電荷パケットが除去される場合があり（下線部は当審で引いたもの。以下、この下線部を「２ｄ’の構成」という。）、ピクセル信号からの信号は、アナログデジタル変換器により処理され、シリアライザ１２２４に処理されるＴＤＩイメージャ」の発明が記載されているものと認められる。

３　技術常識について

(1)ア（ア）　本件優先日前に頒布された刊行物である乙５文献には、別紙３の１のとおりの記載があり、同記載を総合すると、同文献には、ＦＧＡタイプを採用した、固体撮像装置に用いられる電荷転送デバイスより成る埋込チャンネルＣＣＤ（ＢＣＣＤ）のＣＣＤ遅延線において、時点ｔ１～ｔ４までの間に１回、信号電荷ｑ１を読み取り処理し、ｔ５で信号電荷を廃棄し、ｔ６で新たな信号電荷ｑ２を転送し、信号電荷ｑ２もｑ１と同様の処理が繰り返されることが開示されている。

（イ）　本件優先日前に頒布された刊行物である乙６文献には、別紙３の２のとおりの記載があり、同記載を総合すると、同文献には、ＣＣＤの電荷検出装置等に関するものにおいて、フローティングゲートに転送されてきた信号電荷Ｑは、次の信号電荷が転送される前にＲＤ９９に吸収され、前の信号電荷がリセットされた後に次の信号電荷の入力が受け付けられることが開示されているものと認められる。

（ウ）　本件優先日前に頒布された刊行物である乙７文献には、別紙３－３のとおりの記載があり、同記載を総合すると、同文献には、電荷検出方

式としてＦＧＡタイプを採用した固体撮像装置において、信号電荷を読み出した後に、リセットゲート２６をＨｉｇｈにして、チャネル領域２１からリセットドレイン２７に電荷の吐き出しを行うことが開示されているものと認められる。

イ　前記ア(ア)ないし(ウ)の各文献の記載を総合すると、撮像素子としてＣＣＤを用いた固体撮像装置において、信号電荷の検出方式としてＦＧＡタイプを採用したとき、信号電荷の入力を受けた後、次の信号電荷が転送される前に信号電荷がリセットされることは、本件優先日当時における技術常識であったと認められる。

ウ　これに対し、原告は、前記第３の１(2)ウ(ア)のとおり、甲２発明は、ＦＧＡタイプであるのに対し、乙７文献に記載された発明は、ＦＧＡタイプであるとはいえないから、これらは甲２発明に採用されている技術常識を認定する根拠になり得ず、仮にＦＧＡタイプであるとしても、甲２発明における「浮遊ゲート９０４のリセット」に対応する事項の開示はなく、また、乙６文献は、甲２発明における浮遊ゲート９０４のリセットの開示がないから、甲２発明に採用されている技術常識を認定する根拠となり得ない旨主張する。

しかし、乙７文献には、「信号電荷検出部が基本的にはＦＧ方式の一種であるものの、ＦＧ方式以上の高変換利得を得ることができる。」(【００１１】)、「上記固体撮像装置１は、基本的にはＦＧ方式の固体撮像装置の一種であるものの、ＦＧ方式以上の高変換利得を得ることが可能である。」(【００２０】) との記載があるように、同文献で採用されている固体撮像装置における信号電荷検出部にはＦＧＡタイプが採用されていることを前提とするものである。

また、技術常識は、技術的に共通する複数の各文献で採用されている様々な構成を前提としつつ、抽出することができる共通の技術事項を認定する

ものであるところ、原告の上記主張は、甲２発明で採用されている構成が乙６文献や乙７文献に開示されていないことを問題とするものにとどまるから、採用の限りではない。

(2)ア　本件優先日前に頒布された以下の刊行物には、以下のとおりの記載がある。

（ア）　特開２００７－２８１５４０号公報（甲２４。公開日平成１９年１０月２５日）

「【０００１】

　本発明は、物理量分布検出装置および撮像装置に関し、特に列並列型ＡＤ（アナログ－デジタル）変換装置を搭載した物理量分布検出装置および当該物理量分布検出装置である固体撮像装置を撮像デバイスとして用いた撮像装置に関する。

【００７６】

　なお、上記各実施形態では、比較器３１を含むＡＤＣ２３（２３－１～２３－ｍ）が、列信号線１４－１～１４－ｍに対して、画素ピッチに合わせて画素列の数だけ、即ち１対１の対応関係をもって配置されてなるＡＤ変換装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、複数本の列信号線１４に対して１つのＡＤＣ２３を配置し、当該ＡＤＣ２３を時分割で使用する構成のＡＤ変換装置に対しても同様に適用可能である。」

（イ）　特開２０１４－２３０６５号公報（甲２６。公開日平成２６年２月３日）

「【０００１】

　本技術は、固体撮像装置、及び製造方法に関し、特に、例えば、行方向に並ぶ複数のＡＤ変換器を有する、いわゆる列並列型のＡＤ変換部を備えるイメージセンサ等の固体撮像装置において、隣接する列どうしの

ＡＤ変換器を構成するコンパレータの間のクロストーク特性を、副作用なしで改善することができるようにする固体撮像装置、及び、製造方法に関する。

【０３０８】

また、本実施の形態では、列並列ＡＤ変換部２２において、画素アレイ１０の画素１１$_{m、n}$の一列に対して、１つのＡＤＣ３１$_{n}$を設けることとしたが、列並列のＡＤ変換部２２では、その他、例えば、画素アレイ１１$_{m、n}$の２列等の複数列に対して、１つのＡＤＣを設け、１つのＡＤＣにおいて、画素１１$_{m、n}$の２列等からの電気信号を、時分割でＡＤ変換することができる。」

（ウ）　特開２０１３－５１５２７号公報（甲２７。公開日平成２５年３月１４日）

「【０００１】

本発明は、固体撮像装置及び撮像装置に関する。

【０１８８】

なお、上記第１～第５の実施形態では、比較器を含むＡＤ変換器が画素ピッチに合わせて画素列の数だけ、即ち画素列に対して１対１の対応関係で配置されている場合を例に説明したが、本発明はこの適用例に限られるものではない。つまり、複数本の垂直信号線２２に対して１つのＡＤ変換器を配置してもよい。この場合、このＡＤ変換器は、時分割で対応する複数本の垂直信号線２２に出力された信号電圧をＡＤ変換する。

イ　上記の各文献の記載を総合すると、固体撮像装置におけるＡＤ変換器には、画素列に対して1：1の対応関係で配置されるものがあることは、本件優先日当時における技術常識であったと認められる。

４　相違点２の看過（取消事由１）について

(1)　原告は、前記第３の１(2)のとおり、本件発明と甲２発明には、本件決定

が認定した相違点のほか、甲２発明には「各センスノード８０４に蓄積された電荷が複数回検知された後に、各センスノード８０４の信号電荷パケットが除去される場合もあり」(２ｄ’)との構成を備えていることを前提として、本件決定には相違点２の看過がある旨主張するところ、前記２(3)のとおり、甲２発明は、原告が主張する２ｄ’の構成を備えているため、以下、これを前提にして検討する。

(2)　甲２発明の２ｄ’の構成は、「検知された後（おそらく複数回)、信号電荷パケットは、ダイオードトレイン（図９には示されていない）を介して除去され得る。」（第８欄５８～６０行）に対応するものであるところ、検知される信号電荷パケットは、１つのパケットであるのか複数のものであるのかについて同記載からは必ずしも明らかではない。

もっとも、甲２文献の他の実施例に関する記載を見てみると、図７の実施例に関して、「…相互接続４０４ａ－ｂによってセンスノード８０４からの電圧信号が供給されるので、１つの電荷の収集の複数の測定値を提供するために、センスノード８０４の電圧を複数回読み取ることができる。したがって、信号対雑音比を改善するために、センスノード８０４内の、又はセンスノード８０４に関連する電荷の複数のサンプル（測定値）を取ることができる。」（第７欄５５～６３行）と、一つの信号電荷のパケットがセンスノード８０４に伝達されるごとにセンスノードの電圧を複数回読み取ることができることが記載されており、また、図８の実施例に関して、「画素６０４の１つからの画像信号に関連付けられた電荷がポテンシャルウェル８１８に転送されると、ゲート８０６上の電圧変化が検知され得るように導入される。…検知された後、信号電荷パケットは、ポテンシャルウェル８１８から転送され、ダイオード８３０及びダイオードドレイン８３２を介して除去されてもよいし、あるいは、ノイズ低減のために複数のサンプルを可能にするためにフローティングゲート８０６の下に残ってもよい。所望の数のサンプルが得られ

た後、電荷は、ダイオードトレイン８３２を介して除去され得る。」（第８欄２３～３５行）と、１つの信号電荷を検知した後、ダイオードトレイン８３２を介して除去してもよいし、ノイズ低減のために複数を残してもよく、所望の数のサンプルが得られた後、電荷をダイオードトレインを介して除去することが記載されている。

このように、甲２文献においては、複数回検知する場合があるときは、単一の信号電荷パケットを前提にしており、複数の信号電荷パケットについて複数回検知する構成については特段の記載も示唆も見当たらないし、同文献（第６欄５０行～第７欄４３行）には、図６に関する実施例として、「ノイズ性能を向上させるために、センスノード８０４の直前に合算ウェル６０８を使用してもよい。」との記載があるが、ここでも複数の信号電荷パケットを「合算」する旨の記載は見当たらない。

そうすると、甲２文献の「検知された後（おそらく複数回）、信号電荷パケットは、ダイオードトレイン（図９には示されていない）を介して除去され得る。」（第８欄５８～６０行）との記載は、単一の信号電荷パケットを複数回検知した後、信号電荷パケットはダイオードトレインを介して除去され得ることを記載したものであるといえるから、「各センスノード８０４に蓄積された電荷が複数回検知された後、各センスノード８０４の信号電荷パケットが除去される場合があり」（２ｄ’の構成）は、各センスノード８０４に蓄積された単一の信号電荷パケットの電荷が複数回検知された後、各センスノード８０４の信号電荷が除去される場合があるとの構成であることになる。

こうした構成を前提とした上で、甲２発明と同じく、ＦＧＡタイプを用いた信号電荷の検出方式において、信号電荷の入力を受けた後、次の信号電荷が転送される前に信号電荷がリセットされることは、本件優先日当時の技術常識であったことを踏まえると、甲２発明においても、本件発明における「前記電荷保存ノードが１つのラインセンサーの電荷の入力を受けることと、前

記電荷保存ノードをリセットさせることと、が交互に行われる」（構成要件Ｈ）の構成を備えているといえる。

したがって、甲２発明における２ｄ’の構成は、本件発明との相違点となるものではない。

(3)　これに対し、原告は、前記第３の１(2)ア(イ)のとおり、ライセンサーからの電荷入力を複数回受けた後にリセットを行うという動作は、複数ラインからの電荷入力を積算することを意味することを前提として、同ウ(イ)のとおり、甲２発明において、複数の画素の電荷を合算することによってノイズ性能を向上させるということは、ピクセルビニングと呼ばれる周知技術を採用したものであり、こうした周知技術は本件技術常識と相反するものであるから、甲２発明には本件技術常識は採用されていない旨主張する。

しかし、前記(2)のとおり、甲２文献の「検知された後（おそらく複数回）、信号電荷パケットは、ダイオードトレイン（図９には示されていない）を介して除去され得る。」との記載は、単一の信号電荷パケットを複数回検知した後、信号電荷パケットはダイオードトレインを介して除去され得ることを記載したものであるといえるから、原告の上記主張はその前提を欠くものであって、理由がない。

(4)　以上によれば、本件決定には、甲２発明について２ｄ’の構成を認定をしていない点で誤りがあるものの、原告が主張する相違点２（又は相違点２’）は存しないから、本件決定は結論において相当であり、原告主張の取消事由１は理由がない。

５　取消事由２（相違点３の看過）

(1)　原告は、前記第３の１(3)のとおり、本件決定は、本件発明と甲２発明の対比において相違点３、すなわち、本件発明のラインセンサーはＭ個のＣＣＤが一列配置したものであり、かつ、Ｍ個の増幅器及びＭ個のＡＤ変換器が設けられており、Ｍ個のＣＣＤのそれぞれに蓄積された電荷をＭ個の増幅器

によって並列入力を受けて増幅し、M個の増幅器から出力される各信号をM個のＡＤ変換器によってＡＤ変換するのに対し、甲２発明のラインセンサーはM個のＣＣＤを一列配置したものであり、かつM個の増幅器が設けられているが、アナログデジタル変換器は１つのユニットであり、M個のＣＣＤのそれぞれに蓄積された電荷をM個の増幅器によって並列入力を受けて増幅するものの、M個の増幅器から出力される各信号をＡＤ変換器によってＡＤ変換するのか不明である点について、相違点の看過がある旨主張するので、以下検討する。

(2)ア　本件発明は、「M個のＣＣＤが一列配列されたラインセンサー」（構成要件Ａ）、「前記画素部に蓄積された前記電荷をコラム別に電荷保存ノードに並列入力を受けてそれぞれ増幅するためのM個の増幅器：」（構成要件Ｃ）、「前記増幅器から出力される各信号をＡＤ変換するM個のＡＤ変換器；および」（構成要件Ｄ）との発明特定事項を有するものであるから、本件発明の「ラインセンサーはM個のＣＣＤが一列配置したものであり、かつ、M個の増幅器及びM個のＡＤ変換器が設けられており、M個のＣＣＤのそれぞれに蓄積された電荷をM個の増幅器によって並列入力を受けて増幅し、M個の増幅器から出力される各信号をM個のＡＤ変換器によってＡＤ変換する」ものであるといえる。

これに対し、甲２発明は、「ＣＣＤイメージングセンサアレイ１２４は、複数のサブアレイ１２０４に属するピクセル６０４を含み、」（２ａ）、「ピクセルの各列はセンスノード８０４に接続し、」（２ｂ）、「各センスノード８０４には、増幅器１２０８が接続され」（２ｃ）、「ＴＤＩイメージャ」（２ｆ）との構成を有するものであり、複数のサブアレイ１２０４の数、センスノードの数及び増幅器１２０８の数はいずれも等しい構成であると理解できるが、「ピクセルからの信号は、アナログデジタル変換器１２２０により処理され、シリアライザ１２２４により処理される」（２ｅ）との構成

からは、アナログデジタル変換器の個数については特定されていない。ここで、甲２文献の記載事項についてみると、図１２には、アナログデジタル変換器１２２０については記載が省略されており、サブアレイ１２０４、センスノード及び増幅器の数と同一のものであるかは不明であり、増幅器１２０８がどのようにしてアナログデジタル変換器１２２０に入力されるかについての記載もない。

そうすると、甲２発明において、増幅器１２０８から入力されるアナログデジタル変換器の個数は不明であるというほかなく、増幅器とＡＤ変換器が同数である本件発明とこの点において相違する（原告が主張する相違点３）。

イ　これに対し、被告は、前記第３の２(3)アのとおり、甲２文献の図１２の「増幅器１２１６」と上下方向に並んだ３つの「…」の記号は、当業者であれば、本来は多数の増幅器１２１６が存在するものが図面上省略されていることを意味するものと理解でき、甲２発明のＴＤＩイメージャにおいては、読み出し（検出）は列ごとに行われるものであるから、各列の「センスノード８０４」が受け入れた電荷の値は、各列に対応した「増幅器１２０８」が増幅し、それに１対１に対応する増幅器１２１６を経由して同時にアナログデジタル変換器１２２０に入力され処理されると理解できるから、相違点３は存在しない旨主張する。

しかし、前記３(2)アの各文献の記載に加え、特開平６－１９７２８５号公報（甲２５。公開日平成６年７月１５日）には、「第２の発明においては、撮像素子から得られる２つの色信号を時分割的に切換えるスイッチ手段を設けている。」（【００１８】）、「第２の発明によれば、スイッチ手段から時分割で得られる２つの色信号を共通のＡＤ変換器に加えることにより、記録時に用いられるＡＤ変換器が削減できる」（【００２０】）との記載があることを総合すると、固体撮像装置におけるＡＤ変換器は、増幅器より少

ない数を設けることも、本件優先日当時における技術常識であったといえることからすると、甲２発明においても、各列の「センスノード８０４」が受け入れた電荷の値は、各列に対応した「増幅器１２０８」が増幅し、それに１対１に対応する増幅器１２１６を経由して同時にアナログデジタル変換器１２２０に入力され処理されるとは限らず、省略された図１２の「…」の記載から、アナログデジタル変換器と増幅器が同数であると当業者であれば当然に理解するとまではいえないから、被告の上記主張は理由がない。

(3)　上記(2)のとおり、本件発明と甲２発明には、本件決定が認定した相違点のほかに相違点３があり、本件決定には相違点３の看過があるといえる。

もっとも、前記３(2)のとおり、固体撮像装置におけるＡＤ変換器には、画素列に対して1：1の対応関係で配置されるものがあることは本件優先日当時における技術常識であるところ、甲２発明においては、複数のサブアレイ１２０４の数、センスノードの数及び増幅器１２０８の数はいずれも等しい構成であり、M個の増幅器から出力される各信号を変換するＡＤ変換器の個数が不明であるとしても、上記技術常識を踏まえると、甲２発明においても増幅器の数とＡＤ変換器の数も同一の構成を有するものであることは当業者であれば容易に想到するといえる。

そうすると、上記相違点３の看過は、容易想到性の結論に影響を及ぼすとはいえない。

(4)　以上によれば、本件決定には、相違点３の看過があるものの、本件決定の結論に影響を及ぼすものではないから、原告主張の取消事由２は理由がない。

６　結論

以上によれば、原告が主張する取消事由はいずれも理由がなく、本件決定を取り消すべき違法は認められない。よって、原告の請求を棄却することとして、主文のとおり判決する。

知的財産高等裁判所第４部

裁判長裁判官　　＿＿＿＿＿＿＿＿＿＿

菅　野　雅　之

裁判官　　＿＿＿＿＿＿＿＿＿＿

中　村　　　恭

裁判官　　＿＿＿＿＿＿＿＿＿＿

岡　山　忠　広

（別紙１）

【発明の詳細な説明】

【技術分野】

【０００１】

本発明はＴＤＩラインイメージセンサーに関するもので、より詳細にはＣＣＤ素子を通じてＴＤＩ（Ｔｉｍｅ　Ｄｅｌａｙ　Ｉｎｔｅｇｒａｔｉｏｎ）方式で電荷を蓄積するように画素部を構成し、出力部はＣＣＤで蓄積された各コラムの電荷をＡＤ変換してメモリーバッファーに保存した後、順次出力するように構成することによってＣＣＤ素子とＣＭＯＳ素子の特性による解像度と転送速度を向上させるだけでなく、消費電力とノイズを低減させることができるようにしたＴＤＩラインイメージセンサーに関するものである。

【背景技術】

【０００２】

最近、生産設備が大量化、自動化および精密化されるにつれて、人の肉眼または各種センサーに依存していた機能が次第にイメージセンサーを採用するビジョンマシン（ｖｉｓｉｏｎ　ｍａｃｈｉｎｅ）に代替されている傾向にある。このようなイメージセンサーに主に使用されている半導体素子が電荷結合素子（ｃｈａｒｇｅ　ｃｏｕｐｌｅｄ　ｄｅｖｉｃｅｓ；ＣＣＤ）である。

【０００３】

ＣＣＤは一つの素子から隣接した他の素子に電荷を転送できる素子を意味する。このようなＣＣＤを採用したセンサーは光量による各セル（ｃｅｌｌ）内の自由電荷量の変化を電気的信号に変換する構造を有する。

【０００４】

構造的に、ＣＣＤは大きく、実際の光量によって電荷が蓄積されるセル領域および蓄積された電荷を順に転送する通路の役割をするシフトレジスター（ｓｈｉｆｔ　ｒｅｇｉｓｔｅｒ）で構成される出力部を含む。

【０００５】

ＣＣＤは各セルがどのようなアレイ（ａｒｒａｙ）に配置されて映像を生成するかによって、領域スキャン（ａｒｅａ　ｓｃａｎ）方式、ラインスキャン（ｌｉｎｅ　ｓｃａｎ）方式、ＴＤＩ（Ｔｉｍｅ　Ｄｅｌａｙ　Ｉｎｔｅｇｒａｔｉｏｎ）ラインスキャン方式などに分かれる。

【０００６】

ラインスキャン方式のイメージセンサ（以下「ラインセンサ」という）は、画像光を受光するピクセルがライン上に配列された１次元センサーである。２次元に広げられた画像を撮像する場合には、ラインセンサまたは被写体を移動させて被写体を一ラインずつ順に撮像する。

【０００７】

すなわち、ラインスキャン方式は一度に一ラインずつ任意の速度で露出および転送する方式であり、領域スキャン方式に比べて低費用で高速および高分解能映像を得ることができるという長所を有する。例えば、２０４８＊２０４８のフレームを得るために、領域スキャン方式は４Ｍのピクセル（ｐｉｘｅｌ）数を必要とするのに反して、ラインスキャン方式は２Ｋのピクセルさえあれば２０４８＊２０４８だけでなく２０４８＊１０００などの多様な大きさのフレームを得ることができる。

【０００８】

しかし、高速で移動する被写体を撮影する場合や、ラインセンサーを高速に移動させて被写体を撮影するときのように、高速スキャンを遂行する場合、各ラインごとに高速で電荷の蓄積と転送を繰り返すことになるため、一ライン当たりに電荷を蓄積できる時間が短くなって画像の光量が不足する。このように、光量に対する要求が増加しても、照明装置の限界のために光量を無制限に増加させることができない。

【０００９】

したがって、ＰＰＤ（ｐｉｎｎｅｄ－ｐｈｏｔｏｄｉｏｄｅ）、ＣＭＯＳセンサな

どの材料を改善して感度を高める研究が進められている一方、複数のラインセンサーを並べて光量を累積させて感度を高める方法も提案されている。

【００１０】

ＴＤＩラインスキャン方式のイメージセンサ（以下、「ＴＤＩラインイメージセンサ」という）は、ラインセンサーがスキャン方向に複数段配列されたもので、各ラインのＣＣＤで蓄積された電荷を画像の移動と同期させて次のラインのＣＣＤに転送する。このような過程を最後のラインセンサーまで繰り返して電荷を重ねた後出力することによって、結果的に高速スキャンにおいても光量を十分に満足する画像を得ることができる。

【００１１】

本発明の背景技術は、大韓民国公開特許公報第２００９－００２３５７３号（２００９．０３．０５．公開、発明の名称：ＴＤＩ－ＣＣＤイメージセンサーを制御するための方法）に開示されている。

【発明の概要】

【発明が解決しようとする課題】

【００１２】

このようなＴＤＩラインイメージセンサーの場合、各ラインのＣＣＤで蓄積された電荷を隣接した次のラインのＣＣＤに並行移動により最後のラインまで移動させて蓄積した後、最後のラインに蓄積された電荷を垂直移動させて信号処理部に出力することによって、ライン単位で各セルに対して順次データを処理することができるようにする。

【００１３】

前記において、ＣＣＤに蓄積された電荷を隣接したラインに並行移動させる時は画像の移動と同期して並列に移動されるが、蓄積された電荷を信号処理部に出力するために垂直移動させる時は停止した状態で一つずつ直列移動させて転送するため、垂直移動時に多くの時間が要されるという問題点がある。

【００１４】

特に、ＴＤＩラインイメージセンサーの場合、スキャン方向に並列に配列されたラインの数よりは高い解像度のために、各ラインに沿って一列配列されたＣＣＤの数が相対的に多いため、ＴＤＩラインイメージセンサーを通じてイメージをスキャンするために要される多くの時間が蓄積された電荷を垂直移動させて出力することに起因する問題点がある。

【００１５】

本発明は前記のような問題点を改善するために創出されたもので、本発明の目的はＣＣＤ素子を通じてＴＤＩ（Ｔｉｍｅ　Ｄｅｌａｙ　Ｉｎｔｅｇｒａｔｉｏｎ）方式で電荷を蓄積するように画素部を構成し、出力部はＣＣＤで蓄積された各コラムの電荷をＡＤ変換してメモリーバッファーに保存した後順次出力するように構成することによって、ＣＣＤ素子とＣＭＯＳ素子の特性による解像度と転送速度を向上させるだけでなく、消費電力とノイズを低減させることができるようにしたＴＤＩラインイメージセンサーを提供することである。

【課題を解決するための手段】

【００１６】

本発明の一側面に係るＴＤＩラインイメージセンサーは、Ｍ個のＣＣＤが一列配列されたラインセンサーと、スキャン方向に並列にＮ個のラインセンサーが配列されてラインセンサーのコラム別に蓄積された電荷を並行方向に移動させて蓄積する画素部；および画素部に蓄積された電荷をコラム別に並列入力を受けてＡＤ変換して保存した後順次出力する出力部を含むことを特徴とする。

【００１７】

本発明において出力部は、画素部に蓄積された電荷をコラム別に電荷保存ノードに並列入力を受けてそれぞれ増幅するためのＭ個の増幅器；増幅器から出力される各信号をＡＤ変換するＭ個のＡＤ変換器；およびＡＤ変換器の出力を保存して順次出力するメモリーバッファー；を含むことを特徴とする。

【００１８】

本発明において増幅器は、ソースフォロワ増幅器であることを特徴とする。

【発明の効果】

【００１９】

本発明に係るＴＤＩラインイメージセンサーは、ＣＣＤ素子を通じてＴＤＩ（Ｔｉｍｅ　Ｄｅｌａｙ　Ｉｎｔｅｇｒａｔｉｏｎ）方式で電荷を蓄積するように画素部を構成し、出力部はＣＣＤで蓄積された各コラムの電荷をＡＤ変換してメモリーバッファーに保存した後順次出力するように構成することによって、ＣＣＤ素子とＣＭＯＳ素子の特性による解像度と転送速度を向上させるだけでなく消費電力とノイズを低減させることができる。

【発明を実施するための形態】

【００２３】

図１は本発明の一実施例に係るＴＤＩラインイメージセンサーを示したブロック構成図で、図２は本発明の一実施例に係るＴＤＩラインイメージセンサーの画素部の構造を示した図であり、図３は本発明の一実施例に係るＴＤＩラインイメージセンサーで電荷の移動を説明するための図である。

【００２４】

図１と図２に図示された通り、本発明の一実施例に係るＴＤＩラインイメージセンサーは画素部１０および出力部２０を含む。

【００２５】

画素部１０はM個のＣＣＤ１４が一列配列されたラインセンサ１２と、スキャン方向に水平にＮ個のラインセンサ１２が配列されて、ＴＤＩ方式でラインセンサ１２＿１～１２＿Ｎのコラム別に蓄積された電荷を水平方向に移動させて蓄積する。

【００２６】

すなわち、図３に図示された通り、各ＣＣＤ１４のＶ１、Ｖ２、Ｖ３電圧を順に制御することによって、ＣＣＤ１４に蓄積された電荷が隣接したＣＣＤ１４に移動

され、これによって電荷保存ノード（ＦＤ）に重ねて出力される。

【００２７】

画素部１０の構成は一般的なＴＤＩラインイメージセンサーの画素部の構成と対応するれるため、本実施例ではその具体的な構成に対する説明は省略する。

【００２８】

出力部２０は画素部１０に蓄積された電荷をコラム別に並列入力を受けてＡＤ変換して保存した後順次出力するように、増幅器２２、ＡＤ変換器２４およびメモリーバッファー２６を含む。

【００２９】

増幅器２２は画素部１０で蓄積された電荷をコラム別に電荷保存ノード（ＦＤ）に並列入力を受けてそれぞれ増幅するために、一つのラインセンサ１２に配列されたＣＣＤ１４の個数に対応するようにM個を具備する。

【００３０】

この時、増幅器２２は画素部１０の最後のラインセンサ１２_Ｎから電荷が移動して蓄積された電荷保存ノード（ＦＤ）の電位によりターンオンされて電圧値を出力するソースフォロワ増幅器で構成することができる。

【００３１】

ＡＤ変換器２４はM個の増幅器２２から出力される各信号をＡＤ変換する。

【００３２】

メモリーバッファー２６はM個のＡＤ変換器２４でデジタル信号に変換された画像信号を保存した後順次出力して信号処理部（図示されず）でライン別に画像信号を処理することができるようにする。

【００３３】

このように構成されたＴＤＩラインイメージセンサーをスキャンして撮影すると、ＴＤＩ方式で画素部１０の各ラインセンサ１２のＣＣＤ１４に蓄積された電荷はスキャンと同期して隣接したラインセンサ１２にコラム別に移動されて出力部２０の

電荷保存ノード（ＦＤ）に出力される。

【００３４】

電荷保存ノード（ＦＤ）に蓄積された電荷は増幅器２２を通じて増幅された後、ＡＤ変換されて信号（Ｓｉｇｎａｌ）として出力される。以後、リセットゲート（ＲＧ）を通じて電荷保存ノード（ＦＤ）をリセットドレイン（ＲＤ）に連結された電圧（ＶＤＤ）にリセット（Ｒｅｓｅｔ）させて次のラインセンサ１２の電荷の入力を受けることができるようにする。

【００３５】

このように画素部１０をＣＣＤ素子によるＴＤＩ方式で構成することによって光量を十分に満足する高分解能の映像を得ることができる。

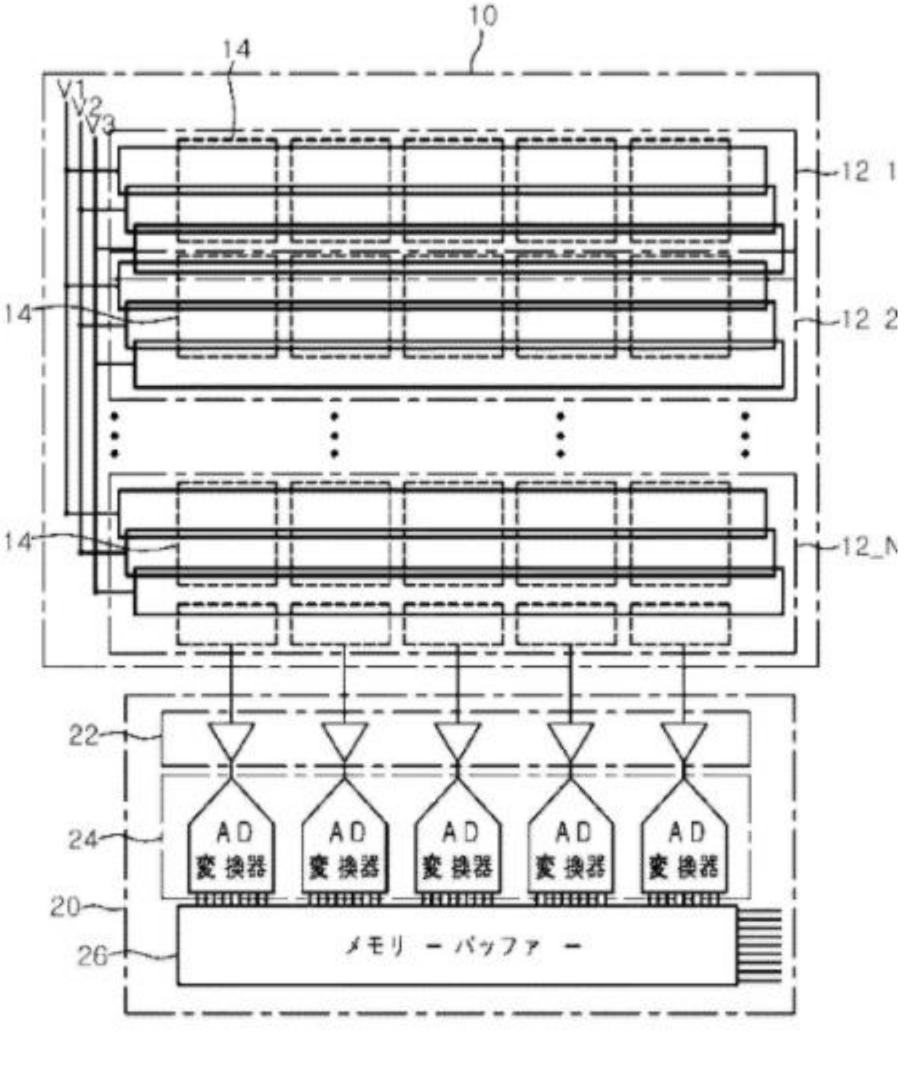
【００３６】

また、出力部２０の電荷保存ノード（ＦＤ）に保存された電荷はＣＣＤ素子を通じて移動させるのではなく、増幅器２２を通じて増幅した後ＡＤ変換器２４でデジタル信号に変換してメモリーバッファー２６に保存した後出力することによって、ＣＭＯＳ素子によって集積度を向上させることができるだけでなく、少ない電力で転送速度を向上させることができる。

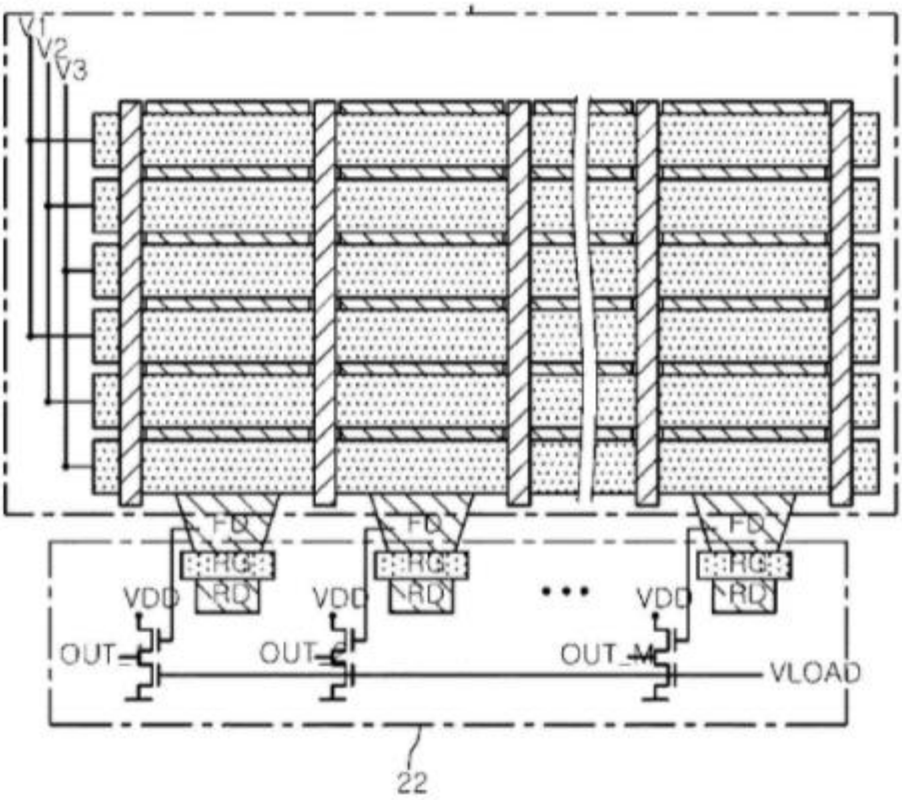
【００３７】

上述した通り、本発明の実施例によるＴＤＩラインイメージセンサーによれば、ＣＣＤ素子を通じてＴＤＩ（Ｔｉｍｅ　Ｄｅｌａｙ　Ｉｎｔｅｇｒａｔｉｏｎ）方式で電荷を蓄積するように画素部を構成し、出力部はＣＣＤで蓄積された各コラムの電荷をＡＤ変換してメモリーバッファーに保存した後順次出力するように構成することによって、ＣＣＤ素子とＣＭＯＳ素子の特性による解像度と転送速度を向上させるだけでなく消費電力とノイズを低減させることができる。

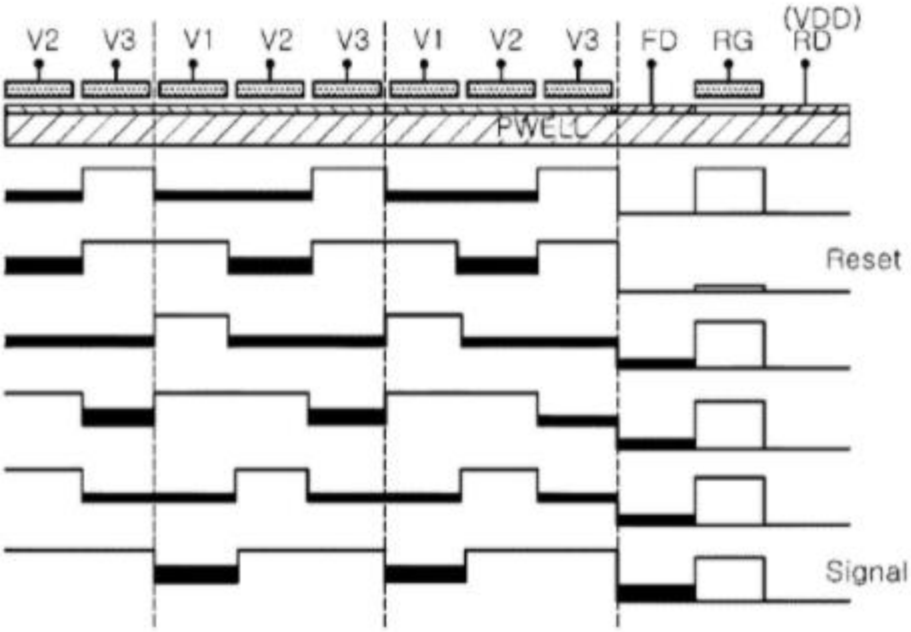
【図１】


10
14
V1
V2
V3
12_1
14
12_2
14
12_M
22
24
AD
変換器
AD
変換器
AD
変換器
AD
変換器
AD
変換器
20
26
メモリ ー バッファ ー

【図２】


V1
V2
V3
FD
RG
RD
VDD
OUT_
OUT_
OUT_M
VLOAD
22

【図３】


V2
V3
V1
V2
V3
V1
V2
V3
FD
RG
(VDD)
RD
PWELL
Reset
Signal

（別紙２）

（第１欄１９～３０行）

背景

イメージングデバイスは、多くの用途に役立ちます。特に、遠隔地で動作する機器や、リアルタイム、又は、ほぼリアルタイムで画像データを送信する通信機器の分野では、光子を検知して電気信号を生成することができる光子検出器を含むフォーカルプレーンアレイが開発されている。このようなフォーカルプレーンアレイに使用される様々な技術のうち、電荷結合素子（CCD）は優れた光学性能を持つことが証明されている。そのため、高性能な光子検出器にはCCDセンサがよく取り上げられる。

（第１欄３１～３５行）

また、航空宇宙用センサの分野では、TDI CCD（時間遅延積分型電荷結合素子）が、センサを横切る画像を走査する、軌道上の動きと組み合わされた加算機能と、ノイズの少ない電荷転送のために、軌道上での観測に非常に適しているとされている。

（第１欄３６～４７行）

しかし、CCD は比較的消費電力が大きいという特徴がある。消費電力が気になる機器では、CMOS（Complementary Metal Oxide Semiconductor、原文の「Complimentary」は「Complementary」の誤記と認めた。）デバイスのような他のプロセスで形成されたデバイスが好ましい。特に、CMOS技術を用いた低消費電力で高密度に実装された処理回路を製造することが要求されるその技術は発達している。しかし、CMOS光子センサは、CCDに比べてノイズが多く、一般的に光学性能も劣る。また、CMOS光子センサのみでは、TDI（時間遅延積分）機能を実現す

ることが難しい。

（第１欄４８～６０行）

　そのため、CCD 光子検出器の優れた光学性能と、CMOS プロセスにより可能となる低消費電力及び高密度実装を組み合わせた光子センサの作成が望まれていたのである。しかし、1 枚の基板上で CCD 及び CMOS プロセスを組み合わせることは困難であることが分かった。このような困難は、処理温度や必要な酸化膜の厚さが異なることを含む、両プロセス間の基本的に両立しがたいことから生じる。また、CCD 及び CMOS 両方の技術を用いて単一の基板上に製造されたデバイスは、電荷移動効率の悪さ及びプロセスが最適化されていないことによるノイズの多さのため、不十分な画像品質が問題となる。

（第１欄６１行～第２欄２行）

　両立しがたい製造プロセス技術を統合することをさけるために、第２のプロセスを用いた第２の基板（CMOS 読み出しなど）を相互接続した第１のプロセスを用いた第１の基板（CCD 光子検出器など）に形成された構造を利用するデバイスが開発されてきた。このようなシステムでは、通常、画像を作成するために使用される信号を得るために、検出器（第１）基板から電荷量を検知又は読み取り、次に読み出し及び処理（第２）基板上で電荷を増幅する。

（第２欄３～７行）

　さらに、電荷の検出は、一般的に、特定の電荷の収集に対して１回だけ実行できることに留意すべきである。また、CCD から増幅されていない信号やバッファされていない信号を供給すると、多くの場合、劣化した信号をもたらすことになる。

（第２欄９～１２行）

発明の概要

本発明は、これらの問題及びその他の問題と、先行技術の欠点を解決することに向けられている。

（第２欄１３～２８行）

本発明の少なくとも 1 つの実施形態は、列（パラレル）出力において、又は、近くで、CCD からデータを抽出し、その結果、電力を大量に消費するシリアルシフトレジスタを取り除くことにより、CCD の電力損失を劇的に削減することができるという事実に基づいている。このように、列並列電圧出力を持つ CCD 光子検出器と、デジタル化やデータ処理を含む CMOS 読み出し回路を組み合わせることで、現状の技術に比べて大きな利点が得られる。本発明は、個別に製造された電圧出力を有する CCD 光子検出器と CMOS 読み出し回路を、単一の光検出システムに組み合わせることに関するものである。多くの場合、最新の技術を用いて検出器の基板と読み出し回路の基板を機械的及び電気的に結合することになる。なお、列を行と呼んだり、逆に行を列と呼んだりする場合がある。

（第２欄２９～４９行）

本発明の実施形態によれば、センスノードに関連付けられた第１の半導体基板上の電荷結合素子（CCD）光子検出器を含む光子センサシステムが提供される。第１の半導体基板のセンスノードは、第２の半導体基板上の読み出し回路に電気的に相互接続されている。特に、電荷結合素子のセンスノードは、電気的相互接続を介して読み出し回路に電圧信号を提供する。第１の半導体基板は、シリコン又は他の半導体材料で形成された構造を含んでいてもよく、一方、第２の半導体基板は、第１の半導体基板の構造とは異なる半導体構造を含んでいてもよい。本発明の実施形態によれば、電気的接続は、信号ラインを形成してもよく、特定の実

施形態において第３の基板上に形成されてもよいバンプボンド、ワイヤ、ビア、又はトレースから構成されてもよい。本発明のさらなる実施形態によれば、第１及び第２の半導体基板は、直接又は第３の基板を介して、互いに機械的に相互接続されている。

（第２欄５０～５９行）

第１の半導体基板上の出力ノードとしても知られるセンスノードは、第２の半導体基板上の読み出し回路に信号が伝送される前に、第１又は光子検出器基板上の１又は複数のトランジスタにバッファされてもよい。一例として、１又は複数のトランジスタは、CCD（第１の半導体基板）上に形成されたソースフォロワからなる増幅器を構成する、又はその一部であってもよい。さらに一例として、１又は複数のトランジスタは、CCD 上に形成された電圧モード増幅器を構成する、又はその一部であってもよい。

（第２欄６０行～第３欄３行）

さらに他の実施形態によると、電荷から電圧への増幅器が CCD 上に設けられてもよい。本発明の他の実施形態によれば、センスノードからの電圧信号は、第１の半導体基板上で増幅されることなく、第２の半導体基板上の読み出し回路に渡される。電圧信号を受け取る第２の半導体基板上の読み出し回路は、電圧増幅器、電圧比較器、バッファ、又はアナログデジタル変換器で構成されてもよい。さらに、センスノードの電圧は、相関二重サンプリングの使用を含む、様々な技術を用いて読み取られる。

（第３欄４～２４行）

本発明の実施形態によれば、光を検知する方法は、第１の半導体基板上に形成された、又は第１の半導体基板からなる CCD を用いて光子を検出することに応答

して電荷を生成することを含んでもよい。さらに、第１の半導体基板は、シリコン半導体で構成されていてもよい。光子の検出に応答して生成された電荷の全部又は一部を含む、第１の電荷パケットとしても知られる第１の収集が、第１のポテンシャルウェルに集められる。その後、第１のポテンシャルウェルに集められた電荷の第１のパケット（収集）に関連する第 1 の電圧を読み取ることにより、電圧信号が生成される。第１の電圧信号は、第２の半導体基板上に形成された第 1 の回路コンポーネントに提供され、第１の電圧信号は、第２の半導体基板上の第１の回路コンポーネントを含む回路を用いて処理される。本発明のさらに他の実施形態によれば、第２の電圧信号は、第１のポテンシャルウェルに蓄積した電荷の第１のパケットに関連する第２の電圧を読み取ることにより作成される。すなわち、第１の半導体基板上のポテンシャルウェルに蓄積した電荷の第１のパケットに関連する電圧を複数回読み取ることができる。

（第６欄５０行～第７欄４３行）

図 6 は、本発明の実施形態に係るイメージングセンサアレイ 124 を構成する第 1 の半導体基板 126 のいくつかの特徴を示す断面図である。図示するように、イメージングセンサアレイ 124 は、半導体基板 126 に形成された複数の画素又は光を検出する手段 604 を含む。さらに、イメージングセンサアレイ 124 は、ノイズ性能を向上させるための読み出し又は合算ウェル 608 と、センスノード（出力ノード）804 とを含む。そのセンスノード（出力ノード）804 から電圧信号が第 2 の半導体基板 130 に形成された読み出し回路 128（図 6 には示されていない）に提供されてもよい。さらに、センスノード 804 は、典型的には、フローティングディフュージョンへのコンタクトを有する。他の実施形態では、合算ウェル 608 を採用しなくてもよい。一般的に、そして当業者であれば理解できるように、各画素 604 は、感光領域を構成する。より詳細には、画素 604 に入射する光子に応答して、電荷が蓄積される。さらに、画素 604 の有効な感度範囲内では、蓄積され

た電荷の量は、積分期間中に画素 604 で受け取った光子の数に依存する。また、当業者であれば理解できるように、図 6 に図示された画素 604 は、本発明の実施形態に係るイメージングセンサアレイ 124 に含まれるエリアアレイ又はサブアレイ内のリニアアレイ又は 1 列（又は行）を構成してもよい。したがって、積分期間の後、収集された電荷は、1 つの画素 604 から直列に次の画素に転送され、最後に、合算ウェルが採用されていない実施形態では、最後のウェル 614 に転送されてもよい。他の実施形態では、電荷は、連続する積分期間中に、連続する画素 604 に蓄積されてもよい。この蓄積された電荷の実質的にすべてが、その後、最後のウェル 614 に転送される。このプロセスは、当業者には TDI（時間遅延積分）としても知られている。ここでも、ノイズ性能を向上させるために、センスノード 804 の直前に合算ウェル 608 を使用してもよい。図 6 は、3 相クロッキングを示しているが、他の実施形態では、4 相又は別の数の相クロッキングを利用してもよい。より詳細には、電荷の各収集が最後のウェル 614 に蓄積されると、読み出し回路 128（図 6 には示されていない）に伝送される電圧信号 612 を読み出すために、電荷は最後のウェル 614 からセンスノード 804 に移動させられる。あるいは、第 1 の半導体基板 126 上に増幅器（例えば、バッファ又は CTIA（Capacitance Transimpedance Amplifier））が設けられている実施形態では、電圧信号又は電荷信号がセンスノード 804 から読み出され、その後、増幅器の出力によって電圧信号 612 が供給されてもよい。一般に、画素間の電荷の移動は、転送ゲート 620 を用いて達成される。最後のゲート（出力ゲート）622 は、センスノードを最後のウェルから分離するように機能し、又はそれが存在する場合には、最後のゲート 622 は、センスノードを合算ウェルから分離するように機能する。センスノード 804 は、電圧信号 612 に隣接して描かれているが、本発明の実施形態に従って、中間回路が設けられてもよいことが理解できる。当業者であれば理解できるように、中間回路は、センスノード 804 と出力電圧信号 612 との間に介在して、出力の一部を形成してもよい。さらに、複数のセンスノード 804 が、画素 604 の列(行)

に関連付けられてもよい。一実施形態では、センスノード 804 は、CCD の列（行）の両端に存在し、CCD の順方向又は逆方向の動作に使用されてもよい。

（第７欄４４行～第８欄１３行）

図 7 は、本発明の実施形態に係るハイブリッドイメージャ 120 のコンポーネントを模式的に描いたものである。イメージングセンサアレイ 124 の感光領域を構成する画素 604 の 2 つの列（行）702a-b が描かれており、各列（行）702 はセンスノード 804 に相互接続されている。第 1 及び第 2 の相互接続 404a-b は、第 1 及び第 2 のセンスノード 804 からの電圧信号を、第 2 の半導体基板 130 上に形成され、読み出し回路 128 の一部を構成するプリアンプ 708 の入力に供給する。図示されているように、各センスノード 804 は、単一のプリアンプ 708 と関連していてもよいが、他の配置も可能である。さらに、プリアンプ 708 は電圧モード増幅器からなり、相互接続 404a-b によってセンスノード 804 からの電圧信号が供給されるので、1 つの電荷の収集の複数の測定値を提供するために、センスノード 804 の電圧を複数回読み取ることができる。したがって、信号対雑音比を改善するために、センスノード 804 内の、又はセンスノード 804 に関連する電荷の複数のサンプル（測定値）を取ることができる。また、1 つ又は複数の追加の増幅器 712 が、読み出し回路 128 の一部として提供されてもよい。図 7 に示されるように、そのような追加の増幅器 712 への入力は、1 つ又は複数のプリアンプ 708 からの出力で構成されてもよい。増幅器 712 が増幅器 708 のいずれかからその入力を選択的に受け取ることができるように、スイッチ 716 が設けられてもよい。この追加の増幅器 712 は、読み出し回路 128 に含まれる少なくとも 1 つの他の増幅器 708 から入力を受けるので、追加の増幅器 712 は、必ずしも電圧モードの増幅器でなくてもよい。追加の増幅器 712 からの出力は、次に、処理（例えば相関二重サンプリング（CDS）及びアナログデジタル変換を含む)、ディスプレイ又はストレージのために、別の基板又は装置に関連する追加の回路に提供されてもよい。

あるいは、そのような追加回路は、読み出し回路 128 の一部として提供されてもよい。例えば、イメージングセンサアレイ 124 上の画素 604 によって収集された画像データを一時的又は長期的に保存するために、メモリが提供されてもよい。

（第８欄１４～３５行）

図８は、本発明の実施形態に従って電圧信号を提供するセンスノード 804 を含むハイブリッドイメージャ 124 の一部の概略図である。特に、図示された実施形態では、センスノード 804 は、ポテンシャルウェル 818 に重なるフローティングゲート 806 を構成する。隣接するポテンシャルウェル 812 からのポテンシャルウェル 818 への電荷の転送は、転送ゲート又は CCD ゲートとしても時々知られる制御ゲート 816 を使用して制御されてもよい。特に、バイアスゲート 822 を使用して、ポテンシャルウェル 818 を空乏状態に設定することができる。画素 604 の１つからの画像信号に関連付けられた電荷がポテンシャルウェル 818 に転送されると、ゲート 806 上の電圧変化が検知され得るように導入される。例えば、フローティングゲート 806 からの電圧信号は、第１の半導体基板 126 上又は第２の半導体基板 130 上に形成された増幅器又はプリアンプ 820 に供給されてもよい。検知された後、信号電荷パケットは、ポテンシャルウェル 818 から転送され、ダイオード 830 及びダイオードドレイン 832 を介して除去されてもよいし、あるいは、ノイズ低減のために複数のサンプルを可能にするためにフローティングゲート 806 の下に残ってもよい。所望の数のサンプルが得られた後、電荷は、ダイオードドレイン 832 を介して除去され得る。

（第８欄４６～６０行）

本発明の他の実施形態に従ったハイブリッドイメージャ 124 の部分が、図９に示されている。特に、図９は、図８に描かれたハイブリッドイメージャ 124 と異なっている。センスノード 804 からの電圧信号は、フローティングゲートとして

も機能する電極904を使用するために供給される。電極（ゲート）904の電圧は、リセットトランジスタ908によって決定される。また、センスノード804から電圧モードアンプ820への電圧信号を運ぶための信号ライン906には、リセットスイッチ又はトランジスタ908が関連付けられている。リセットスイッチ908及び／又は電圧モード増幅器820は、第1の半導体基板126又は第2の半導体基板130のいずれかに形成されてもよい。検知された後（おそらく複数回）、信号電荷パケットは、ダイオードドレイン（図9には示されていない）を介して除去され得る。

（第９欄２２～５１行）

図12は、本発明の実施形態に係るハイブリッドイメージャ120の一部を模式的に示した図である。CCDイメージングセンサアレイ124は、複数のサブアレイ1204にまとめられた複数の画素604を含む。画素604の各列（行）は、センスノード804aと関連していてもよい。さらに、サブアレイ1204からの双方向の出力をサポートするために、第1のセンスノード804aが配置されている端部とは反対側の画素604の各列（行）の端部に第2のセンスノード804bが設けられてもよい。図示されているように、第1の半導体基板126上に形成された増幅器1208は、各センスノード804に関連していてもよい。図面を明確にするために、画素のすべての列（行）が、関連付けられたセンスノード804又は増幅器1208、又は図に関連して説明される他のコンポーネントと一緒に示されているわけではない。当業者であれば理解できるように、増幅器1208は、センスノード804から検知された電圧と異なる出力電圧、又は比較するために増幅された出力電圧を提供する必要はない。したがって、電圧バッファされた出力を提供するために、増幅器1208は、ソースフォロワ又は他のバッファを構成してもよい。本発明の他の実施形態によれば、増幅器1208は、関連するセンスノード804から電荷信号を読み取り、増幅器の出力として電圧信号を提供してもよい。したがって、CCDイメー

ジングセンサアレイ 124 を構成する第 1 の半導体基板 126 上で、電荷から電圧への変換が行われてもよい。あるいは、CCD 撮像素子を構成する第 1 の半導体基板 126 上の増幅器 1208 を省略してもよく、その場合は各センスノード 804 から直接電圧信号を読み出す。

（第９欄５２行～第１０欄１２行）

センスノード 804 からの電圧信号は、センスノード 804 の増幅されていない電荷の収集から読み取られたものであっても、第 1 の半導体基板 126 上の増幅器 1208 の出力から読み取られたものであっても、相互接続 404 によって第 2 の半導体基板 130 上に形成された読み出し回路 128 に提供される。例えば、第 1 の半導体基板 126 上の CCD イメージングセンサアレイ 124 の画素 604 からの電圧信号は、第 2 の半導体基板 130 上に形成された読み出し回路 128 の少なくとも一部を構成する電圧モードの増幅器又はプリアンプ 708 の入力に伝達される。増幅器 708 は、図示された例では、その図において第 1 の半導体基板 126 の下にある第 2 の半導体基板 130 の一部に配置されているため、図 12 に点線を用いて示されている。当業者であれば理解できるように、電圧モード増幅器は、高い入力インピーダンス又は本質的に無限大の入力インピーダンスによって特徴付けられる。その結果、相互接続 404 によって増幅器 708 の入力に伝達されるようなセンスノード 804 の電圧は、複数回サンプリング又は読み取ることができる。これは、センスノード 804 に直接接続された場合、センスノード 804 に収集された電荷を消耗し、したがって、センスノード 804 から一度だけ読み取ることができるチャージモードアンプとは対照的である。また、当業者であれば理解できるように、増幅器 708 は、入力電圧と異なる、又は入力電圧と比較するために増幅された出力電圧を提供する必要はない。例えば、増幅器 708 は、ソースフォロワ又は他のバッファで構成されてもよい。

（第１０欄１３～２０行）

図 12 に示されているように、第 1 の半導体基板 126 は、ポテンシャル障壁を形成するための多数の手段、又は制御ゲート 816 を含んでもよい。当業者であれば理解できるように、制御ゲート 816 は、収集された電荷を画素 604 から、又は画素 604 の列（行）から順次、センスノード 804 に移動させるために設けられてもよい。また、関連するセンスノード 804 をリセットするために、リセットスイッチ 908 を第 1 の半導体基板 126 上に形成することができる。

（第１０欄２１～５７行）

前述のように、第 2 の半導体基板 130 上に形成された読み出し回路 128 は、増幅器又はプリアンプ 708 を含んでいてもよい。また、代替的又は追加的に、読み出し回路 128 は、1／f ノイズを含む低周波ノイズ成分を低減するために CDS 回路 1000 を含んでいてもよい。双方向出力が提供される場合、画素 604 又は画素の列（行）に含まれる画素 604 に対する電圧信号が得られるセンスノード 804 は、第 2 の半導体基板 130 に形成されたスイッチ 1212 を用いて選択されてもよい。追加の増幅は、列（行）増幅器 1216 によって提供されてもよい。これらの増幅器 1216 は、差動増幅器又はシングルエンド増幅器で構成されてもよい。本発明の実施形態によれば、画素からの信号又は TDI 配置の多数の画素からの統合された信号は、次に、アナログデジタル変換器（ADC）1220 によって処理される。例として、ADC は、ランプ ADC 又はパイプライン ADC で構成されてもよい。データが ADC によってデジタル化された後、同じく第 2 の半導体基板 130 上に形成されたシリアライザ 1224 によってデジタル処理され得る。その後、シリアライザからの出力は、第 2 の半導体基板 130 から、例えばストレージやディスプレイのために、他の回路に渡すことができる。デジタルデータの転送は、デジタルデータリンク 1228 によるものであってもよい。例えば、デジタルデータリンク 1228 は、LVDS（Low Voltage Differential Signaling）リンクで構成されていてもよい。クロック生成は、第

2の半導体基板130上の読み出し回路128の一部として設けられたクロック生成回路1232によって行われてもよい。本発明の実施形態によれば、外部回路1236、又は、第1の半導体基板126又は第2の半導体基板130のいずれにも形成されていない回路を使用して、クロック信号を正しい電圧でCCD検出アレイ124に結合してもよい。他の実施形態では、外部回路1236も第2の半導体基板130上に形成されてもよい。多数の回路が第2の半導体基板130上又はその一部に形成されていると説明してきたが、これらの回路の一部又は全部を省略したり、他の基板に形成したりしてもよい。

図８

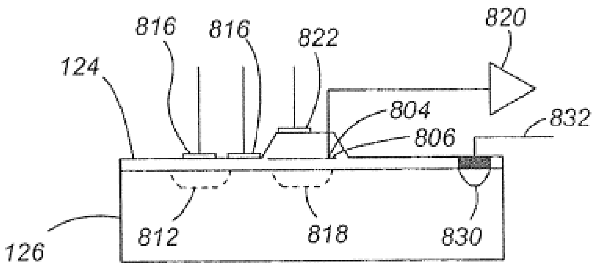
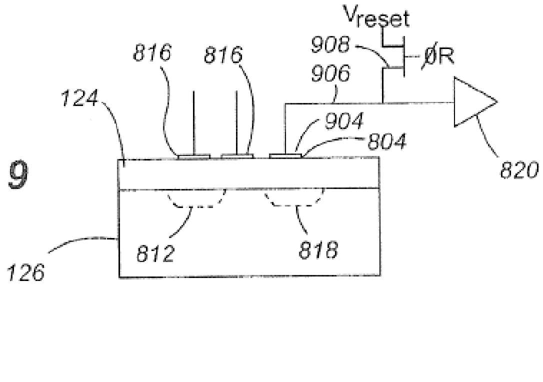
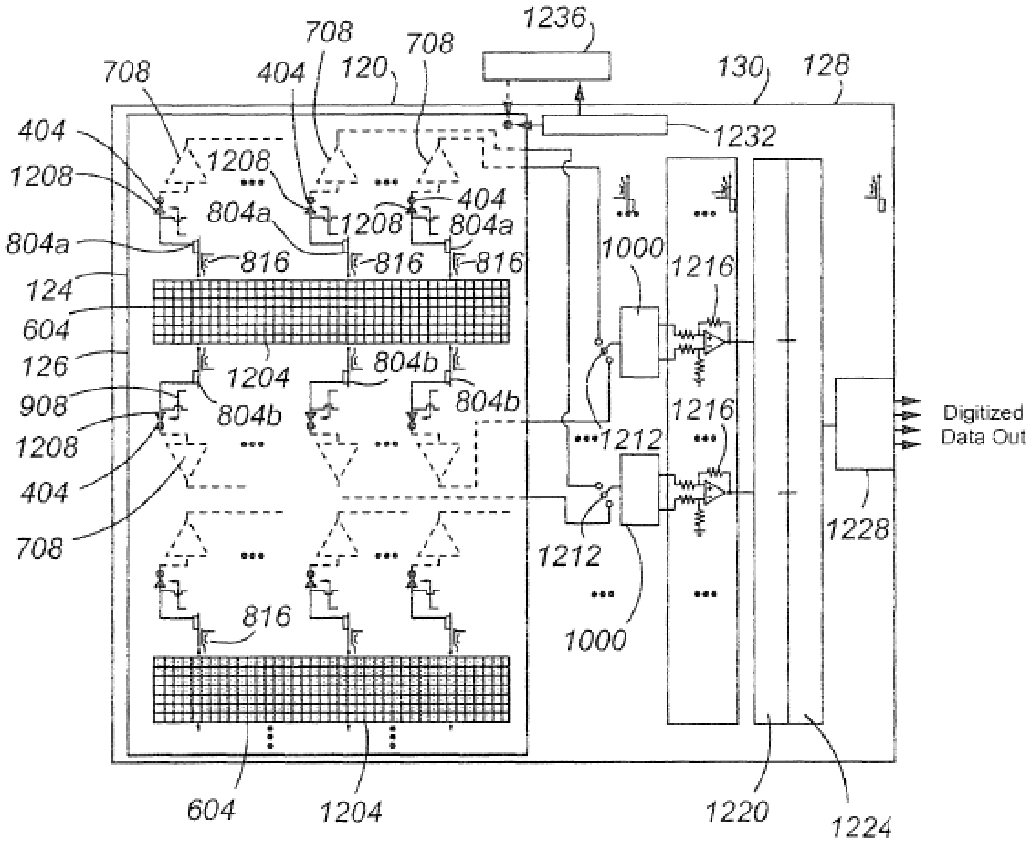


図９





1236
708
708
404
120
130
128
708
404
1208
1208
1232
804a
404
804a
1208
804a
816
816
816
124
1000
1216
604
126
1204
804b
908
804b
804b
1208
1212
1216
404
Digitized
Data Out
708
1212
1228
816
1000
604
1204
1220
1224

Fig. 12

（別紙３）

１　特開平２－１５９７３７号公報（乙５）

(1)　「〔従来の技術〕

固体撮像装置で検出した映像信号から各種色信号や輝度信号等を形成するために電荷転送デバイスより成るＣＣＤ遅延線が使用され、信号電荷の転送効率等の点で埋込チャンネルＣＣＤが用いられている。」（１頁右下欄３～８行）

(2)　「次に第１０図に示す第３の従来例はフローティング・ゲート型アンプと呼ばれ、特開昭６３−８８８６４号公報等に開示されている。原理を概略的に説明すると、第１０図において、ＢＣＣＤ１の終端に所定の直流電圧ＯＧが印加されるゲート電極４、フローティング・ゲート５、リセット用ゲート電極６、７及びドレインＤが順番に形成され、ドレイン端子は昇圧回路３の定電圧V_{DD}が印加され、リセット用ゲート電極６．７は所定タイミングのリセット信号ϕ_Rに同期してオンとなることによりフローティング・ゲート５下の信号電荷をドレインＤへ排出する。Q_1は電源電圧Ｖｃｃとフローティング・ゲート５との間に接続するリセット用トランジスタであり、所定タイミングのリセット信号ＲＳＴに同期してオンとなることによりフローティング・ゲート５を電圧Ｖｃｃに等しい電位にリセットする。」（２頁右下欄４～２０行）

(3)　「〔実施例〕

以下本発明の一実施例を図面と共に説明する。

第１図はＣＣＤ遅延線本体の終端部分の構造と信号出力手段を示す実施例構成図であり、第２図及び第３図は信号出力手段の詳細な回路構成を示す。

第１図において、Ｐ形半導体基板１０の表面部分にN^-形不純物のイオン注入層１１が形成され、更にゲート酸化膜を介して電荷転送用のゲート電極が積層されることで同図中の領域Ａに埋込チャネルＣＣＤ（ＢＣＣＤ）が形成され、該領域Ａは遅延素子の本体部分を構成している。

（中略）

次に、信号出力手段の構成を説明するに、２０はフローティング・ゲート１７に生じる電圧を検出するポテンシャル検出回路であり、第２図に示すボルテージ・フォロワ型回路または第３図に示すようなスイッチト・キャパシタ積分器を備えた回路から形成されている。

即ち、第２図に示す回路にあっては、フローティング・ゲート１７にゲート接点が接続すると共にソース接点が電源端子V_{cc}に接続するＭＯＳ型トランジスタQ_5、ゲート接点にリセット信号ＲＳＴが印加されることにより該ゲート接点と電源端子V_{cc}間を開閉するように接続されたＭＯＳ型トランジスタQ_6、トランジスタQ_5のドレイン接点にソース接点が接続すると共にドレイン接点がアース端子に接続し且つゲート接点に所定のバイアス電圧V_{GS}が印加されるＭＯＳ型トランジスタQ_6を備え、更にトランジスタQ_5のドレイン接点がバッファ・アンプＡＭＰ１を介してアナログ・スイッチＳＷ１に接続し、アナログ・スイッチＳＷ１の出力接点が容量素子C_1を介してアース端子に接続すると共に、バッファ・アンプＡＭＰ２を介して出力端子ＯＵＴに接続している。

ここで、リセット信号ＲＳＴは所定のタイミングでフローティング・ゲート１７を電源端子V_{cc}の電位にリセットするためにあり、アナログ・スイッチＳＷ１はサンプル・ホールド信号ＳＨに同期して開閉動作することにより容量素子C_1にフローティング・ゲート１７の電圧をサンプル・ホールドさせ、更に、容量素子C_1に保持された電圧をバッファ・アンプＡＭＰ２を介して出力端子ＯＵＴに発生させることにより、フローティング・ゲート１７に生じたポテンシャルの変化を電圧の変化として出力させる。」（４頁左上欄３行～左下欄１６行）

(4)　「　次にかかる構成の実施例の作動を第５図のタイミング・チャート及び第６図のポテンシャル・プロフィールに基づいて説明する。尚、第６図は第１図

の構造説明図に対応し且つ第５図の適宜の時点におけるポテンシャル・プロフィールを示す。

まず、転送クロック信号ϕ_1、ϕ_2に同期して所定周期で転送されてくる各信号電荷を読取るために各周期の最初にフローティング・ゲート１７を所定電位にリセットする。例えば、或る周期における時点t_1においてリセット信号ＲＳＴを一時的に“Ｈ”レベルにすることにより、第２図の回路にあってはトランジスタQ_4を導通にして電源電圧Ｖｃｃ（例えば、５ボルト）の電位にリセットし、第３図の回路にあってはアナログ・スイッチＳＷ２を導通にしてバイアス電圧V_B（例えば、３ボルト）の電位にリセットする。更に、リセット信号ＲＳＴと同位相で反転する矩形（例えば、０ボルトと５ボルト）の制御信号ϕ_{RST}により、時点t_1においては第６図（ａ）に示すようにゲート電極１８下のポテンシャル障壁を下げてフローティング・ゲート１７下の不要電荷を不純物層１９へ廃棄する。そして、リセット信号ＲＳＴと制御信号ϕ_{RST}が再び“Ｌ”レベルになると、フローティング・ゲート１７は高インピーダンス状態で初期化電位に保持され、ゲート電極１８下のポテンシャル障壁は高くなる。

尚、この初期化の時点t_1では第６図（ａ）に示すように、最も出力側に位置する信号電荷q_1がゲート電極１４、１５下に転送され、次の信号電荷q_2がゲート電極３０下に転送され、次の信号電荷q_3がゲート電極２６下に転送される関係になる。

次に、時点t_2において、クロック信号ϕ_{1A}及びϕ_{2B}が“Ｌ”レベル、クロック信号ϕ_{2A}がマイナスの“Ｌ”レベルとなることにより、第６図（ｂ）に示すように、ゲート電極２９、３０、１４、１５下のポテンシャルが浅くなるので、信号電荷q_1がゲート電極１６下のポテンシャル障壁を越えてフローティング・ゲート１７下へ転送されると共に、信号電荷q_2がゲート電極３１、１３及び不純物層１２下に転送される。その結果、フローティング・ゲート１７の電位が信号電荷q_1に比例して変化し、第２図の回路の場合にはこのフローテ

ィング・ゲート１７の電位に相当する電圧信号ＳＣ$_1$がバッファ・アンプＡＭＰ１の出力接点に発生し、第３図の回路の場合にはフローティング・ゲート１７の電位に相当する電圧が容量素子Ｃ$_3$に保持されると同時に差動増幅器ＡＭＰ３の出力接点に該保持電圧に等しい電圧信号ＳＣ$_1$が発生する。

次に、時点ｔ$_3$において、クロック信号φ$_{1A}$が“Ｈ”レベルとなることによりゲート電極１４下に信号電荷ｑ$_2$が転送され、更に時点ｔ$_4$においてクロツク信号φ$_{2B}$が“Ｈ”レベルとなることによりゲート電極１５下へも信号電荷ｑ$_2$を転送すると同時に、クロツク信号φ$_1$、φ$_2$に同期してＢＣＣＤより転送されてくる次の１ピクセル分の信号電荷ｑ$_3$をゲート電極２９、３０下へ転送する。

更に時点ｔ$_3$～ｔ$_4$の間でサンプル・ホールド信号ＳＨが“Ｈ”レベルとなることで、第２図の回路にあっては出力信号ＳＣ$_1$を容量素子Ｃ$_1$に保持させ、第３図の回路にあっては出力信号ＳＣ$_1$を容量素子Ｃ$_3$に保持させ、そして夫々の回路とも該保持電圧に比例した信号Ｓ$_0$を出力端子ＯＵＴに発生させる。

このようにゲート電極１４、１５下まで転送されている信号電荷ｑ$_1$の読出しは上記時点ｔ$_1$～ｔ$_4$の処理で完了する。

次に、時点ｔ$_5$において、リセット信号ＲＳＴを“Ｈ”レベルにすると共に制御信号φ$_{RST}$を“Ｈ”レベルにすることによって、第６図（ｄ）に示すように、ゲート電極１８下のポテンシャル障壁の高さを下げると同時にフローティング・ゲート１７下のポテンシャルを所定の初期レベルに設定して信号電荷ｑ$_1$を不純物層１９へ廃棄し、第６図（ａ）に示したのと同様に初期化が行われる。

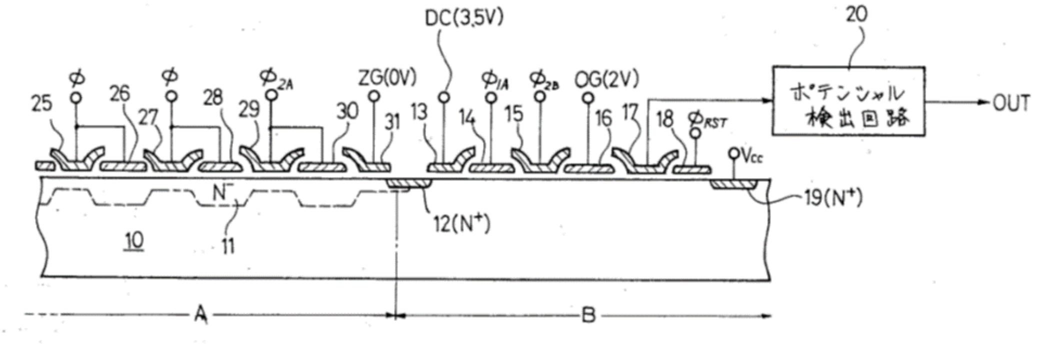
更に時点ｔ$_5$では信号φ$_{1A}$を“Ｌ”レベルにすることにより信号電荷ｑ$_2$をゲート電極１５下へのみ移し、更に時点ｔ$_6$において信号φ$_{2B}$を“Ｌ”レベルとすることにより信号電荷ｑ$_2$をフローティング・ゲート１７下へ転送する。

そして、時点ｔ$_6$においてフローティング・ゲート１７へ転送された信号電荷ｑ$_2$が上記信号電荷ｑ$_1$と同様に検出され、該信号電荷ｑ$_2$に相当する電圧信号Ｓ$_0$が出力される。このようにして信号電荷ｑ$_2$の読取り処理が完了する。

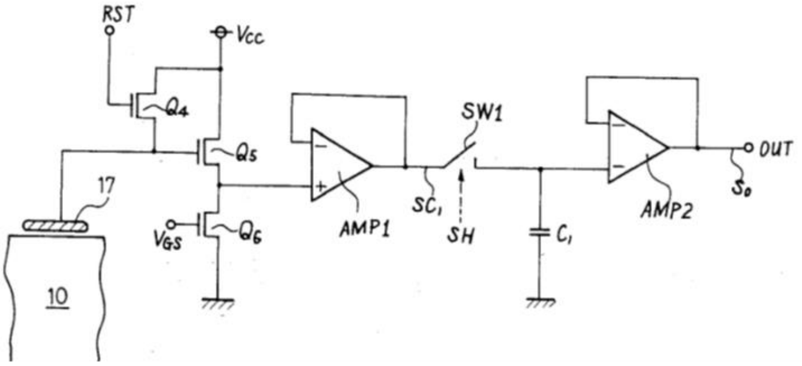
尚、時点t_1においてゲート電極２６下に在った信号電荷q_3は時点t_1～t_6の期間中にゲート電極３０下まで転送され上記同様の読出し処理がなされる。

このような作動はＢＣＣＤのクロック信号ϕ_1、ϕ_2の周期に同期して繰り返され、遅延した１ステージ毎の信号を出力することができる。」（５頁右下欄５行～６頁右下欄１８行)」

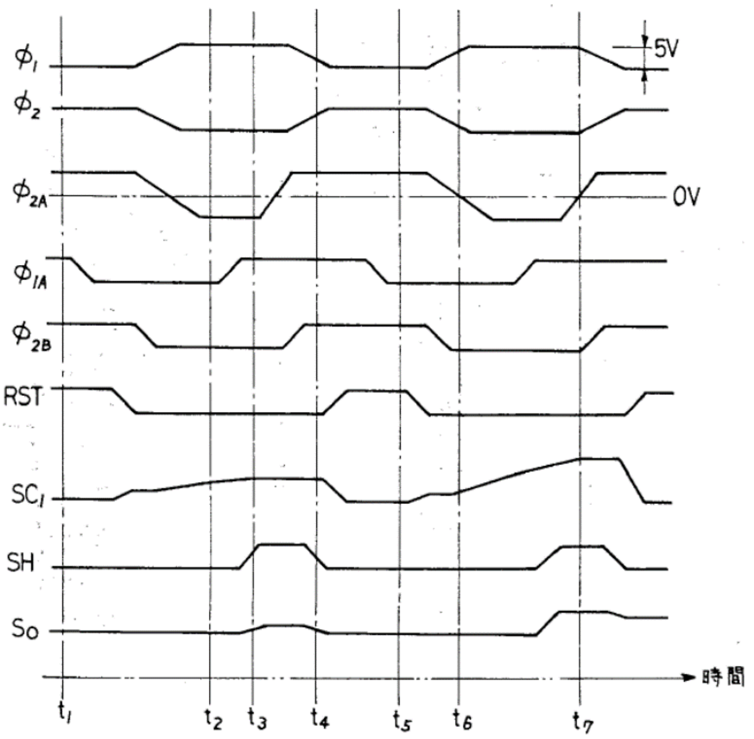
(5)　第１図



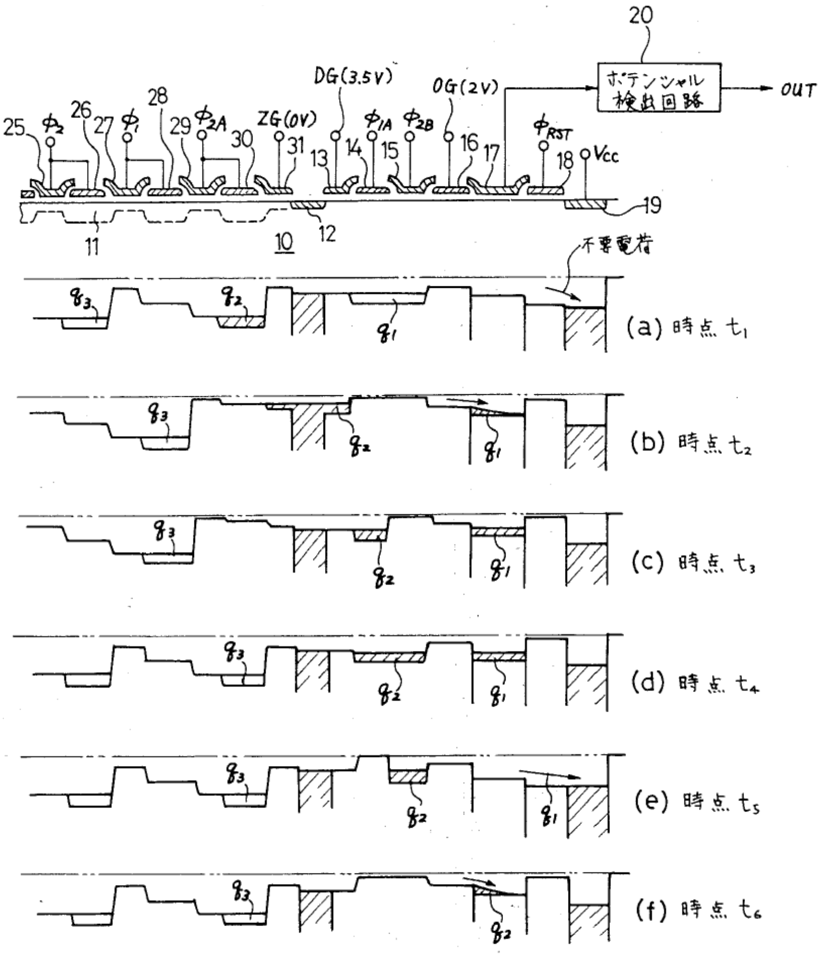
第２図



第５図



第６図



２　特開平７－１６１９６９号公報（乙６）

【０００２】

【従来の技術】ＣＣＤにおいては信号電荷を低雑音検出及び増幅することが要求される。ＣＣＤの電荷検出装置の代表的なものとしては、フローティング・ディフュージョン・アンプ（Floating Diffusion Amplifier 以下ＦＤＡと略記）とフローティング・ゲート・アンプ（Floating Gate Amplifier 以下ＦＧＡと略記）があった。ＦＤＡは最も普及しているものであり、図９にＦＤＡを用い

た従来のＣＣＤ装置の全体構成を示す。フォトダイオード（ＰＤ）90 に入射した光子は、電荷に変換されＰＤ90 内に蓄積される。一定時間後、信号電荷はＶＣＣＤ91 に読み出され、ＨＣＣＤ92 を経てＦＤＡ93 に入力され、電圧として検出される。このようなＦＤＡでは、リセット雑音が発生するという問題があった。一方ＦＧＡには、非破壊でリセット雑音のない増幅器を実現可能であるという特徴があった。

【０００４】図１０は従来のＦＧＡの寄生容量を示す図であり、フローティングゲート（ＦＧ）95 下に信号電荷Ｑが入力した場合の断面の形状を示している。Si 基板上にゲート酸化膜 96 をはさんで、ポリシリコンによってＦＧ95 が形成される。SiO_2 で絶縁膜を形成後、アルミニウムやタングステンによってバイアスゲート 94 が形成される。この時Ｃ１は信号電荷ＱとＦＧ95 間容量、Ｃ２はＦＧ95 とＢＧ94 間容量、Ｃ３は信号電荷ＱとＰ型基板間の空乏層容量、Ｃ４はＦＧ95 と P+領域（チャンネル・ストッパとして機能）間容量、Ｃ５はＭＯＳトランジスタ（以下Ｔｒと略記）の入力容量である。ＭＯＳＴｒはソースフォロワ（図示せず）を構成し、信号電圧を低出力インピーダンスに変換して出力する。つまりＦＧ95 は電荷検出用ゲートと初段Ｔｒのゲートを兼ねたことになる。このような寄生容量が存在した状態で、ＦＧ95 下に信号電荷Ｑが入力された場合、ＦＧ95 には（１）式にしたがってΔＶだけの電圧変化が現れる。

【０００７】図１１は従来のＦＧＡ周辺の平面図と断面図であり、ＨＣＣＤ92 上に形成されたゲートにφＨ１、φＨ２が印加されることにより信号電荷が転送される。信号電荷は、アウトプットゲート（ＯＧ）97 を越えてＦＧ95 下に転送され、電荷電圧変換が行われる。ＦＧ95 で検出された信号電荷Ｑは、ＦＤＡと同様に、リセットゲート（ＲＧ）98 によって、リセットドレイン（ＲＤ）99 に排出される。図１１より明らかなように、ＦＧ95 とＯＧ97、ＲＧ98 がオーバーラップしている。これはφＨ１、φＨ２が印加されたゲートと同様に、ＦＧ95 を配置したためであり、ＦＧ95 とＯＧ97 間にＣ６、ＦＧ95 とＲＧ98 間にＣ７

の容量が新たに付加されている。したがって従来では、ＦＧＡの感度はＦＤＡに比較して４～５割低くなっていた。

【００３２】次に、本発明の第５の実施例について、図面を参照しながら説明する。図５は本発明の第５の実施例におけるＦＧＡ周辺の断面図、ポテンシャル図とタイミングチャートである。第５の実施例の特徴は、リセットゲートを形成せず、リセットドレインにφＨ１と同相のパルスを印加することでリセット動作を行うことにある。図５（ａ）は断面図であり、リセットゲートを取り除いた構成になっている。ＦＧ30 とＲＤ99 間には間隙が存在し、ＢＧ94 もこの間隙を覆いつくしてはいない。この状態でのポテンシャル図が図５（ｂ）であり、ＲＤ99 にローレベルの駆動信号（ゼロではない）が印加された場合、ＦＧ30 とＲＤ99 間にはポテンシャルギャップが存在する。

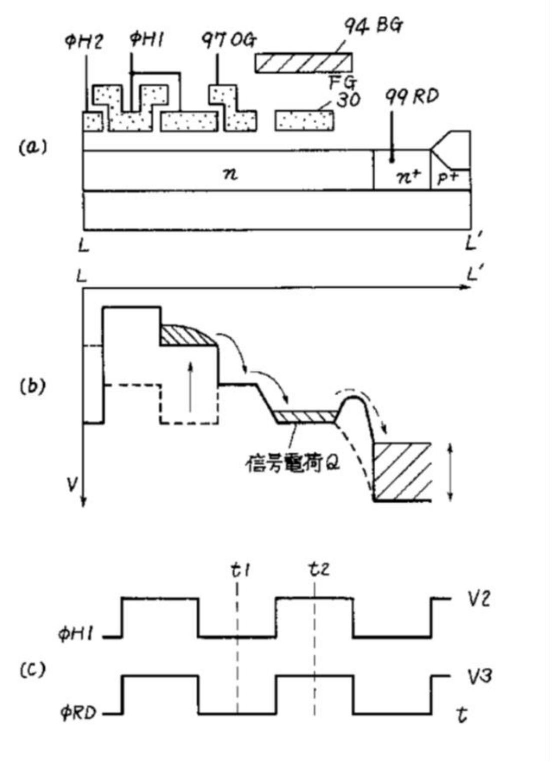
【００３３】図５（ｃ）はタイミングチャートであり、φＨ１、φＲＤ（リセットドレインに印加する信号）の関係を示している。図５（ｂ）ではｔ１での状態を実線で、ｔ２での状態を破線で示している。ｔ２にてハイレベル信号（Ｖ３）が加えられるためポテンシャルギャップが消滅し、既に（ｔ１）ＦＧ30 下に転送されてきた信号電荷ＱはＲＤ99 に吸収される（リセットされる)。この時φＨ１、φＲＤは同相であるが、駆動信号のハイレベル（Ｖ２、Ｖ３）は異なっている。従来のリセットパルス幅は、φＨ１のハイ期間の半分程度にする必要があったが、第５の実施例ではφＨ１と同等でよいため駆動回路が簡単になる。またリセットゲートが存在しないため、余分な寄生容量を削減でき電荷検出感度も向上する。なお第５の実施例をＦＤＡに適用しても同様の効果が得られるのは言うまでもない。

【００３４】次に、本発明の第６の実施例について、図面を参照しながら説明する。図６は本発明の第６の実施例におけるＦＧＡ周辺の断面図、ポテンシャル図とタイミングチャートである。第６の実施例の特徴は、ＯＧ97 に隣接するφＨ１Ｌ（ＨＣＣＤの最終ゲート）に印加する信号振幅を、他のφＨ１に印加す

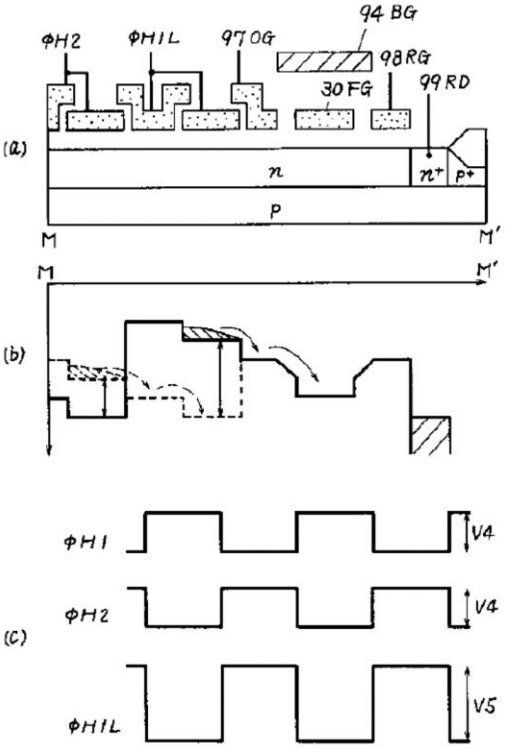
る信号振幅より大きくすることにある。

【００３５】図６（ａ）は断面図であるが、φＨ１の最終段のみに別信号を加える構成とすることが従来と異なる。図６（ｃ）はタイミングチャートであり、図６（ａ）に示す構成の電荷検出装置に供給する信号である。また図６（ｂ）はこの時のポテンシャル図である。φＨ１、φＨ２には信号振幅がＶ４となるパルスを印加し、φＨ１Ｌには信号振幅Ｖ５なるパルスが印加される（Ｖ４＜Ｖ５）。φＨ１Ｌの信号振幅が大であるため、ＯＧ97 電位を従来より低く設定してもＣＣＤは動作可能である。したがってＢＧ94、ＦＧ30 の電位を下げても動作可能であるため、リーク電流の発生は大幅に抑制され、ＦＧ電位の変動もほとんどなくなる。なお第６の実施例をＦＤＡに適用しても動作可能なことは言うまでもない。

【図５】



【図６】



３　特開２００８－６００９７号公報（乙７）

【０００３】

ＦＤ以外の主要な電荷検出方式としてフローティングゲート(以下ＦＧという、ＦＤはFloating Gateの略) 方式がある。ＦＧ方式は主にＣＣＤ素子の電荷検出部として用いられていて、例えばＣＣＤ撮像素子の水平ＣＣＤ終端部において、ある電位にリセットされた電荷検出用フローティングゲート(Floating Gate)下のＣＣＤチャネルに信号電荷を転送することで、信号電荷量に応じてＦＧ電位が変化し、このＦＧが出力ＭＯＳＦＥＴ（ＦＥＴ：Field Effect Transistor ）のゲートに接続された構造をなしており、出力ＭＯＳＦＥＴのチャネル電流が信号量に応じて変調されることを原理としている。本方式ではＦＧ部リセット用トランジスタが接続されていることやＦＧ部面積の関係から、上記ＦＤ方式にくらべ電荷検出容量が大きくなり易く、高変換効率の電荷検出部を得られにくい。しか

しながら後段の出力部動作電圧を低く設定し易いことや非破壊読み出しであることから複数個のＦＧを並べて検出回路のＳＮを向上させる手段をとれる等のメリットがある。

【００１３】

まず、固体撮像装置の概要を、ＣＣＤ型固体撮像装置を一例として説明する。図３に示すように、固体撮像装置（ＣＣＤ型固体撮像装置）１は、入射光を光電変換する光電変換部１１と、光電変換部１１で光電変換して得られた電荷を垂直転送する垂直転送部１２とを備えたイメージ部１３と、垂直転送された信号電荷を出力側に水平転送する水平転送部１４と、水平転送部２４より出力された信号電荷を電圧に変換し増幅する出力部１５が備えられている。

【００１４】

上記出力部１５の詳細は、図１および図２に示すように、半導体基板１０には、水平転送部（例えば水平転送ＣＣＤ）１４が形成されている。この水平転送部１４は、半導体基板１０に形成されたチャネル領域２１上に絶縁膜２２を介して転送ゲート２３が配列された構成となっており、各転送ゲート２３が図示はしないが各垂直転送部に接続されている。上記水平転送部の出力側の半導体基板１０上には上記絶縁膜２２を介して出力ゲート（水平出力ゲート）２４、信号電荷検出部２５、リセットゲート２６が順に形成されている。上記信号電荷検出部２５は、例えば駆動トランジスタ３１で構成されている。

【００１７】

また、上記リセットゲート２６は、上記コントロールゲート３５の信号電荷の進行方向側に間隔を配して設置されていることになる。上記リセットゲート２６の上記駆動トランジスタ３１とは反対側の上記半導体基板１０には、リセットドレイン２７が形成されている。

【００１８】

上記固体撮像装置１では、水平転送部１４を転送された信号電荷は水平出力ゲ

ート２４下のチャネル領域２１を通って、コントロールゲート３５下のチャネル領域２１に転送されると、信号電荷量に応じた電位変化が同チャネル領域２１に生ずる。このチャネル領域２１に生じた電位変化が容量結合で駆動トランジスタ３１のチャネル３２の電位を変調する。上記駆動トランジスタ３１の電流−電圧（Ｉ−Ｖ）特性はＭＯＳＦＥＴの電流−電圧（Ｉ−Ｖ）特性と同様なる傾向を示す。したがって、チャネル領域２１が駆動トランジスタ３１のゲート電極部として機能する。よって、駆動トランジスタ３１を流れる電流が変調を受けて信号電圧に変換されて、ソースフォロワを通して、信号出力として外部に出力される。

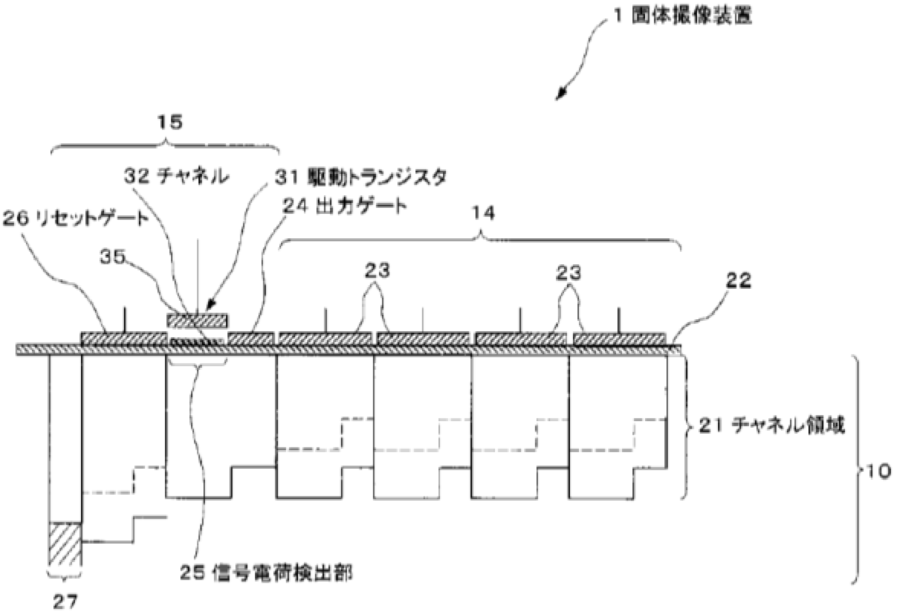
【００１９】

本実施例では、信号電荷を読み出した後に、リセットゲート２６をＨｉｇｈにして、チャネル領域２１からリセットドレイン２７に電荷の吐き出しを行う。このリセット動作において、コントロールゲート３５に対してＬｏｗ側に電位を与え、チャネル領域２１の電位を浅くし、チャネル領域２１からリセットゲート２６への完全転送を助長する動作とすることもできる。

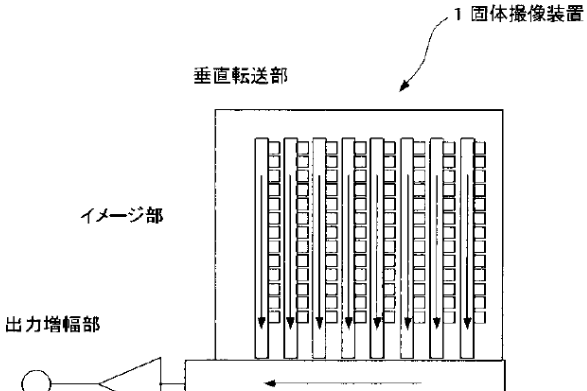
【００２０】

上記固体撮像装置１では、信号電荷検出部２５が水平転送部１４と水平出力ゲート２４を介して連続して形成され、信号電荷検出部２５からリセットゲート２６への電荷転送がＣＣＤ転送（完全転送）で行われる。そのためＫＴＣノイズやチャージシェアリング（Charge sharing）ノイズを持たないため、高感度化が可能になる。また、上記固体撮像装置１は、基本的にはＦＧ方式の固体撮像装置の一種であるものの、ＦＧ方式以上の高変換利得を得ることが可能である。

【図１】


1 固体撮像装置
15
32 チャネル
31 駆動トランジスタ
24 出力ゲート
26 リセットゲート
14
35
23
23
22
21 チャネル領域
10
25 信号電荷検出部
27

【図３】


1 固体撮像装置
垂直転送部
イメージ部
出力増幅部
増幅器
水平転送部