

平成17年(行ケ)第10433号 補正の却下決定取消請求事件  
平成18年2月20日判決言渡, 平成18年1月23日口頭弁論終結

判 決  
原告 テキサス インストルメンツ インコーポレイテッド  
訴訟代理人弁理士 浅村皓, 浅村肇, 岩井秀生, 林銘三, 清水邦明, 畑中孝之,  
小池恒明, 片寄恭三  
被告 特許庁長官 中嶋誠  
指定代理人 堀江義隆, 川名幹夫, 小池正彦, 青木博文

主 文  
特許庁が不服2003-19400号事件について平成16年12月13日にした平成15年11月4日付けの手續補正を却下する旨の決定を取り消す。  
訴訟費用は被告の負担とする。

事実及び理由  
第1 原告の求めた裁判  
主文と同旨の判決。

## 第2 事案の概要

本件は, 特許出願人が, 明細書についてした手續補正を却下する旨の決定の取消しを求める事案である。

### 1 特許庁における手續の経緯

(1) 原告は, 平成4年4月22日, 発明の名称を「マイクロプロセッサと同期して動作するランダムアクセスメモリ」とする特許出願(請求項の数2)をした。

(2) 原告は, 平成11年4月20日, 発明の名称を「マイクロプロセッサと同期するメモリ, 及びデータプロセッサ, 同期メモリ, 周辺装置とシステムロックを含むシステム」に変更するとともに, 請求項の数を69とする補正をし, さらに, 平成14年3月28日, 請求項8, 52及び53を変更する補正をした。なお, これらの補正は, 平成5年法律第26号による改正前の特許法の規定によるものである。

(3) 原告は, 平成15年6月30日付けの拒絶査定を受けたので, 同年10月2日, 拒絶査定に対する審判を請求するとともに(不服2003-19400号事件として係属), 請求項の数を1とする補正をし, さらに, 同年11月4日, 請求項の数を67とする補正(以下「本件補正」という。)をした。

(4) 特許庁は, 平成16年12月13日, 平成11年4月20日付け, 平成14年3月28日付け及び平成15年11月4日付けの手續補正を却下する旨の決定をし, 平成16年12月24日, その謄本を原告に送達した。

### 2 特許請求の範囲の記載(本件補正後のもの)

【請求項1】 デジタルプロセッサと,  
デジタルプロセッサの動作を制御するタイミングエッジを有するシステムクロック信号を生成するシステムクロック回路と,  
システムクロック信号のエッジに应答し, アドレス可能な蓄積セルをアクセスする同期ランダムアクセスメモリとを有し,  
前記同期ランダムアクセスメモリは, システムクロック信号と第1のデータ制御信号に应答し蓄積セルへの読み書きのため所定数のデータビットを選択するタイミングおよび制御回路を有し, 前記所定数は前記第1のデータ制御信号の第2論理状態のときよりも第1論理状態のときのほうが大きく, さらに前記同期ランダムアクセスメモリは, システムクロック信号に应答してデータをラッチする入力及び出力データラッチを有する, データ処理システム。

【請求項2】 前記データ処理システムは,  
前記タイミングおよび制御回路によって生成された第1の制御信号に应答し同期メモリへデータを書き込んだりあるいはそこからデータを読み出すためアドレス可能な蓄積セルの行をアクセスする行アドレス回路と,  
前記タイミングおよび制御回路によって生成された別の制御信号に应答し同期メモリへデータを書き込んだりあるいはそこからデータを読み出すためアドレス可能な蓄積セルの列のブロックをアクセスする列アドレス回路とを有する, 請求項1記

載のデータ処理システム。

【請求項3】 前記同期ランダムアクセスメモリは、開始列アドレス信号を受け取り、システムクロック信号と前記第1のデータ制御信号にตอบสนองし第1グループの列アドレス信号と第2グループの列アドレス信号を生成する列アドレスカウンタ回路と、

前記第1グループの列アドレス信号にตอบสนองし列のブロックをアクセスする列デコード回路と、

前記第2グループの列アドレス信号にตอบสนองし蓄積セルへのデータの書き込み及び蓄積セルからのデータの読み出しをするデータマルチプレクサ回路とを有する、請求項2記載のデータ処理システム。

【請求項4】 前記所定数のビットは4である、請求項3記載のデータ処理システム。

【請求項5】 前記所定数のビットは8である、請求項3記載のデータ処理システム。

【請求項6】 同期ランダムアクセスメモリは、スタティック蓄積セルアレイを有する半導体装置として製造される、請求項3記載のデータ処理システム。

【請求項7】 前記タイミングおよび制御回路は、第2の制御信号にตอบสนองし蓄積セルのアレイに書き込まれるあるいはそこから読み出されるデータビットの順序を決定する、請求項6記載のデータ処理システム。

【請求項8】 デジタルプロセッサと、デジタルプロセッサの動作を制御するタイミングエッジを備えたシステムクロック信号を生成するシステムクロック回路と、

行と列のアドレスによってアドレス可能であり、蓄積セルのアレイにデータを蓄積可能な同期ランダムアクセスメモリとを有し、

前記デジタルプロセッサは、システムクロック信号のエッジにตอบสนองし、システムクロック信号のタイミングエッジに相互に関連されたタイミングエッジを有するゲートされたシステムクロック信号を生成し、

前記ランダムアクセスメモリは、ゲートされたシステムクロック信号のエッジと制御信号にตอบสนองし蓄積セルへの読み書きのため所定数のデータビットを選択するタイミング及び制御回路を有し、さらに前記ランダムアクセスメモリは前記ゲートされたシステムクロック信号のエッジにตอบสนองしてデータをラッチする入力及び出力データラッチを有する、データ処理システム。

【請求項9】 アドレス可能な行と列に配列された蓄積アレイと、

行アドレスバッファと、

行アドレスデコーダと、

列アドレスバッファと、

第1及び第2の論理状態を有する制御信号を生成するカウンタ制御回路と、

カウンタ回路と、

列アドレスデコーダと、

マイクロプロセッサから与えられたシステムクロック信号のエッジにตอบสนองし、行アドレスデコーダを介してデコードするため行アドレスデータが行アドレスバッファに蓄積されることを可能にし、かつ列アドレスデータが列アドレスバッファに蓄積されることを可能にする回路とを有し、

前記カウンタ回路は、列アドレスデコーダにおいてデコードするため列アドレスデータを蓄積し、前記第1の論理状態にตอบสนองして第1の所定数の列アドレス信号を生成し、かつ前記第2の論理状態にตอบสนองして第2の所定数の列アドレス信号を生成する、

同期ランダムアクセスメモリ。

【請求項10】 同期ランダムアクセスメモリは、

システムクロック信号のエッジに関連し行アドレスバッファに行アドレスデータの蓄積を可能にさせる行アドレス制御信号と、

システムクロック信号のエッジに関連し列アドレスバッファに列アドレスデータの蓄積を可能にさせる列アドレス制御信号と、

システムクロック信号のエッジに関連し、同期ランダムアクセスメモリの入力端子に加えられたデータがシステムクロック信号と同期してアドレスされた蓄積セルに書き込まれることを可能にする書き込み制御信号を発生させる書き込み信号と、

システムクロック信号のエッジに関連し、アドレスされた蓄積セルに蓄積されたデータがシステムクロック信号と同期して同期ランダムアクセスメモリの出力端子

から読み出されることを可能にする読み出し制御信号を発生させる読み出し信号とを有する請求項9記載の同期ランダムアクセスメモリ。

【請求項11】 アドレス可能な行と列に配置された蓄積セルアレイと、行アドレスバッファと行アドレスデコーダを含み、行アドレスデータにตอบสนองして蓄積セルアレイから少なくとも1つの行をアドレスする行アドレス回路と、列アドレスバッファと列アドレスデコーダを含み、列アドレスデータにตอบสนองして蓄積セルアレイから少なくとも1つの列をアドレスする列アドレス回路と、システムクロック信号のエッジにตอบสนองし、行アドレスデコーダを介してデコードするため行アドレスデータが行アドレスバッファに蓄積されることを可能し、列アドレスデコーダにおいてデコードするため列アドレスデータが列アドレスバッファに蓄積されることを可能にするアドレス制御回路と、システムクロック信号と第1の制御信号にตอบสนองし蓄積セルアレイから所定数のデータビットを生じさせ、所定数は第1の制御信号の第2論理状態のときよりも第1論理状態のときの方が大きい、データ制御回路と、を有する同期ランダムアクセスメモリ。

【請求項12】 システムクロック信号に関連し行アドレスバッファに行アドレスデータの蓄積を可能にさせる行アドレス制御信号と、システムクロック信号に関連し列アドレスバッファに列アドレスデータの蓄積を可能にさせる列アドレス制御信号と、システムクロック信号に関連し、同期ランダムアクセスメモリの入力端子に加えられたデータが蓄積セルアレイに書き込まれることを可能にする書き込み制御信号を発生させる、第1の状態を有するデータ制御信号と、システムクロック信号に関連し、蓄積セルアレイに蓄積されたデータが同期ランダムアクセスメモリの出力端子から読み出されることを可能にする読み出し制御信号を発生させる、第2の状態を有する前記データ制御信号とを有する請求項11記載の同期ランダムアクセスメモリ。

【請求項13】 列アドレスバッファと列アドレスデコーダとの間に置かれ、第1グループのビットと第2グループのビットを有する列アドレスデータを受け取る列アドレスカウンタと、列アドレスカウンタの第2グループのビットにตอบสนองし蓄積セルアレイへ書き込まれるまたはそこから読み出されるデータビットの導電通路を形成するマルチプレクサとを有し、

前記列アドレスデコーダは、列アドレスカウンタの第1グループのビットにตอบสนองしデータの書き込みあるいはデータの読み出しのため蓄積セルアレイの列のブロックをアクセスする、請求項12記載の同期ランダムアクセスメモリ。

【請求項14】 列アドレスカウンタに結合されたカウント制御回路を有し、該カウント制御回路は、第1の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出される所定数のデータビットを選択する、請求項13記載の同期ランダムアクセスメモリ。

【請求項15】 前記所定数は4である、請求項14記載の同期ランダムアクセスメモリ。

【請求項16】 前記所定数は8である、請求項14記載の同期ランダムアクセスメモリ。

【請求項17】 前記カウント制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する請求項14記載の同期ランダムアクセスメモリ。

【請求項18】 データビットの順序は連続的な列アドレスに従う、請求項17記載の同期ランダムアクセスメモリ。

【請求項19】 データビットの順序はインターリーブされたラップシーケンスに従う、請求項17記載の同期ランダムアクセスメモリ。

【請求項20】 蓄積セルはダイナミック蓄積セルである、請求項11記載の同期ランダムアクセスメモリ。

【請求項21】 システムクロック信号に関連し行アドレスバッファに行アドレスデータの蓄積を可能にさせる行アドレス制御信号と、

システムクロック信号に関連し列アドレスバッファに列アドレスデータの蓄積を可能にさせる列アドレス制御信号と、

システムクロック信号と関連し、同期ランダムアクセスメモリの入力端子に加えられたデータが蓄積セルアレイに書き込まれることを可能にする書き込み信号を発生させる。

生させる、第1の状態を有するデータ制御信号と、  
システムクロック信号に関連し、蓄積セルアレイに蓄積されたデータが同期ランダムアクセスメモリの出力端子から読み出されることを可能にする読み出し制御信号を発生させる、第2の状態を有する前記データ制御信号とを有する、請求項20記載の同期ランダムアクセスメモリ。

【請求項22】 列アドレスバッファと列アドレスデコーダの間に置かれ、第1のグループのビットと第2のグループのビットを有する列アドレスデータを受け取る列アドレスカウンタと、  
列アドレスカウンタの第2グループのビットに応答し蓄積セルアレイへ書き込まれるまたはそこから読み取られるデータビットの導電通路を形成する入出力マルチプレクサとを有し、  
前記列アドレスデコーダは、列アドレスカウンタの第1グループのビットに応答しデータの書き込みまたはデータの読み出しのため蓄積セルアレイの列のブロックをアクセスする、請求項21記載の同期ランダムアクセスメモリ。

【請求項23】 列アドレスカウンタに結合され、第1の制御信号に応答して蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの所定数を選択するカウント制御回路を有する、請求項22記載の同期ランダムアクセスメモリ。

【請求項24】 前記所定数のデータビットは4である、請求項23記載の同期ランダムアクセスメモリ。

【請求項25】 前記所定数のデータビットは8である、請求項23記載の同期ランダムアクセスメモリ。

【請求項26】 前記カウント制御回路は、第2の制御信号に応答して蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する請求項23記載の同期ランダムアクセスメモリ。

【請求項27】 データビットの順序は連続的な列アドレスに従う請求項26記載の同期ランダムアクセスメモリ。

【請求項28】 データビットの順序はインターリーブされたラップシーケンスに従う、請求項26記載の同期ランダムアクセスメモリ。

【請求項29】 蓄積セルはスタティック蓄積セルである、請求項11記載の同期ランダムアクセスメモリ。

【請求項30】 タイミングおよび制御回路は、第2の制御信号に応答して蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する請求項29記載の同期ランダムアクセスメモリ。

【請求項31】 データビットの順序は連続的な列アドレスによる、請求項7記載のデータ処理システム。

【請求項32】 データビットの順序はインターリーブされたラップシーケンスによる、請求項7記載のデータ処理システム。

【請求項33】 同期ランダムアクセスメモリは、スタティック蓄積セルアレイを有する半導体装置として製造される、請求項3記載のデータ処理システム。

【請求項34】 タイミングおよび制御回路は、第2の制御信号に応答して蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する請求項33記載のデータ処理システム。

【請求項35】 データビットの順序は連続的な列アドレスに従う、請求項34記載のデータ処理システム。

【請求項36】 データビットの順序はインターリーブされたラップシーケンスに従う、請求項34記載のデータ処理システム。

【請求項37】 デジタルプロセッサと、  
デジタルプロセッサの動作を制御するタイミングエッジを備えたシステムクロック信号を生成するシステムクロック回路と、  
システムクロック信号のエッジに응答し、蓄積セルへのデータの読み書きのため蓄積セルをアクセスし、かつシステムクロック信号に응答してデータをラッチする入出力データラッチを有する同期ランダムアクセスメモリと、  
システムクロック信号のエッジに응答し、同期ランダムアクセスメモリの書き込みと読み出し動作を制御するためシステムクロック信号と同期された制御信号を生成するタイミングおよび制御回路と、  
前記タイミングおよび制御回路によって生成された第1の制御信号に응答し、同期メモリへのデータの書き込みまたはそこからのデータの読み出しのためアドレス可能な蓄積セルの行をアクセスする行アドレス回路と、

前記タイミングおよび制御回路によって生成された第2の制御信号にตอบสนองし、同期メモリへのデータの書き込みまたはそこからの読み出しのためアドレス可能な蓄積セルの一组の列をアクセスする列アドレス回路と、

前記タイミングおよび制御回路によって生成された第3の制御信号にตอบสนองし、同期メモリへの書き込みまたはそこからの読み出しのため第3制御信号の第1の論理状態に応じて第1の所定数のデータビットを選択し、第3の制御信号の第2の論理状態に応じて第1の所定数を異なる第2の所定数のデータビットを選択するカウント制御回路とを有するデータ処理システム。

【請求項38】 前記カウント制御回路は、タイミングおよび制御回路によって生成された第4の制御信号にตอบสนองしてデータビットの順序を決定し、同期メモリへの書き込みまたはそこからの読み出しを行う、請求項37記載のデータ処理システム。

【請求項39】 データビットの順序は連続的な列アドレスに従う、請求項38記載のデータ処理システム。

【請求項40】 データビットの順序はインターリーブされたラップシーケンスに従う、請求項38記載のデータ処理システム。

【請求項41】 デジタルプロセッサと、デジタルプロセッサの動作を制御する立ち上がりあるいは立ち下がりタイミングエッジのいずれかを有するシステムクロック信号を生成するシステムクロック回路と、

行及び列アドレスによってアドレス可能な蓄積セルアレイにデータを蓄積可能な同期ランダムアクセスメモリとを有し、

前記デジタルプロセッサは、システムクロック信号のタイミングエッジにตอบสนองし、システムクロック信号のタイミングエッジに相互に関連された立ち上がりあるいは立ち下がりタイミングエッジのいずれかを有するゲートされたシステムクロック信号を生成し、

前記同期ランダムアクセスメモリは、ゲートされたシステムクロック信号の立ち上がりあるいは立ち下がりのいずれかに直接にตอบสนองし読み書き動作のため蓄積セルをアクセスする、データ処理システム。

【請求項42】 行及び列に配置されたアドレス可能な蓄積セルアレイと、システムクロック信号を受け取り、システムクロック信号と同期した制御信号を生成するタイミングおよび制御回路と、

システムクロック信号のエッジにตอบสนองし、アドレスデコーダを介してデコードするためアドレスデータがアドレス回路に蓄積されることを可能にする回路と、

前記タイミングおよび制御回路からの制御信号にตอบสนองし、アレイへのデータビットを書き込むシーケンスあるいはアレイからデータビットを読み出すシーケンスを決定し、前記シーケンスは制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、カウント制御回路と、を有する同期ランダムアクセスメモリ。

【請求項43】 前記カウント制御回路はアレイへの書き込みまたはアレイからの読み出しのためのデータビット数を決定する、請求項42記載の同期ランダムアクセスメモリ。

【請求項44】 システムクロック信号に関連しアドレス回路の行アドレス部分に行アドレスデータの蓄積を可能にさせる行アドレス制御信号と、

システムクロック信号に関連しアドレス回路の列アドレス部分に列アドレスデータの蓄積を可能にさせる列アドレス制御信号と、

システムクロック信号と関連し、データがシステムクロックと同期して同期ランダムアクセスメモリに書き込まれまたはそこから読み出されることを可能にするデータ制御信号を発生させる入力信号とを有する、請求項42記載の同期ランダムアクセスメモリ。

【請求項45】 蓄積セルはダイナミック蓄積セルであり、システムクロック信号は同期ランダムアクセスメモリの入力端子で受け取られる、請求項42記載の同期ランダムアクセスメモリ。

【請求項46】 アドレス可能な蓄積セルアレイと、システムクロック信号を受け取り、制御信号を生成する制御回路と、

システムクロック信号のエッジにตอบสนองしアドレスデコーダを介してデコードするためにアドレスデータがアドレスバッファに蓄積されることを可能にするアドレス

回路と、  
前記制御信号にตอบสนองしアドレスデコーダによってアドレスされたデータについてのデータシーケンスを決定し、前記シーケンスが制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、データ制御回路と、  
を有する同期ランダムアクセスメモリ。

【請求項47】 前記エッジは立ち下がり遷移か立ち上がり遷移のいずれかである、請求項46記載の同期ランダムアクセスメモリ。

【請求項48】 システムクロック信号のエッジに関連しアドレス回路の行アドレス部分に行アドレスデータの蓄積を可能にさせる行アドレス制御信号と、

システムクロック信号のエッジに関連しアドレス回路の列アドレス部分に列アドレスデータの蓄積を可能にさせる列アドレス制御信号と、

システムクロック信号のエッジと関連し、同期ランダムアクセスメモリの入力端子に加えられたデータがシステムクロック信号と同期してアドレスされた蓄積セルアレイに書き込まれることを可能にする書き込み制御信号を発生させる書き込み信号と、

システムクロック信号のエッジに関連し、アドレスされた蓄積セルアレイに蓄積されたデータがシステムクロック信号と同期して同期ランダムアクセスメモリの出力端子から読み出されることを可能にする読み出し制御信号を発生させる読み出し信号とを有する、請求項46記載の同期ランダムアクセスメモリ。

【請求項49】 エッジは立ち下がり遷移か立ち上がり遷移のいずれかである、請求項48記載の同期ランダムアクセスメモリ。

【請求項50】 デジタルプロセッサと、

デジタルプロセッサと相互接続された入力周辺装置と、

デジタルプロセッサと相互接続された出力周辺装置と、

タイミングエッジを有するシステムクロック信号を生成し、デジタルプロセッサ、

入力周辺装置及び出力周辺装置の動作を制御するシステムクロック回路と、

システムクロック信号のタイミングエッジおよび制御信号にตอบสนองし、蓄積セルへデータを書き込んだり蓄積セルからデータを読み出したりするためアドレス可能な蓄積セルをアクセスし、読み書きのために制御信号の第1の論理状態について第1の所定数のデータビットを選択し制御信号の第2の論理状態について第2の所定数のデータビットを選択する同期ダイナミックランダムアクセスメモリと、  
を有するデータ処理システム。

【請求項51】 デジタルプロセッサと、

デジタルプロセッサと相互接続された入力周辺装置と、

デジタルプロセッサと相互接続された出力周辺装置と、

デジタルプロセッサの動作を制御するクロック信号を生成するクロック回路であって、デジタルプロセッサは入力周辺装置及び出力周辺装置の動作を制御するタイ

ミングエッジを有するシステムクロック信号を生成し、

システムクロック信号のタイミングエッジおよび制御信号にตอบสนองし、蓄積セルへ

データを書き込んだり蓄積セルからデータを読み出したりするためアドレス可能な

蓄積セルをアクセスし、読み書きのために制御信号の第1の論理状態について第1

の所定数のデータビットを選択し制御信号の第2の論理状態について第2の所定数

のデータビットを選択する同期ダイナミックランダムアクセスメモリと、

を有するデータ処理システム。

【請求項52】 アドレス制御回路は、システムクロックの立ち上がりエッジに

ตอบสนองし、前記行アドレスデータが行アドレスバッファに蓄積されること及び列アドレ

スデータが列アドレスバッファに蓄積されることを可能にする、請求項11記載の

同期ランダムアクセスメモリ。

【請求項53】 データ制御回路は、システムクロックの立ち上がりエッジと立ち下

がりエッジにตอบสนองし前記データビットの所定数を生成する、請求項52記載の同期

ランダムアクセスメモリ。

【請求項54】 前記所定数のデータビットの生成は、システムクロックの各立ち

上がりエッジで第1のデータビットを生成することおよびシステムクロックの各立ち

下がりエッジで第2のデータビットを生成することを含む、請求項53記載の同期

ランダムアクセスメモリ。

【請求項55】 データ制御回路は、システムクロックの立ち上がりエッジと立ち下

がりエッジにตอบสนองし、前記所定数のデータビットを生成する、請求項11記載の同

期ランダムアクセスメモリ。

【請求項56】 前記所定数のデータビットの生成は、システムクロックの各立ち上がりエッジで第1のデータビットを生成することおよびシステムクロックの各立ち下がりエッジで第2のデータビットを生成することを含む、請求項55記載の同期ランダムアクセスメモリ。【請求項57】 アドレス回路は、システムクロックの立ち上がりエッジにตอบสนองし、前記アドレスデータがアドレスバッファに蓄積されることを可能にする、請求項46記載の同期ランダムアクセスメモリ。

【請求項58】 データ制御回路は、前記データシーケンス決定のためシステムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองする、請求項57記載の同期ランダムアクセスメモリ。

【請求項59】 前記データシーケンスの決定は、立ち上がりエッジについて第1のデータビットを生成することおよび立ち下がりエッジについて第2のデータビットを生成することを含む、請求項58記載の同期ランダムアクセスメモリ。

【請求項60】 データ制御回路は、前記データシーケンス決定のためシステムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองする、請求項46記載の同期ランダムアクセスメモリ。

【請求項61】 前記データシーケンスの決定は、立ち上がりエッジについて第1のデータビットを生成することおよび立ち下がりエッジについて第2のデータビットを生成することを含む、請求項60記載の同期ランダムアクセスメモリ。

【請求項62】 システムクロック信号を受け取るように結合された周辺装置を含む、請求項37記載のデータ処理システム。

【請求項63】 前記周辺装置は、第1のデータバスによってデジタルプロセッサに結合される、請求項62記載のデータ処理システム。

【請求項64】 同期ランダムアクセスメモリは、第2のデータバスによってデジタルプロセッサに結合される、請求項63記載のデータ処理システム。

【請求項65】 前記周辺装置は、第1のデータバスによってデジタルプロセッサに結合される、請求項37記載のデータ処理システム。

【請求項66】 周辺装置を含み、該周辺装置が第2のデータバスによってデジタルプロセッサに結合される、請求項65記載のデータ処理システム。

【請求項67】 周辺装置はシステムクロック信号を受け取るように結合される、請求項66記載のデータ処理システム。

### 3 決定の理由の要旨

決定の理由は、以下のとおりであるが、要するに、本件補正は、特許法159条1項で準用する特許法53条1項の規定により却下されるべきものである、というものである。

請求人は、平成15年11月4日付けで手続補正書を提出し、特許請求の範囲を補正しているところ、請求項7の「前記タイミングおよび制御回路は、第2の制御信号にตอบสนองし蓄積セルのアレイに書き込まれるあるいはそこから読み出されるデータビットの順序を決定する、・・・」との点、請求項9の「・・・第1及び第2の論理状態を有する制御信号を生成するカウント制御回路と、・・・前記第1の論理状態にตอบสนองして第1の所定数の列アドレス信号を生成し、かつ前記第2の論理状態にตอบสนองして第2の所定数の列アドレス信号を生成する、・・・」との点、請求項14の「・・・該カウント制御回路は、第1の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出される所定数のデータビットを選択する、・・・」との点、請求項17の「前記カウント制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する・・・」との点、請求項26の「前記カウント制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する・・・」との点、請求項30の「タイミングおよび制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する・・・」との点、請求項34の「タイミングおよび制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する・・・」との点、請求項37の「・・・前記タイミングおよび制御回路によって生成された第3の制御信号・・・」との点、請求項38の「前記カウント制御回路は、タイミング及び制御回路によって生成された第4の制御信号にตอบสนองしてデータビットの順序

を決定し、・・・」との点、請求項42の「・・・前記タイミングおよび制御回路からの制御信号にตอบสนองし、アレイへのデータビットを書き込むシーケンスあるいはアレイからデータビットを読み出すシーケンスを決定し、前記シーケンスは制御信号の第1の論理状態についてのシーケンシャルアドレスによるものとする。制御信号の第2の論理状態についてのインターリーブシーケンスによるものである。カウンタ制御回路と、・・・」との点、請求項43の「前記カウンタ制御回路はアレイへの書き込みまたはアレイからの読み出しのためのデータビット数を決定する、・・・」との点、請求項46の「・・・システムクロック信号を受け取り、制御信号を生成する制御回路と、・・・前記制御信号にตอบสนองしアドレスデコーダによってアドレスされたデータについてのデータシーケンスを決定し、前記シーケンスが制御信号の第1の論理状態についてのシーケンシャルアドレスによるものとする。制御信号の第2の論理状態についてのインターリーブシーケンスによるものである。データ制御回路と、・・・」との点、請求項53の「データ制御回路は、システムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองし前記データビットの所定数を生成する、・・・」との点、請求項54の「前記所定数のデータビットの生成は、システムクロックの各立ち上がりエッジで第1のデータビットを生成することおよびシステムクロックの各立ち下がりエッジで第2のデータビットを生成することを含む・・・」との点、請求項55の「データ制御回路は、システムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองし、前記所定数のデータビットを生成する、・・・」との点、請求項56の「前記所定数のデータビットの生成は、システムクロックの各立ち上がりエッジで第1のデータビットを生成することおよびシステムクロックの各立ち下がりエッジで第2のデータビットを生成することを含む、・・・」との点、請求項58の「データ制御回路は、前記データシーケンス決定のためシステムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองする、・・・」との点、請求項59の「前記データシーケンス決定は、立ち上がりエッジについて第1のデータビットを生成することおよび立ち下がりエッジについて第2のデータビットを生成することを含む、・・・」との点、請求項60の「データ制御回路は、前記データシーケンス決定のためシステムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองする、・・・」との点、請求項61の「前記データシーケンス決定は、立ち上がりエッジについて第1のデータビットを生成することおよび立ち下がりエッジについて第2のデータビットを生成することを含む、・・・」との点、出願当初の明細書及び図面に記載されておらず、また、出願当初の明細書及び図面からみて自明な事項でもない。よって、上記補正書による補正は、特許法159条1項の規定により準用する同法53条1項の規定により却下すべきものである。

### 第3 当事者の主張の要点

#### 1 原告主張の決定取消事由

(1) 請求項7、17、26、30、34、38、42及び46についての認定判断の誤り

ア 請求項7、30及び34について

出願当初の明細書の段落【0098】及び【0099】には、請求項7、30及び34の「第2の制御信号」に相当するラップタイプ信号WTを含む制御バス60上の外部制御信号が、タイミング及び制御回路42によってゲートされることが記載されているが、タイミング及び制御回路42によってゲートされたラップタイプ信号WTは、ラップアドレススクランブラ及びマルチプレクサ61に印加される。出願当初の明細書の段落【0076】及び【0077】並びに図15が示すように、ラップタイプ信号WTの論理状態は、ラップアドレススクランブラ及びマルチプレクサ61が下位カウンタ部59から出力マルチプレクサ回路OMUX及び入力マルチプレクサ回路IMUXにアドレスビットを送る順序を決定するものであるが、アドレスビットの順序は、入力マルチプレクサ回路IMUXに書き込まれるデータビットの順序や出力マルチプレクサ回路OMUXから読み出されるデータビットの順序を決定する。

したがって、請求項7、30及び34の「前記タイミング及び制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるあるいはそこから読み出されるデータビットの順序を決定する」ことについては、出願当初の明細書及び図面に適切な対応又は裏付けを示す記載がある。

イ 請求項17及び26について



出願当初の図2には、マスクレジスタ93、カウント制御回路94並びにラップアドレススクランブラ及びマルチプレクサ61が、機能的に結合されて、出力マルチプレクサ回路OMUX及び入力マルチプレクサ回路IMUXに印加されるアドレスビットの順序を制御することが記載されているから、このようなアドレスビットの順序を制御する機能を有する回路を、上位概念的に、「カウント制御回路」と呼称することに格別の支障はない。そして、上記アのとおり、アドレスビットの順序は、入力マルチプレクサ回路IMUXに書き込まれるデータビットの順序や出力マルチプレクサ回路OMUXから読み出されるデータビットの順序を決定する。

したがって、請求項17及び26の「前記カウント制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定」することについては、出願当初の明細書及び図面に適切な対応及び裏付けがある。

ウ 請求項38、42及び46について

請求項38、42及び46の記載は、請求項17及び26の上記記載と実質的に同様であり、出願当初の明細書の参照符号により対応関係を示すならば、以下のとおりになるから、出願当初の明細書及び図面に適切な対応を示す記載がある。

(7) 請求項38は、「カウント制御回路(93、94、61)は、タイミング及び制御回路(42)によって生成された第4の制御信号(WT信号)にตอบสนองしてデータビットの順序(図15の真理値表)を決定し」となる。

(i) 請求項42は、「前記タイミング及び制御回路(42)からの制御信号(WT信号)にตอบสนองし、アレイへのデータビットを書き込むシーケンスあるいはアレイからデータビットを読み出すシーケンス(図15の真理値表)を決定し、前記シーケンスが前記制御信号の第1の論理状態(WT=0)についての第1の順序と前記制御信号の第2の論理状態(WT=1)についての第2の順序を有し、第1の順序が第2の順序と異なる、カウント制御回路(93、94、61)」となる。

(ii) 請求項46は、「システムクロック信号(67)を受け取り、制御信号(WT)を生成する制御回路(42)と、システムクロック信号のエッジにตอบสนองしアドレスデコーダ(50、54)を介してデコードするためにアドレスデータ(45)がアドレスバッファ(48、49)に蓄積されることを可能にするアドレス回路(48-54)と、前記制御信号(WT)にตอบสนองしアドレスデコーダによってアドレスされたデータについてのデータシーケンスを決定し、前記シーケンスが制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、データ制御回路(61、OMUX、IMUX)」となる。

エ 以上のように、請求項7、17、26、30、34、38、42及び46は、出願当初の明細書及び図面に詳細に開示されている。

(2) 請求項9、14、37及び43についての認定判断の誤り

ア 請求項14及び43について

制御バス60上の外部制御信号には、請求項14の「第1の制御信号」に相当するラップ長信号WLを含むところ、上記(i)アのとおり、外部制御信号は、タイミング及び制御回路42によってゲートされて、ラップアドレススクランブラ及びマルチプレクサ61に印加される、すなわち、カウント制御回路93、94、61に加えられる。

ラップ長信号WLの論理状態は、その後に所定数のデータビットを選択する所定数のアドレス信号を選択するものであり、出願当初の明細書の段落【0076】、【0077】、【0081】及び【0082】並びに図15及び図17が示すように、例えば、WL=0のときに、一連の8ビットアドレス信号が生成され、WL=1のときに、一連の4ビットアドレスが生成される。これらのアドレス信号は、読み出し動作中に、データバス25にゲートされたラップ長信号WLにより決定された対応する数のデータビットを出力マルチプレクサ回路OMUXから生成し、書き込み動作中に、対応する数のデータビットを入力マルチプレクサ回路IMUXからデータバス55に生成する。

したがって、請求項14の「該カウント制御回路は、第1の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出される所定数のデータビットを選択する」ことについては、出願当初の明細書及び図面に適切な対応及び裏付けを示す記載があり、また、請求項43の「前記カウント制御回路はアレイへの書き込みまたはアレイからの読み出しのためのデータビット数を決定する」ことについても、同様である。

イ 請求項9について

請求項9は、列アドレスカウンタ52とラップアドレススクランブラ及びマルチプレクサ61を1つの回路としてみなすことができる、本件発明の例を記載したものである。請求項9の「カウント制御回路」は、カウント制御回路94と機能的に結合したタイミング及び制御回路42に対応し、上記アのとおり、請求項9の「第1及び第2の論理状態を有する制御信号」であるラップ長信号WLを生成する。また、請求項9の「カウンタ回路」は、列アドレスカウンタ52及びラップアドレススクランブラ及びマルチプレクサ61に対応し、上記アのとおり、ラップ長信号WLの論理状態に応答して、所定数（4又は8ビット）の列アドレス信号を生成する。

したがって、請求項9の「・・・第1及び第2の論理状態を有する制御信号を生成するカウント制御回路と、（カウンタ回路は、）・・・前記第1の論理状態に応答して第1の所定数の列アドレス信号を生成し、かつ前記第2の論理状態に応答して第2の所定数の列アドレス信号を生成する」ことについては、出願当初の明細書及び図面に詳細に記載されている。

ウ 請求項37について

ラップ長信号WLは、制御バス60を介して供給される外部制御信号であるが、出願当初の明細書の段落【0102】によれば、タイミング及び制御回路42が、制御バス60に含まれる外部制御信号をサンプルし、これに응答する内部制御信号を生成することが記載されている。制御バス60に含まれる外部制御信号には、請求項37の「第3の制御信号」に相当するラップ長信号WLを含むところ、タイミング及び制御回路42がラップ長信号WLのレベルに응答した内部制御信号であるラップ長信号WLを生成することは明らかである。

したがって、請求項37の「前記タイミング及び制御回路によって生成された第3の制御信号」については、出願当初の明細書及び図面に適切な対応及び裏付けを示す記載がある。

エ 以上のように、請求項9、14、37及び43は、出願当初の明細書及び図面に詳細に開示されている。

(3) 請求項53ないし56及び58ないし61についての認定判断の誤り

ア 出願当初の明細書の段落【0019】には、「この例示の実施態様では、システムクロックはサイクルタイム1、2、3、・・・などでクロックパルスの負方向端に同期して動作タイミングをとる。ここに図示しない他の実施態様では、クロックパルスの正方向端または負方向端と正方向端の両方で動作タイミングをとってよい。」として、本件の発明の他の変形可能な実施例の記載がある。さらに、出願当初の明細書の段落【0109】ないし【0120】及び図23には、図2の出力マルチプレクサ回路OMUX及び入力マルチプレクサ回路IMUXについて、読み出し動作においては、書込みイネーブル信号の補数WEN（編注：WENには上線が施されている。）がハイであって、出力イネーブルゲート120をオンさせて、データビットを出力レジスタ124に書き込ませ、また、書き込み動作においては、書込みイネーブル信号WENがハイであって、入力レジスタ132からデータビットを受け取ることが記載されており、ある信号と相補的な信号によりデータパスが交互に選択される例が開示されている。

このように、請求項53、55、58及び60に記載された、前記所定数のデータビットの生成のため、システムクロックの立ち上がりエッジ及び立ち下がりエッジに응答するデータ制御回路OMUXに必要な特徴は、全て出願当初の明細書及び図面に開示されている。また、請求項54、56、59及び61に記載された、システムクロックの各立ち上がりエッジに응答する第1のデータビットを生成すること及びシステムクロックの各立ち下がりエッジに응答して第2のデータビットを生成することを含む所定数のデータビットを生成することに必要な特徴も、全て出願当初の明細書及び図面に開示されている。

イ 本件発明の変形可能な他の実施例は、本件明細書に接する当業者には自明である。例えば、タイミング及び制御回路42は、システムクロックに同期し、2倍の周波数を有する内部クロック信号CLK1を簡単に生成することができるが、図2の同期ランダムアクセスメモリ30のこのような変形は、当業者であれば十分に理解することができる。この内部クロック信号CLK1は、同期ランダムアクセスメモリ30の内部動作についてシステムクロック信号CLKに置き換わり得るものであり、同期ランダムアクセスメモリは、システムクロック信号CLKと同期して継続して動作することができる。

こうした例示からみても、データ制御回路OMUXは、請求項53、55、58及び60に記載されたように、所定数のデータビットの生成を行うために、システムクロックの立ち上がりエッジと立ち下がりエッジに回答し得るものであり、また、請求項54、56、59及び61に記載されたように、システムクロックの各立ち上がりエッジに回答する第1のデータビットとシステムクロックの各立ち下がりエッジに回答する第2のデータビットを含む所定数のデータビットを生成し得るものである。

ウ 以上のように、請求項53ないし56及び58ないし61は、出願当初の明細書及び図面に詳細に開示されている。

## 2 被告の反論

(1) 請求項7、17、26、30、34、38、42及び46についての認定判断の誤りに対して

ア 請求項7、30及び34について

請求項7の「タイミングおよび制御回路」、「第2の制御信号」、「蓄積セルアレイ」並びに「データビットの順序」は、それぞれ、タイミング及び制御回路42、ラップタイプ信号WT、メモリ配列75並びに図15のラップアドレススクランブラの真理値表に対応するところ、出願当初の明細書及び図面には、ラップアドレススクランブラ及びマルチプレクサ61が、ラップタイプ信号WTに回答してメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されているが、タイミング及び制御回路42が、ラップタイプ信号WTに回答してメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもない。

なお、仮にラップアドレススクランブラ及びマルチプレクサ61に入力されるラップタイプ信号WTがタイミング及び制御回路42から出力された信号であるということができるとしても、タイミング及び制御回路42は、制御バス60からの信号をリード線67のクロックCLKによってゲートするものにすぎないから、メモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定するものではない。

したがって、請求項7の「前記タイミング及び制御回路は、第2の制御信号に回答して蓄積セルアレイに書き込まれるあるいはそこから読み出されるデータビットの順序を決定する」ことは、出願当初の明細書及び図面の要旨を変更するものである。また、請求項30及び34についても、同様である。

イ 請求項17、26、38及び42について

請求項17の「カウント制御回路」、「第2の制御信号」、「蓄積セルアレイ」及び「データビットの順序」は、それぞれ、カウント制御回路94、ラップタイプ信号WT、メモリ配列75及び図15のラップアドレススクランブラの真理値表に対応するところ、出願当初の明細書及び図面には、ラップアドレススクランブラ及びマルチプレクサ61が、ラップタイプ信号WTに回答してメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されているが、カウント制御回路94が、ラップタイプ信号WTに回答してメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは、記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもない。

また、仮にマスクレジスタ93、カウント制御回路94並びにラップアドレススクランブラ及びマルチプレクサ61を上位概念的に「カウント制御回路」と総称するとしても、出願当初の明細書及び図面には、マスクレジスタ93、カウント制御回路94並びにラップアドレススクランブラ及びマルチプレクサ61が一つのカウント制御回路として構成されることは、記載も示唆もない。

したがって、請求項17の「前記カウント制御回路は、第2の制御信号に回答して蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定」することは、出願当初の明細書及び図面の要旨を変更するものである。また、請求項26、38及び42についても、同様である。

ウ 請求項46について

請求項46の「蓄積セルアレイ」、「制御信号」、「制御回路」及び「データ制御回路」は、それぞれ、メモリ配列75、ラップタイプ信号WT、タイミング及び制御回路42並びにラップアドレススクランブラ及びマルチプレクサ61に対応す

るところ、上記アで述べたように、出願当初の明細書及び図面には、タイミング及び制御回路42が、ラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもない。

したがって、請求項46の「・・・システムクロック信号を受け取り、制御信号を生成する制御回路と、・・・前記制御信号にตอบสนองしアドレスデコーダによってアドレスされたデータについてのデータシーケンスを決定し、前記シーケンスが制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、データ制御回路と、・・・」については、出願当初の明細書及び図面の要旨を変更するものである。

(2) 請求項9、14、37及び43についての認定判断の誤りに対して

ア 請求項14について

請求項14の「カウント制御回路」、「第1の制御信号」及び「蓄積セルアレイ」は、それぞれ、カウント制御回路94、ラップ長信号WL及びメモリ配列75に対応するところ、出願当初の明細書及び図面には、ラップアドレススクランブラ及びマルチプレクサ61が、ラップ長信号WLにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出される所定数のデータビットを選択することは記載されているが、カウント制御回路94が、ラップ長信号WLにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出される所定数のデータビットを選択することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもない。

また、仮にマスクレジスタ93、カウント制御回路94並びにラップアドレススクランブラ及びマルチプレクサ61を上位概念的に「カウント制御回路」と総称するとしても、出願当初の明細書及び図面には、マスクレジスタ93、カウント制御回路94並びにラップアドレススクランブラ及びマルチプレクサ61が一つのカウンタ制御回路として構成されることは、記載も示唆もない。

したがって、請求項14の「該カウント制御回路は、第1の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出される所定数のデータビットを選択する」ことは、出願当初の明細書及び図面の要旨を変更するものである。

イ 請求項43について

請求項43の「前記カウント制御回路はアレイへの書き込みまたはアレイからの読み出しのためのデータビット数を決定する」ことが出願当初の明細書及び図面に記載されていることは、認める。なお、請求項43は、「データビット数を決定する」と規定しているだけで、データビットを選択することまでは規定していないから、請求項43の上記記載が出願当初の明細書及び図面に記載されているとしても、上記アの結論に変わりはない。

ウ 請求項9について

請求項9の「制御信号」及び「カウント制御回路」は、それぞれ、ラップ長信号WL及びカウント制御回路94に対応するところ、出願当初の明細書及び図面には、カウント制御回路94がラップ長信号WLを生成することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもない。

また、仮にマスクレジスタ93、カウント制御回路94並びにラップアドレススクランブラ及びマルチプレクサ61が一つのカウンタ制御回路として構成されるとしても、カウント制御回路がラップ長信号WLを生成するものでないことは明らかである。

したがって、請求項9の「・・・第1及び第2の論理状態を有する制御信号を生成するカウント制御回路と、・・・前記第1の論理状態にตอบสนองして第1の所定数の列アドレス信号を生成し、かつ前記第2の論理状態にตอบสนองして第2の所定数の列アドレス信号を生成する」ことは、出願当初の明細書及び図面の要旨を変更するものである。

エ 請求項37について

請求項37の「タイミング及び制御回路」及び「第3の制御信号」は、それぞれ、タイミング及び制御回路42及びラップ長信号WLに対応するところ、出願当初の明細書及び図面には、ラップ長信号WLが、タイミング及び制御回路42によってゲートされることは記載されているが、タイミング及び制御回路42がラップ長信号WLを生成することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもない。

したがって、請求項37の「前記タイミング及び制御回路によって生成された第3の制御信号」については、出願当初の明細書及び図面の要旨を変更するものである。

(3) 請求項53ないし56及び58ないし61についての認定判断の誤りに対して

ア 請求項53, 55, 58及び60について

請求項53及び55の「データ制御回路は、システムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองし前記データビットの所定数を生成する、・・・」ことと並びに請求項58及び60の「データ制御回路は、前記データシーケンス決定のためシステムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองする、・・・」ことが出願当初の明細書及び図面に記載されていることは、認める。

イ 請求項54, 56, 59及び61について

出願当初の明細書には、原告が主張するように、段落【0019】に、クロックパルスの正方向端又は負方向端と正方向端の両方で動作タイミングをとってよいことが記載され、段落【0109】ないし【0120】に、列アドレスデコーダ54で2つのブロックを選択することが記載されているが、システムクロックの各立ち上がりエッジで第1のデータビットを生成すること及びシステムクロックの各立ち下がりエッジで第2のデータビットを生成することは記載されていない。

したがって、請求項54及び56の「前記所定数のデータビットの生成は、システムクロックの各立ち上がりエッジで第1のデータビットを生成すること及びシステムクロックの各立ち下がりエッジで第2のデータビットを生成することを含む・・・」こと並びに請求項59及び61の「前記データシーケンスの決定は、立ち上がりエッジについて第1のデータビットを生成すること及び立ち下がりエッジについて第2のデータビットを生成することを含む、・・・」ことは、出願当初の明細書及び図面の要旨を変更するものである。

#### 第4 当裁判所の判断

1 出願当初の明細書（甲4）及び図面の記載について

(1) 出願当初の明細書には、次の記載がある。

ア 「【0014】

デジタルプロセッサ20によって生成され制御バス60を通過して同期メモリ30に送られる制御信号は、行アドレス制御信号RE（バー）、列アドレス制御信号CE（バー）、書き込み信号WE（バー）、バースト信号BT（バー）、バースト方向信号+/-、ラップ選択信号WP（バー）、ラップタイプ信号WT、ラップ長信号WLなどを含む。制御信号は同期メモリ30からデジタルプロセッサ20に送られてもよい。」

イ 「【0019】

同期読み出し動作は、信号時間1のシステムクロック信号CLKの立ち下がり端で始まる。この例示の実施態様では、システムクロックはサイクルタイム1, 2, 3, ...などでクロックパルスの負方向端に同期して動作タイミングをとる。ここに図示しない他の実施態様では、クロックパルスの正方向端または負方向端と正方向端の両方で動作タイミングをとってよい。」

ウ 「【0073】

次に図14は、図2の同期ランダムアクセスメモリの同期ラップ読み出し8ビット動作のタイミング図を示す。メモリ配列75中の1つの行から、8ビットのデータが、シングル行、及び列アドレスカウンタ52の上位カウント部58にラッチされている開始列アドレスにより選択された列から読み出される。

【0074】

行のアドレッシングと開始列のアドレッシングは前に述べたように行われる。システムクロックサイクルタイム1の間にゲート53にラップ制御信号WRAPが入ると、開始列アドレスが列アドレスデコーダに送られ、データがメモリ配列75の列から読み出される。

【0075】

列アドレスカウンタ52の下位カウント部59にラッチされている開始列アドレスの最下位数ビットで選択され、次の変換によって変換されて、このデータは出力マルチプレクサOMUXを通過して出る。開始列アドレスの最下位数ビットは、ラップアドレススクランブラ及びマルチプレクサ61が発生する一連のアドレスに変換される。

#### 【0076】

図15はラップアドレススクランブラ及びマルチプレクサが行う変換プロセスの論理を示す表1である。表1に示すように、ラップ長信号WLはゼロ ( $WL=0$ ) である。表の列の見出しは入力で、開始列アドレスA0、A1、A2の最下位3ビットを含む。ラップタイプ信号WTは低位 ( $WT=0$ ) または高位 ( $WT=1$ ) のどちらでもよい。

#### 【0077】

真理値表の各ラインは、列アドレスカウンタ52にある開始列アドレスからの最下位3ビットによってラップアドレススクランブラ61が生成する一連の出力アドレスを示す。ラップアドレススクランブラ61はシステムクロック信号CLKに同期して、各ラップタイプWTのシーケンスを生成する。

#### 【0078】

一番上のラインのラップタイプ信号WTがゼロ ( $WT=0$ ) で開始アドレスA0=0、A1=0、A2=0の場合は、ラップアドレススクランブラが生成する一連のアドレスは0、1、2、3、4、5、6、7である。開始入力アドレスから一連の出力アドレスへの変換は、例えばルックアップテーブルなどいろいろな方法で行われる。

#### 【0079】

ラップアドレススクランブラ61からの出力アドレスは、出力マルチプレクサOMUXからの同様に順序付けられた出力をアクセスする。出力マルチプレクサにラッチされるのは8ビットだけなので、データバス25にビットを読み出すために生成され用いられるのは8アドレスだけである。

#### 【0080】

ラップタイプ信号が1 ( $WT=1$ ) であれば、一連のアドレスは一番右の列に示す順序で起こる。例えばラップタイプ信号WT=1で開始列アドレスの最下位3ビットがA0=0、A1=1、A2=0であれば、出力マルチプレクサに入るアドレスの順番は2、3、0、1、6、7、4、5である。いわゆる出力マルチプレクサポジションからのビットは、この順序で図2のデータバス25に読み出される。

#### 【0081】

次に図16と図17は、同期ラップ読み出し動作のタイミング図と真理値表を示すが、図14及び図15の動作では8ビットが読み出されたのに対して、ここでは4ビットが読み出される。4ビットのラップ読み出し動作では、ラップ長信号は1 ( $WL=1$ ) である。出力マルチプレクサから読み出されるのは4ビットだけなので、最下位開始列アドレス2ビットのA0及びA1だけを与えて出力の順序を選択する。

#### 【0082】

ラップタイプはラップタイプ信号WTの状態によって選択され、出力マルチプレクサからデータバス25に読み出すアドレスの順序が決まる。ラップアドレススクランブラ及びマルチプレクサ61は、図17に示す表IIにしたがって開始列アドレスの最下位2ビットを所望のラップシーケンスに変換する。

#### 【0083】

今説明した同期ラップ読み出し (8ビットまたは4ビット) 動作により、図1のデータプロセッシングシステムは、アクセスした最初のビットの列アドレスによって規定された順序でデータビットの1グループをメモリ配列75中のある行から読み出すことができる。選択された8ビットまたは4ビットが読み出されるまで、このビットのグループはシステムクロックCLKのサイクル毎に1ビットの速度で読み出される。

#### 【0084】

1つの行アドレス及び開始列アドレスだけがアドレスバスを通過してデジタルプロセッサ20から同期ランダムアクセスメモリ30に送られる。残りの列アドレスのグループは、列アドレスカウンタ回路52とラップアドレススクランブラ及びマルチプレクサ61によって、システムクロックCLKのサイクル毎に1つの新列アドレスの速度で生成される。

#### 【0085】

同様な同期ラップ書き込み動作は低位アクティブ書き込み信号WE (バー) が入ることによっても可能になり、動作を開始する。」

#### エ 「【0095】

図2でマスクレジスタ93には、データバス25からコード化されたマスクデー

タが入り記憶される。システムクロック信号CLKが入ると、マスクレジスタ93はマスクデータを送ってカウント制御回路94の動作を制御する。

【0096】

カウント制御回路94は、バースト制御信号BURST、ラップ制御信号WRAP、マスクデータ、システムクロックCLKを受けてクロック信号COUNTを生成し、列アドレスカウンタ52とラップアドレススクランブラ及びマルチプレクサ61の動作を制御する。

【0097】

図2のタイミング及び制御回路42は、行アドレス制御信号RE（バー）、列アドレス制御信号CE（バー）、書き込み信号WE（バー）、バースト信号BT（バー）、バースト方向信号+/-、ラップ選択信号WP（バー）、ラップタイプ信号WT、ラップ長信号WL、システムクロック信号CLKを受けて制御信号を生成する。この制御信号は、行及び列アドレスラッチング信号XAL及びYAL、ラッチ開始アドレス信号LIA、書き込み可能信号WEN、データイン・ラッチ信号DINL、バースト制御信号BURST、ラップ制御信号WRAPなどである。

【0098】

図2のタイミング及び制御回路42では、制御バス60からの信号は全てリード線67のクロック信号CLKによってゲートされ、信号XAL、YAL、LIA、WEN、DINL、BURST、WRAPなどの同期ランダムアクセスメモリ30内の制御信号は全てシステムクロック信号CLKに同期する。

【0099】

この特徴により、同期ランダムアクセスの諸機能はこのクロックと同期する。同期ランダムアクセスメモリ30外のどの論理回路も、制御バス60に送られる各種の信号間の複雑なタイミング関係を考慮する必要がない。

【0100】

次に図19に、図2のタイミング及び制御回路42のゲート101の例を示す。図19で、行アドレス制御信号RE（バー）はシステムクロック信号CLKによってゲートされる。すなわちシステムクロック信号CLKのパルスの負方向端でサンプルされる。ゲート101の出力は行アドレスラッチ信号XALである。

【0101】

図20はゲート101の動作のタイミング図である。図20に示すように、出力行アドレスラッチ信号XALは、行アドレス制御信号RE（バー）が低位のときに、システムクロックサイクルタイム2でシステムクロックCLKの負方向端によってアクティブになる。行アドレス制御信号RE（バー）の負方向端のタイミングは、システムクロック信号CLKの負方向端でこの信号が低位である限りは無関係である。

【0102】

同様に他の内部制御信号は全て、システムクロック信号CLKの負方向端において、制御バス60の外部制御信号のサンプルされたレベルに応答する。」

オ 「【0109】

次に図23は選択及びゲート回路と共に配列した出力マルチプレクサOMUXと入力マルチプレクサIMUXのブロック図を示す。これはメモリ配列75からデータバス25へのデータビットの読み出しを制御し、またデータバス25からメモリ配列75へのデータビットの書き込みを制御するためのものである。

【0110】

図23において、図2の列アドレスデコーダ54はブロックゲート回路110の2つのゲートを使用可能にすることによって4列の2ブロックを選択する。ブロックゲート回路に出入りする各リード線は、1データブロック当り4リード線である。一つ置きにデータブロックすなわち偶数次ブロックは、偶数次バス116を通過して出カインネーブルゲート120に接続される。出カインネーブルゲートは各ビットのリード線に別個のゲートを含み、書き込みインネーブル信号WEN（バー）の補数が入ると動作する。

【0111】

メモリ配列75からの奇数次ブロックも、奇数次バス122を通過して出カインネーブルゲート120に接続される。出カインネーブルゲート120は8つの別個の出力レジスタ124に接続され、メモリ配列75から読み出された各データビットを記憶する。

【0112】

図23において、変換回路126はラップアドレススクランブラ及びマルチプレクサ61からの列アドレスの最下位3ビットを8から1の選択コードに変換し、出力伝送選択ゲート回路128に送る。

【0113】

8つの各出力レジスタ124に対して、個別の8から1の選択コードで制御される出力伝送選択ゲートがあり、この選択コードを出力伝送選択ゲート回路128に送って制御する。出力伝送選択ゲート128は1度に1つつつ動作し、システムクロックに同期してデータビットを出力レジスタからデータバス25に送る。

【0114】

更に図23において入力及び出力マルチプレクサのバースト昇順読み出し動作では、図2の列アドレスカウンタ52中の列アドレスはクロック信号COUNTが来ると増分される。クロック信号COUNTの4サイクル毎に、2つの列アドレスデコーダ出力信号はそれぞれ1つつつ上がる、すなわちnとn+1からn+1とn+2になる。これによりこれまで開いていた2つのゲートの1つが閉じ、これまで開いていた1つのゲートと1つの新しいゲート110が開く。

【0115】

4つの出力レジスタ124に記憶されているデータビットは新しいデータブロックに変わり、データバス25へ読み出される。データが空になった4出力レジスタ124は、新しいデータを補充される。というのはメモリ配列75からの列アドレスの次の高次の組から、空になった出力列レジスタ124にデータを送るからである。

【0116】

図23においてバースト降順読み出し動作では、列アドレスデコーダ54に入るアドレスの次数が減分中でない限り、今述べたように出力マルチプレクサOMUXは動作する。したがってクロック信号COUNTの4サイクル毎に、可能になる2つのデータブロックは次の低次の2データブロック、すなわち列の組nとn-1からn-1とn-2である。

【0117】

更に図23においてラップ読み出し動作では、出力マルチプレクサOMUXは、開始アドレス選択が終るまで前述のバースト昇順読み出し動作と同様に動作する。8データビットがメモリ配列75から読み出され、8出力レジスタ回路124にラッチされる。その後は、データバス25に読み出される次数は2つの要因によって決まる。第1及び第2要因はラップ長信号WL及びラップタイプ信号WTである。

【0118】

前に述べたようにこれらの2つの信号WLとWTの組み合わせにより、図6のラップアドレススクランブラ73は一連の可能化信号コードを生成して出力マルチプレクサOMUXの出力ゲート128に出力する。この一連の可能化信号コードが来ると、出力レジスタ124からの対応するビットは出力伝送選択ゲート128を通過して、選択された順序でデータバス25に読み出される。

【0119】

図23にはほぼ同様な配列が入力マルチプレクサIMUXにあり、データバス25からメモリ配列75にデータを書き込む。入力伝送選択ゲート130はラップアドレススクランブラ及びマルチプレクサ61からの8から1のコードによって選択的に可能になる。ビットは個別の入力レジスタ回路132に記憶される。

【0120】

クロック信号COUNTが入って列アドレスの上位カウント部が増分または減分されるのにしたがって、記憶されたデータビットは4ビットのブロックでメモリ配列75の列の偶数及び奇数次のブロックに伝送される。」

(2) また、出願当初の図面には、同期ランダムアクセスメモリのブロック図である図2、同期ラップ読み出し8ビット動作のタイミング図である図14、同期ラップ読み出し8ビット動作に用いられる、ラップアドレススクランブラの審理値表を示す図である図15、同期ラップ読み出し4ビット動作のタイミング図である図16、同期ラップ読み出し4ビット動作に用いられる、ラップアドレススクランブラの審理値表を示す図である図17などがある。

2 以上の出願当初の明細書及び図面の記載に基づき、検討する。

(1) 請求項7、17、26、30、34、38、42及び46についての認定判断の誤りについて



ア 請求項7, 30及び34について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項7の箇所は、「前記タイミングおよび制御回路は、第2の制御信号にตอบสนองし蓄積セルのアレイに書き込まれるあるいはそこから読み出されるデータビットの順序を決定する、・・・」というものであり、請求項30及び34の箇所も、「ตอบสนองし」を「ตอบสนองして」とするほかは、上記請求項7の該当箇所と同旨である。

(i) 上記請求項の「前記タイミングおよび制御回路」はタイミング及び制御回路42に、「第2の制御信号」はラップタイプ信号WTに、「蓄積セルアレイ」は同期ランダムアクセスメモリ30内のメモリ配列75に、それぞれ対応する（このことは、被告も争わない。）。

タイミング及び制御回路42は、制御バス60からの外部制御信号（「第2の制御信号」であるラップタイプ信号WTを含む。）及びシステムクロック信号CLKを受けて、システムクロック信号CLKに同期した同期ランダムアクセスメモリ30内の内部制御信号を生成する、すなわち、システムクロック信号CLKに同期した内部制御信号を生成し、これをメモリ配列75を含む同期ランダムアクセスメモリ30内に供給する（段落【0097】ないし【0099】）。ラップタイプ信号WTは、メモリ配列75に対する書込み又は読出しのデータビットの順序を決定するが、ラップタイプ信号WTにตอบสนองした書込み又は読出しのデータビットの順序の決定は、タイミング及び制御回路42が生成するラップ制御信号WRAPによって規制される（段落【0073】ないし【0085】及び図14ないし17）。

そうであれば、タイミング及び制御回路42は、ラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することに関与しているといえることができる。

したがって、請求項7, 30及び34の上記該当箇所は、出願当初の明細書又は図面に記載されているものであって、請求項7, 30及び34に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ii) 被告は、出願当初の明細書及び図面には、タイミング及び制御回路42が、ラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもないと主張する。

しかし、上記(i)のとおり、タイミング及び制御回路42は、ラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することに関与している。被告の上記主張は、採用することができない。

(iii) また、被告は、タイミング及び制御回路42は、制御バス60からの信号をリード線67のクロックCLKによってゲートするものにすぎないから、タイミング及び制御回路42がメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定するものではないと主張する。

被告の上記主張は、タイミング及び制御回路42におけるタイミング制御の機能について述べたものであるが、メモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序は、ラップタイプ信号WTの「0」又は「1」の論理状態に対応して決定され、かつ、その決定は、タイミング及び制御回路42によるタイミング制御により処理されているのであって（段落【0073】ないし【0085】及び図14ないし17）、タイミング及び制御回路42がデータビットの順序の決定に関与していることは明らかである。被告の上記主張も、採用の限りでない。

イ 請求項17及び26について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項17の箇所は、「前記カウント制御回路は、第2の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する・・・」というものである。

(i) 上記請求項の「前記カウント制御回路」はカウント制御回路94に、「第2の制御信号」はラップタイプ信号WTに、「蓄積セルアレイ」は同期ランダムアクセスメモリ30内のメモリ配列75にそれぞれ対応する（このことは、被告も争わない。）。

メモリ配列75に対する書込み又は読出しのデータビットの順序（シーケンス）は、ラップタイプ信号WTを入力信号とするラップアドレスランブラ及びマルチプレクサ61によって生成されるところ、カウント制御回路94は、ラップ選択

信号WP（編注：WPには上線が施されている。）、ラップタイプ信号WT、ラップ長信号WLに基づき生成されるラップ制御信号WRAPによって、列アドレスカウンタ52並びにラップアドレススクランブラ及びマルチプレクサ61の動作を制御する（段落【0076】ないし【0080】、【0082】及び【0096】並びに図15及び17）。

そうであれば、カウント制御回路94は、ラップタイプ信号WTを入力信号とするラップアドレススクランブラ及びマルチプレクサ61の動作を制御して、メモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することに関与しているといえることができる。

したがって、請求項17の上記該当箇所は、出願当初の明細書又は図面に記載されているものであって、請求項17に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

そして、決定が、出願当初の明細書及び図面に記載されていないとした請求項26の箇所は、「前記カウント制御回路は、第2の制御信号に応答して蓄積セルアレイに書き込まれるまたはそこから読み出されるデータビットの順序を決定する・・・」というものであって、請求項17の箇所と同旨であるから、請求項26に係る補正も、出願当初の明細書及び図面の要旨を変更するものであるとは認められない。

(ウ) 被告は、出願当初の明細書及び図面には、カウント制御回路94が、ラップタイプ信号WTに응答してメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもないと主張する。

しかし、上記(イ)のとおり、カウント制御回路94は、ラップタイプ信号WTを入力信号とするラップアドレススクランブラ及びマルチプレクサ61の動作を制御して、メモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することに関与している。被告の上記主張は、採用することができない。

ウ 請求項38について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項38の箇所は、「前記カウント制御回路は、タイミング及び制御回路によって生成された第4の制御信号に응答してデータビットの順序を決定し、・・・」というものである。

(イ) 上記請求項の「前記カウント制御回路」はカウント制御回路94に、「タイミング及び制御回路」はタイミング及び制御回路42に、「第4の制御信号」はラップタイプ信号WTに、それぞれ対応する。

上記イ(イ)のとおり、カウント制御回路94は、ラップタイプ信号WTを入力信号とするラップアドレススクランブラ及びマルチプレクサ61の動作を制御して、メモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することに関与している。

そして、制御信号は、制御バス60からの外部制御信号及びその外部制御信号をタイミング及び制御回路42によってシステムクロック信号CLKに同期させて生成した内部制御信号として表現されているが（段落【0014】、【0097】ないし【0099】及び【0102】）、出願当初の明細書及び図面には、タイミング及び制御回路42が請求項38の「第4の制御信号」に対応するラップタイプ信号WTを生成することを明示した記載はない、しかし、ラップタイプ信号WTを含む制御信号は、同期ランダムアクセスメモリ30に対する同期ラップ動作を機能させる上で必須の構成要件であって、請求項38においても明示されている上、出願当初の図面には、ラップタイプ信号WTが、制御バス60からの外部制御信号としてタイミング及び制御回路42に入力されるとともに（図2）、ラップアドレススクランブラ及びマルチプレクサ61に入力されることが示されているところ（図2及び6）、出願当初の明細書には、ラップアドレススクランブラ及びマルチプレクサ61に入力されるラップタイプ信号WTが制御バス60からの外部制御信号であることを明示する記載がなく、かつ、これが制御バス60からの外部制御信号として入力されなければならないと解すべき事情もないから、ラップタイプ信号WTはタイミング及び制御回路42によって生成されるものと理解することができる。そして、このように理解したとしても、当初出願の明細書及び図面の記載と矛盾しない。

したがって、請求項38の上記該当箇所は、出願当初の明細書又は図面に記載さ

れているということができ、そうであれば、請求項38に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

エ 請求項42について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項42の箇所は、「・・・前記タイミングおよび制御回路からの制御信号にตอบสนองし、アレイへのデータビットを書き込むシーケンスあるいはアレイからデータビットを読み出すシーケンスを決定し、前記シーケンスは制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、カウント制御回路と、・・・」というものである。

(イ) 上記請求項の「タイミングおよび制御回路」はタイミング及び制御回路42に、「制御信号」はラップタイプ信号WTに、「アレイ」はメモリ配列75に、それぞれ対応する。

上記イ(イ)に判示したところによれば、請求項42の「・・・前記タイミングおよび制御回路からの制御信号にตอบสนองし、アレイへのデータビットを書き込むシーケンスあるいはアレイからデータビットを読み出すシーケンスを決定し、」との箇所は、出願当初の明細書又は図面に記載されているということが出来る。

そして、出願当初の明細書又は図面には、制御信号(ラップタイプ信号WT)の第1の論理状態(WT=0)のときには、上記シーケンスが、ラップアドレススクランブラ及びマルチプレクサ61が生成する一連のアドレス(例えば、図15において、開始アドレス(A0, A1, A2)=(0, 0, 0)のときに、(0, 1, 2, 3, 4, 5, 6, 7)の順)による、すなわち、シーケンシャル列アドレスによるものが示され、また、制御信号(ラップタイプ信号WT)の第2の論理状態(WT=1)のときには、上記シーケンスが、開始入力アドレスによって、4ビット単位のインターリーブでアクセスするアドレス順序(シーケンス)を変える(例えば、図15において、開始アドレス(A0, A1, A2)=(0, 0, 1)のときに、(1, 0, 3, 2)と(5, 4, 7, 6)の順)、すなわち、インターリーブラップシーケンスによるものが示されている(段落【0076】ないし【0078】及び図15)。ところで、マスクレジスタ93は、マスクデータを送ってカウント制御回路94の動作を制御し、カウント制御回路94は、ラップ制御信号WRAPに基づいて列アドレスカウンタ52とラップアドレススクランブラ及びマルチプレクサ61の動作を制御するものであり(段落【0095】及び【0096】)、カウント制御回路94、マスクレジスタ93並びにラップアドレススクランブラ及びマルチプレクサ61は、有機的に結合されてデータビットの順序を決定する機能を有しているから、上記機能を有する回路は、上位概念的に「カウント制御回路」として理解することができる。そうすると、請求項42の「前記シーケンスは制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、カウント制御回路と、・・・」との箇所は、出願当初の明細書又は図面に記載されているということが出来る。

したがって、請求項42の上記該当箇所は、出願当初の明細書又は図面に記載されているものであって、請求項42に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ウ) 被告は、出願当初の明細書及び図面には、マスクレジスタ93、カウント制御回路94並びにラップアドレススクランブラ及びマルチプレクサ61が一つのカウント制御回路として構成されることは、記載も示唆もないと主張する。

しかし、上記(イ)に判示したように、カウント制御回路94、マスクレジスタ93並びにラップアドレススクランブラ及びマルチプレクサ61は、データビットの順序を決定する機能を有する回路として、上位概念的に「カウント制御回路」として理解することができる。被告の上記主張は、採用することができない。

オ 請求項46について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項46の箇所は、「・・・システムクロック信号を受け取り、制御信号を生成する制御回路と、・・・前記制御信号にตอบสนองしアドレスデコーダによってアドレスされたデータについてのデータシーケンスを決定し、前記シーケンスが制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、データ制御回路と、・・・」というものである。

(イ) 上記請求項の「制御信号」はラップタイプ信号WTに、「制御回路」はタイミング及び制御回路42に、「データ制御回路」はラップアドレススクランブラ及びマルチプレクサ61に、それぞれ対応する(このことは、被告も争わない。)

上記ア(イ)に判示したように、タイミング及び制御回路42は、制御バス60からの入力信号(「第2の制御信号」であるラップタイプ信号WTを含む。)及びシステムクロック信号CLKを受けて、システムクロック信号CLKに同期した同期ランダムアクセスメモリ30内の制御信号を生成し、また、上記イ(イ)に判示したところによれば、ラップアドレススクランブラ及びマルチプレクサ61は、ラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序(シーケンス)を決定するから、請求項46の「・・・システムクロック信号を受け取り、制御信号を生成する制御回路と、・・・前記制御信号にตอบสนองしアドレスデコーダによってアドレスされたデータについてのデータシーケンスを決定し、」との箇所は、出願当初の明細書又は図面に記載されているということができる。

そして、上記エ(イ)に判示したように、請求項46の「前記シーケンスが制御信号の第1の論理状態についてのシーケンシャル列アドレスによるものと制御信号の第2の論理状態についてのインターリーブラップシーケンスによるものである、データ制御回路と、・・・」との箇所も、出願当初の明細書又は図面に記載されている。

したがって、請求項46の上記該当箇所は、出願当初の明細書又は図面に記載されているものであって、請求項46に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ウ) 被告は、出願当初の明細書及び図面には、ラップアドレススクランブラ及びマルチプレクサ61が、ラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されているが、タイミング及び制御回路42が、ラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは記載されていないし、出願当初の明細書及び図面の記載から見て自明な事項でもないと主張する。

しかし、「制御回路」に対応するタイミング及び制御回路42がラップタイプ信号WTにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出されるデータビットの順序を決定することは、請求項46に記載がない。被告の上記主張は、請求項46の記載に基づかないものであって、採用の限りでない。

(2) 請求項9、14、37及び43についての認定判断の誤りについて

ア 請求項14について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項14の箇所は、「・・・該カウント制御回路は、第1の制御信号にตอบสนองして蓄積セルアレイに書き込まれるまたはそこから読み出される所定数のデータビットを選択する・・・」というものである。

(イ) 上記請求項の「カウント制御回路」はカウント制御回路94に、「第1の制御信号」はラップ長信号WLに、「蓄積セルアレイ」はメモリ配列75に、それぞれ対応する(このことは、被告も争わない。)

所定数のデータビットの選択は、ラップ長信号WLを入力信号とするラップアドレススクランブラ及びマルチプレクサ61によって制御される場所、カウント制御回路94は、ラップ選択信号WP(編注:WPには上線が施されている。)、ラップタイプ信号WT、ラップ長信号WLに基づき生成されるラップ制御信号WRAPによって、列アドレスカウンタ52並びにラップアドレススクランブラ及びマルチプレクサ61の動作を制御する(段落【0076】ないし【0080】、【0082】及び【0096】並びに図15及び17)。

そうであれば、カウント制御回路94は、ラップ長信号WLを入力信号とするラップアドレススクランブラ及びマルチプレクサ61の動作を制御して、メモリ配列75に書き込まれるあるいはそこから読み出される所定数のデータビットを選択することに参与しているということができる。

したがって、請求項14の上記該当箇所は、出願当初の明細書又は図面に記載されているものであって、請求項14に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ウ) 被告は、出願当初の明細書及び図面には、カウント制御回路94が、ラップ長信号WLにตอบสนองしてメモリ配列75に書き込まれるあるいはそこから読み出され

るデータビットを選択することは記載されていないし、出願当初の明細書及び図面の記載からみて自明な事項でもない」と主張する。

しかし、上記(イ)のとおり、カウント制御回路94は、ラップ長信号WLを入力信号とするラップアドレススクランブラ及びマルチプレクサ61の動作を制御して、メモリ配列75に書き込まれるあるいはそこから読み出される所定数のデータビットを選択することに関与している。被告の上記主張は、採用することができない。

イ 請求項9について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項9の箇所は、「・・・第1及び第2の論理状態を有する制御信号を生成するカウント制御回路と、・・・前記第1の論理状態に応答して第1の所定数の列アドレス信号を生成し、かつ前記第2の論理状態に応答して第2の所定数の列アドレス信号を生成する・・・」というものである。

(イ) 上記請求項の「制御信号」はラップ長信号WLに対応する（このことは、被告も争わない。）。

ラップ長信号WLの「0」及び「1」の論理状態は、「第1及び第2の論理状態」に対応し、この「第1及び第2の論理状態」に「第1の所定数」及び「第2の所定数」（8ビット及び4ビット）の各「列アドレス信号」が「生成」される（段落【0076】及び【0081】並びに図15及び17）。

また、上記(1)ウ(イ)のとおり、制御信号は、制御バス60からの外部制御信号及びその外部制御信号をタイミング及び制御回路42によってシステムクロック信号CLKに同期させて生成した内部制御信号として表現されている（段落【0014】、【0097】ないし【0099】及び【0102】）。そして、ラップ長信号WLを含む制御信号は、同期ランダムアクセスメモリ30に対する同期ラップ動作を機能させる上で必須の構成要件であり、請求項9においても明示されている上、出願当初の図面には、ラップ長信号WLが、制御バス60からの外部制御信号としてタイミング及び制御回路42に入力されるとともに（図2）、ラップアドレススクランブラ及びマルチプレクサ61に入力されることが示されているところ（図2及び6）、ラップアドレススクランブラ及びマルチプレクサ61に入力されるラップ長信号WLが制御バス60からの外部制御信号であることを明示する記載はなく、かつ、これが制御バス60からの外部制御信号として入力されなければならないと解すべき事情もないから、ラップ長信号WLは、前に判示したような上位概念としての「カウント制御回路」によって生成されるものと理解することができる。そして、このように理解しても、当初出願の明細書及び図面の記載と矛盾しない。

したがって、請求項9の上記該当箇所は、出願当初の明細書又は図面に記載されているということができ、そうであれば、請求項9に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ウ) 被告は、出願当初の明細書及び図面には、ラップ長信号WLがカウント制御回路94又はカウント制御回路94、マスクレジスタ93並びにラップアドレススクランブラ及びマルチプレクサ61に対応するカウント制御回路で生成されることは記載も示唆もないと主張するが、上記(イ)のとおり、ラップ長信号WLは上位概念としての「カウント制御回路」によって生成されるものと理解することができるのであるから、被告の上記主張は、採用の限りでない。

ウ 請求項37について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項37の箇所は、「・・・前記タイミングおよび制御回路によって生成された第3の制御信号・・・」というものである。

(イ) 「前記タイミングおよび制御回路」はタイミング及び制御回路42に、「第3の制御信号」はラップ長信号WLに、それぞれ対応する（このことは、被告も争わない。）。

上記(1)ウ(イ)のとおり、制御信号は、出願当初の明細書及び図面において、制御バス60からの外部制御信号及びその外部制御信号をタイミング及び制御回路42によってシステムクロック信号CLKに同期させて生成した内部制御信号として表現されているが（段落【0014】、【0097】ないし【0099】及び【0102】）、出願当初の明細書及び図面には、タイミング及び制御回路42が請求項37の「第3の制御信号」に対応するラップ長信号WLを生成していることを明示した記載がない。しかし、ラップ長信号WLを含む制御信号は、同期ランダムアクセスメモリ30に対する同期ラップ動作を機能させる上で必須の構成要件であっ

た。したがって、請求項37の上記該当箇所は、出願当初の明細書又は図面に記載されているということができ、そうであれば、請求項37に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ウ) 被告は、出願当初の明細書及び図面には、ラップ長信号WLがカウント制御回路94又はカウント制御回路94、マスクレジスタ93並びにラップアドレススクランブラ及びマルチプレクサ61に対応するカウント制御回路で生成されることは記載も示唆もないと主張するが、上記(イ)のとおり、ラップ長信号WLは上位概念としての「カウント制御回路」によって生成されるものと理解することができるのであるから、被告の上記主張は、採用の限りでない。

て、請求項37においても明示されている上、出願当初の図面には、ラップ長信号WLが、制御バス60からの外部制御信号としてタイミング及び制御回路42に入力されるとともに(図2)、ラップアドレススクランブラ及びマルチプレクサ61に入力されることが示されているところ(図2及び6)、出願当初の明細書には、ラップアドレススクランブラ及びマルチプレクサ61に入力されるラップ長信号WLが制御バス60からの外部制御信号であることを明示する記載がなく、かつ、これが制御バス60からの外部制御信号として入力されなければならないと解すべき事情もないから、ラップ長信号WLはタイミング及び制御回路42によって生成されるものと理解することができる。そして、このように理解したとしても、当初出願の明細書及び図面の記載と矛盾しない。

したがって、請求項37の上記該当箇所は、出願当初の明細書又は図面に記載されているということができ、そうであれば、請求項37に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ウ) 被告は、出願当初の明細書及び図面においては、「タイミング及び制御回路42」は、該「ラップ長信号WL」をゲートするものとされているだけであって、これを生成するものとはされていないと主張するが、上記(イ)のとおり、ラップ長信号WLがタイミング及び制御回路によって生成されると理解することができるから、被告の上記主張は、採用することができない。

エ 請求項43について

決定が、出願当初の明細書及び図面に記載されていないとした請求項43の箇所は、「前記カウント制御回路はアレイへの書き込みまたはアレイからの読み出しのためのデータビット数を決定する、・・・」というものであるところ、被告は、上記の請求項43の該当箇所が出願当初の明細書又は図面に記載されていることを争わないから、請求項43に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(3) 請求項53ないし56及び58ないし61についての認定判断の誤りについて

ア 請求項53及び55について

決定が、出願当初の明細書及び図面に記載されていないとした請求項53の箇所は、「データ制御回路は、システムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองし前記データビットの所定数を生成する、・・・」というものであり、請求項55の箇所は、「データ制御回路は、システムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองし、前記所定数のデータビットを生成する、・・・」というものであるところ、被告は、上記の請求項53及び55の各該当箇所が出願当初の明細書又は図面に記載されていることを争わないから、請求項53及び55に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

イ 請求項54及び56について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項54及び56の箇所は、「前記所定数のデータビットの生成は、システムクロックの各立ち上がりエッジで第1のデータビットを生成することおよびシステムクロックの各立ち下がりエッジで第2のデータビットを生成することを含む・・・」というものである。

(イ) 請求項54及び56は、それぞれ、請求項53及び55の「システムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองし前記データビットの所定数を生成する」を限定して、システムクロックの各立ち上がりエッジ及び各立ち下がりエッジにより、第1のデータビット及び第2のデータビットをそれぞれ生成することを規定したものである。

ところで、所定数のデータビットは、システムクロックの立ち上がりエッジと立ち下がりエッジにตอบสนองして別々に生成されるのであるから、各立ち上がりエッジにตอบสนองして生成されるものを第1のデータビットとし、各立ち下がりエッジにตอบสนองして生成されるものを第2のデータビットと称することは、生成の起因が異なるデータを区別する上で通常行われるものであり、格別なものではない。

したがって、上記の請求項54及び56の該当箇所は、出願当初の明細書又は図面の記載に照らし自明のことであって、請求項54及び56に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

(ウ) 被告は、出願当初の明細書には、システムクロックの各立ち上がりエッジで第1のデータビットを生成すること及びシステムクロックの各立ち下がりエッジで

第2のデータビットを生成することは記載されていないと主張するが、上記(イ)のとおり、システムクロックの各立ち上がりエッジで第1のデータビットを生成すること及びシステムクロックの各立ち下がりエッジで第2のデータビットを生成することは、出願当初の明細書又は図面の記載に照らして、自明のことであるから、被告の上記主張は、採用の限りでない。

ウ 請求項58及び60について

決定が、出願当初の明細書及び図面に記載されていないとした請求項58及び60の箇所は、「データ制御回路は、前記データシーケンス決定のためシステムクロックの立ち上がりエッジと立ち下がりエッジに応答する、・・・」というものであるところ、被告は、上記の請求項58及び60の各該当箇所が出願当初の明細書又は図面に記載されていることを争わないから、請求項58及び60に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

エ 請求項59及び61について

(7) 決定が、出願当初の明細書及び図面に記載されていないとした請求項59及び61の箇所は、「前記データシーケンスの決定は、立ち上がりエッジについて第1のデータビットを生成することおよび立ち下がりエッジについて第2のデータビットを生成することを含む、・・・」というものである。

(イ) 請求項59及び61は、それぞれ、請求項58及び60の「前記データシーケンス決定のためシステムクロックの立ち上がりエッジと立ち下がりエッジに応答する」を限定して、立ち上がりエッジ及び立ち下がりエッジにより、第1のデータビット及び第2のデータビットをそれぞれ生成することを規定したものである。

ところで、データシーケンスは、システムクロックの立ち上がりエッジと立ち下がりエッジにそれぞれ応答して別々に決定されるのであるから、上記イ(イ)に判示したように、各立ち上がりエッジにそれぞれ応答して生成されるものを第1のデータビットとし、各立ち下がりエッジにそれぞれ応答して生成されるものを第2のデータビットと称することは、生成の起因が異なるデータを区別する上で通常行われるものであり、格別なものではない。

したがって、上記の請求項59及び61の該当箇所は、出願当初の明細書又は図面の記載に照らし自明のことであって、請求項59及び61に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができない。

3 以上のとおりであって、上記各請求項に係る補正が出願当初の明細書及び図面の要旨を変更するものであるとは認めることができないから、決定の認定判断には誤りがある。

## 第5 結論

よって、原告主張の決定取消事由は理由があるから、手続補正を却下した決定は取り消されるべきである。

知的財産高等裁判所第4部

裁判長裁判官

塚 原 朋 一

裁判官

高 野 輝 久

裁判官

佐 藤 達 文