

平成19年2月16日判決言渡 同日原本領収 裁判所書記官

平成17年(ワ)第15552号 特許権侵害差止等請求事件

口頭弁論終結日 平成18年12月6日

判 決

埼玉県入間市(以下略)

原 告 株式会社ステップテクニカ

訴訟代理人弁護士 木下洋平

補佐人弁理士 沢田雅男

東京都文京区(以下略)

被 告 日本パルスモーター株式会社

訴訟代理人弁護士 平井昭光

同 原井大介

補佐人弁理士 西納航平

主 文

- 1 原告の請求をいずれも棄却する。
- 2 訴訟費用は原告の負担とする。

事 実 及 び 理 由

第1 請求

1 被告は、別紙物件目録記載の製品を製造し、販売し、又は販売の申し出をしてはならない。

2 被告は、前項記載の製品を廃棄せよ。

3 被告は、原告に対し、3600万円及びこれに対する平成17年8月6日(本訴状送達日の翌日)から支払済みまで年5分の割合による金員を支払え。

第2 事案の概要

本件は、原告が被告に対し、被告製品により構成される通信システムが原告の有する特許権を充足し、被告製品の販売は特許法101条1号の間接侵害に当たると

主張して、被告製品の販売等の差止め、廃棄及び損害賠償を求めたのに対し、被告が、構成要件の非充足、特許権の無効等を主張して争った事案である。

1 前提事実

(1) 当事者等

ア 原告は、集積回路の製造・販売を行う株式会社である。

イ 被告は、電子機器の製造・販売を行う株式会社であり、平成15年7月ころ以降、別紙物件目録記載の各製品(以下「被告各製品」といい、各製品を「G9002」のように、型式番号で表示する。)を製造・販売している。

(以上、争いのない事実)

(2) 本件特許権

ア 原告は、次の特許権を有している(以下、この特許権を「本件特許権」と、請求項1の発明を「本件特許発明」といい、本件特許権に係る訂正後の明細書及び図面を「本件特許明細書」という。別紙本件特許明細書として、訂正請求書(甲3)添付の明細書と特許公報(甲2)の図面部分を付する。)

特許番号	第2994589号
発明の名称	サイクリック自動通信による電子配線システム
出願日	平成8年6月7日
登録日	平成11年10月22日
訂正登録日	平成14年7月10日

特許請求の範囲

【請求項1】 別紙本件特許明細書の該当欄記載のとおり

イ 構成要件の分説

本件特許発明を構成要件に分説すると、以下のとおりである(以下、各構成要件を「構成要件A1」のように表記し、B1、B2のように枝番があるものを総称するときは「構成要件B」のように表記する。)

A1 1台のIC化された中央装置(1)と1台又は複数台のIC化された端末装

置(2)とがデジタル通信回線(3)を介して、相互接続されて構成され、

A 2 上記中央装置(1)から上記端末装置(2)宛に、出力データの組み込まれたコマンドパケットを一斉にサイクリックに自動的に送信し、

A 3 1台又は複数台の端末装置(2)の中から順次に択一的に選択される1台づつの上記端末装置(2)から上記中央装置(1)宛に、入力データの組み込まれたレスポンスパケットを逐次にサイクリックに自動的に送信する

A 4 サイクリック自動通信方式の電子配線システムであって、

B 1 上記中央装置(1)は、上記出力データと上記入力データとを読み取り可能に記憶するメモリ(4)と、

B 2 上記コマンドパケットの送信と上記レスポンスパケットの受信とを、プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシーンとから成り、

C 1 上記メモリ(4)は、 i 番目のコマンドパケットに組み込まれる i 番目の出力データを i 番目対応の出力データ記憶領域に読み取り可能に記憶し、

C 2 i 番目のレスポンスパケットに組み込まれていた i 番目の入力データを i 番目対応の入力データ記憶領域に読み取り可能に記憶するメモリであり、

D 1 上記ステートマシンは、 $i - 1$ 番目の端末装置(2)宛の $i - 1$ 番目のコマンドパケットの送信が完了した直後に、又は、 $i - 1$ 番目のコマンドパケットの送信が完了してから、 $i - 1$ 番目のレスポンスパケットの受領期間が経過した直後に、上記メモリ(4)の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目のコマンドパケットをデジタル通信回線(3)経由で送信し、

D 2 該 i 番目のコマンドパケットの送信が完了した後に、 i 番目の入力データの組み込まれた i 番目のレスポンスパケットを i 番目の端末装置からデジタル通信回線(3)経由で受信し、該 i 番目の入力データを上記メモリ(4)の i 番目対応の入力データ記憶領域に書き込むことを特徴とし、

E 1 上記端末装置(2)は、デジタル通信回線(3)経由で受信した上記 i 番目のコマンドパケットに組み込まれている i 番目の端末装置アドレス符号が自己の端末装置アドレス符号として設定されている i 番目の端末装置アドレス符号と一致するときに、

E 2 上記 i 番目のコマンドパケットに組み込まれている i 番目の出力データを出力ポート(22)でのポート出力データとして出力するとともに、

E 3 入力ポート(21)からのポート入力データが i 番目の入力データとして組み込まれた上記 i 番目のレスポンスパケットをデジタル通信回線(3)経由で送信することを特徴とし、さらに、

F 1 上記メモリ(4)の i 番目対応の出力データ記憶領域に読み取り可能に記憶されている出力データのビット群の構成と上記出力ポート(22)から出力されるポート出力データのビット群の構成とが同一形態であり、

F 2 上記メモリ(4)の i 番目対応の入力データ記憶領域に読み取り可能に記憶されている入力データのビット群の構成と上記入力ポート(21)から入力されるポート入力データのビット群の構成とが同一形態であり、

F 3 前記メモリ(4)内のデータビット群が、前記複数の端末装置毎にメモリ領域を分割して設定した

G ことを特徴とするサイクリック自動通信方式の電子配線システム。

(以上、争いのない事実)

(3) 被告各製品及び被告配線システム

ア 被告は、G 9 0 0 1 又は G 9 0 0 1 A をセンターデバイス、G 9 0 0 2 又は G 9 0 0 3 をローカルデバイスとして用いる、シリアル通信を利用した省配線システム「Motionnet」(以下「被告配線システム」という。)を需要者に提供している。

(争いのない事実)

イ G 9 0 0 1 A は、G 9 0 0 1 の改良品であるが、本件特許発明との対比に

においては、その構成、機能に違いはない(以下においては、G9001とG9001Aを併せて「G9001」と総称する。)

(争いのない事実)

ウ 被告配線システムには、デバイスとして、G9001及びG9002のみを用いるもの、G9001及びG9003のみを用いるもの、並びにG9001、G9002及びG9003を用いるものがある。

(争いのない事実)

2 争点

- (1) 構成要件充足性
- (2) 本件特許発明は無効か

- ア 拡大先願(刊行物1)
- イ 新規性又は進歩性の欠如(刊行物2)
- ウ 新規性又は進歩性の欠如(刊行物3)
- エ 進歩性の欠如(刊行物2及び刊行物3)
- オ 出願前実施等

- (3) 原告の損害額

3 争点に関する当事者の主張

- (1) 構成要件充足性

ア 原告の主張

(ア) 被告配線システムの構成

被告配線システムの構成は、いずれも、次のとおりである(以下、各構成を「構成a1」のように表記する。)

a1 1つのLSIであるセンターデバイスG9001と1つ以上のLSIであるローカルデバイスG9002又はG9003が、RS485によるデジタル通信回線を介して接続され、

a2 センターデバイスからローカルデバイスに、出力データを含む命令フレー

ムを，一斉に，サイクリックに自動的に送信し，

a 3 デバイス番号で指定されたローカルデバイスの入力データが含まれた応答フレームが，そのローカルデバイスから上記センターデバイスに，逐次に，サイクリックに，自動的に送信される

a 4 サイクリック自動通信式省配線システムであって，

b 1 上記センターデバイスが，上記出力データと上記入力データとを書き込むRAMと，

b 2 上記命令フレームの送信と上記応答フレームの受信とを，プログラム制御によらずに，回路の駆動で制御する受信駆動回路と送信駆動回路とから成り，

c 1 上記メモリは，i番目の命令フレームに含まれるi番目の出力データを出力データ記憶領域のi番目に対応する部分に読み取り可能に記憶し，

c 2 i番目の応答フレームに含まれるi番目の入力データを入力データ記憶領域のi番目に対応する部分に読み取り可能に記憶するメモリであり，

d 1 上記受信駆動回路と送信駆動回路は，デバイス番号がi - 1番のローカルデバイスへのi - 1番目の命令フレームの送信が完了してから，i - 1番目の応答フレームの受領期間が経過した直後に，i番目のローカルデバイスに対応する上記RAMの出力データ記憶領域のi番目の出力データとi番目のローカルデバイスのデバイス番号とが含まれるi番目の命令フレームを，デジタル通信回線で送信し，

d 2 このi番目の命令フレームの送信が終了すると，i番目の入力データが含まれるi番目の応答フレームを，デバイス番号i番のローカルデバイスからデジタル通信回線経由で受信し，このi番目の入力データを上記RAMのデバイス番号i番のローカルデバイスに対応する入力データ記憶領域に書き込み，

e 1 上記ローカルデバイスは，デジタル通信回線経由で受信した上記i番目の命令フレームに含まれているi番目のローカルデバイスのデバイス番号が自己のローカルデバイスのデバイス番号として設定されているi番目のローカルデバイスのデバイス番号と一致するときに，

e 2 上記 i 番目の命令フレームに組み込まれている i 番目の出力データを，出力ポートでのポート出力データとして出力するとともに，

e 3 入力ポートからのポート入力データが i 番目のローカルデバイスの入力データとして組み込まれた上記 i 番目の応答フレームを，デジタル通信回線経由で送信し，

f 1 上記 R A M の i 番目の出力データ記録領域に記録されている出力データのビット群の構成と，上記出力ポートから出力されるポート出力データのビット群の構成は，同一であり，

f 2 上記 R A M の i 番目の入力データ記録領域に記録されている入力データのビット群の構成と，上記入力ポートから入力されるポート入力データのビット群の構成は，同一であり，

f 3 上記 R A M 内のデータビット群は，ローカルデバイス毎に領域が分割されている，

g サイクリック自動通信方式の省配線システム。

(1) 構成要件充足性

a 構成 a 1 ， a 2 ， a 3 ， a 4 は，それぞれ構成要件 A 1 ， A 2 ， A 3 ， A 4 を充足する。

b 構成 b 1 ， b 2 は，それぞれ構成要件 B 1 ， B 2 を充足する。

c 構成 c 1 ， c 2 は，それぞれ構成要件 C 1 ， C 2 を充足する。

d 構成 d 1 ， d 2 は，それぞれ構成要件 D 1 ， D 2 を充足する。

e 構成 e 1 ， e 2 ， e 3 の構成は，それぞれ構成要件 E 1 ， E 2 ， E 3 を充足する。

f 構成 f 1 ， f 2 ， f 3 は，それぞれ構成要件 F 1 ， F 2 ， F 3 を充足する。

g 構成 g は，構成要件 G を充足する。

h 被告各製品は，いずれも被告配線システムにおけるセンターデバイス又はローカルデバイスとしてのみ用いられるものであるから，被告各製品の製造，販売

は本件特許権を侵害するものとみなされる(特許法101条1号)。

(ウ) CPU及びプログラムによる通信制御(後記被告の主張(ウ))について

a 構成要件A1等の意味について

構成要件B2は、パケットの送受信という通信制御について、プログラム制御ではなくハードウェアによって行うことを意味する。構成要件B2でいうプログラムとは、データ通信における通信プロトコルを実行するためのプロトコルプログラムを意味する。

b G9001における通信制御について

(a) 外部CPUによる通信制御

被告配線システムにおいて、外部CPUは、デバイスの初期設定、通信の開始・終了の指示という付加機能の実行に用いられるにすぎず、パケットの送受信という通信制御は、プログラム制御ではなく、送信駆動回路と受信駆動回路というハードウェアのみによって行われている。

(b) 内部CPUによる通信制御

CPUは、ALU、プログラムカウンタ及びメモリを必須の構成とするが、G9001にはこれらが存在しない(乙1、-9頁の全体ブロック図)。

被告がオペコードであると主張するデバイス情報は、デバイスの接続状況及び各ポートの入出力の設定を示す単なるデータにすぎず、プロトコルプログラムではない。

そして、ステートマシーンにおいても、パラメータを参照して通信制御が行われており、情報の変更が通信システムの制御に影響を及ぼすから、デバイス情報を参照することは、プログラム制御を行っていることを意味しない。

G9001には、プログラムを格納するROMが存在しない。

(c) 高速処理

被告配線システムのマニュアル(乙1の-32頁)によれば、被告配線システムは453 μ sという極めて速い処理速度を実現しているが、CPUによる通信制御

では、少なくとも50msを要し、かかる処理速度を得ることは不可能である。

(I) 受領期間(後記被告の主張(I))について

a(a) 受領期間をどの程度の長さにするかは、単なる設計事項である。

(b) 被告配線システムは、パケットを受信した場合に受領期間を短縮させる付加機能を有し、この付加機能がなければ送信間隔は一定となるから、構成要件D1を充足する。

b(a) G9001は、受領期間を経過した後、付加機能としてのキャリアセンスを行っているにすぎないから、被告配線システムは構成要件D1を充足する。

(b) 後記被告の主張(I) b(b) (無効審判手続における主張)は認める。

キャリアセンスには、サイクルの終了を判定するためのものと、送信開始時に信号が存在しないことを検出するためのものの2種類があるところ、原告が上記無効審判で主張したのは に関するものであって、 に関するものではないから、原告の本訴における主張は禁反言に当たらない。

(オ) 本件特許発明の通信方式(後記被告の主張(オ))について

a 構成要件D1中の「又は、 $i - 1$ 番目のコマンドパケットの送信が完了してから、 $i - 1$ 番目のレスポンスパケットの受領期間が経過した直後に」との文言、並びに構成要件E中の「端末装置(2)は、...受信した...コマンドパケットに組み込まれている...端末装置アドレス符号が自己の端末装置アドレス符号...と一致するときに」及び「レスポンスパケットをデジタル通信回線(3)経由で送信する」との文言を考慮すると、本件特許発明は、半二重通信方式のみのものを含む。

b 後記被告の主張(オ) b(被告配線システムの方式)は認め、c(充足)は否認する。

(カ) 出力データ領域と入力データ領域(後記被告の主張(カ))について

a 構成要件Cは、メモリの出力データ領域と入力データ領域がハードウェアレベルで分かれるものに限定していない。

b 後記被告の主張(カ) b(被告製品の指定方法)は認め、c(充足)は否認する。

(キ) 「i 番目」(後記被告の主張(キ))について

- a 後記被告の主張(キ) a (構成要件 D の解釈)は明らかに争わない。
- b 同 b (被告製品の構成)は明らかに争わない。
- c 同 c (充足)は否認する。

被告配線システムは、ローカルデバイスと順番に通信するというサイクリック通信の基本機能に対し、デバイス情報エリアのデバイス使用ビットが 0 に設定されているデバイスをスキップする機能を追加したものにすぎない。被告配線システムにおいても、すべての端末のデバイス情報を 1 に設定すると、0、1、2 と順次サイクリック通信が行われる。

(ク) データビット群の構成(後記被告の主張(ク))について

a 後記被告の主張(ク) a (反転)は不知、b (充足)は否認する。

b 仮に被告の主張を前提としても、被告が主張する「ビットの反転」は、そもそも中央装置のメモリ内のデータビットと端末装置の I/O ポートのデータビットが 1 対 1 対応であることを前提とするから、被告配線システムにおけるビット群の構成は、構成要件 F 1 及び F 2 にいう「同一形態」である。

c また、出力を反転する機能を使用しない場合、被告配線システムは問題なく本件特許の構成要件 F 1 及び F 2 を充足するから、反転する機能の付加は、充足を否定する根拠とはならない。

イ 被告の主張

(ア) 被告配線システムの構成に対する認否

原告の主張(ア)のうち、被告配線システムが b 1、e 1 ~ e 3 及び f 3 の構成を有することは認め、a 1 ~ a 4、b 2、c 1、c 2、d 1、d 2、f 1、f 2 及び g の構成を有することは否認する。

(イ) 構成要件充足性に対する認否

a 同(イ) a ~ g のうち、被告配線システムが構成要件 B 1、E 1 ~ E 3 及び F 3 を充足することは認め、その余は否認する。

b 同h(間接侵害)は否認する。

(ウ) CPU及びプログラムによる通信制御(構成要件A1, A2, A4, B2, G)

a 構成要件A1等の意味

構成要件A1は、中央装置、端末装置及びデジタル通信回線のみで稼働し、CPUを必要としないことを規定している。

また、構成要件A2の「自動的に」及び構成要件B2は、「通信制御がプログラム制御によらずにハードウェアにのみよって行われること」を意味する。この「プログラム制御」とは、ハードウェアのみによる制御の反対の意味、すなわち「通信制御に用いられる命令・データ等がメモリに蓄えられ、それを読み出してCPUが演算処理することにより通信制御が行われる」ことを意味する。

さらに、構成要件A4及びGの「自動通信方式」は、プログラム制御によらないことを意味している。

b G9001における通信制御

(a) 外部CPUによる通信制御

被告配線システムは、次のとおり、プログラムにより通信を制御しており、CPUが必須であるから、構成要件A1, A2, A4, B2及びGを充足しない。

通信の開始は、被告製品G9001に接続される電子装置のCPU(以下「外部CPU」という。)からの命令により行われる。

外部CPUは、被告製品G9001のRAM中のデバイス情報エリアに、G9002の有する複数のI/Oポートのどれが出力ポート又は入力ポートとして設定されているかというデバイス情報を書き込む。

G9003を用いる場合、G9003が有する1つのI/Oポートは、初期設定で入力ポートとされているため、これを出力ポートに変更するためには、外部CPUからG9001に命令しなければならない。

(b) 内部CPUによる通信制御

G9001内の「コマンド制御回路」(乙1のI-9頁参照)は、通信機能に特化した専用CPU機能(以下「内部CPU」という。)を有しており、プログラムにより通信を制御している。

すなわち、G9001は、毎回必ずデバイス情報エリアからデバイス情報を読み出し、それに基づく解析(演算処理)によって、プロトコルの選択、ローカルデバイスのアドレス決定、パケットの作成指示及び送信指示、並びにメモリのリード/ライトを行うか否かの判断という通信制御を行う。いわば、デバイス情報自体がメモリに蓄えられたコマンドであり、G9001はこのコマンドの解析(演算処理)によって通信制御を行っている(乙53)。

プログラム制御とは、「ある作業に必要なパラメータに関するデータを任意に設定・記憶し、これらを読み出し解析の上適切な任意の組み合わせを実行すること」と解されるところ、デバイス情報は、プロトコルを支配するという意味でプロトコルプログラムである。

また、CPUであるためには、解析機能を伴った演算処理を行う回路が存在すればよい。

上記(a)のデバイス情報は、オペコード、すなわちプログラムに相当する。

G9001にROMが存在しないことは認めるが、外部CPU、内部CPU及びRAMにより、被告が主張するプログラム制御は可能である。

(c) 高速処理について

G9001には、汎用CPUではなく、被告配線システムに関する通信制御を高速で行い得るよう設計された専用CPU機能が含まれている。そして、G9001が最初のデータを送信し、更に次のデータを送信するまでの時間は最低でも10 μ s以上あり、この間にG9001のシステムクロックである40MHzでは400回以上の演算が可能であるから、CPUによる通信制御によっても、極めて速い処理速度を実現することができる。

(I) 受領期間(構成要件D1)

a (a) 構成要件 D 1 の「受領期間」とは，一定の時間と解される。

(b) G 9 0 0 1 は，G 9 0 0 2 又は G 9 0 0 3 からの応答があれば，その時点で後記 b のキャリアセンスを行った後，次の送信を開始し，一定の「受領期間」を待って送信することをしていないから，構成要件 D 1 を充足しない。

原告は，キャリアセンスを付加機能であると主張するが，G 9 0 0 1 は常にキャリアセンスを行うよう設計されているので，キャリアセンスは付加機能ではない。

b (a) 構成要件 D 1 の「受領期間」が一定の時間ではないとしても，被告配線システムにおいて，G 9 0 0 1 は，ノイズの存在を考慮して，次パケットの送信タイミングをキャリアセンスによって判断し，「受領期間が経過した直後に」送信していないから，構成要件 D 1 を充足しない。

(b) 原告は，無効審判手続における答弁書(甲 7 の 2 1 頁)において，「受領期間が経過した直後に」とはキャリアセンスを行わないことを意味するとの主張をした。

これに反する原告の本訴における主張は，禁反言により許されない。

(オ) 本件特許発明の通信方式(構成要件 A 3)

a 構成要件 A 2 の「一斉に」が，「接続されているすべての端末に対し，平等に，電氣的に信号が伝えられる」という意味であるならば，これと対比される構成要件 A 3 の「逐次に」とは，端末からのパケットが他の端末から電氣的に受信できない構成，すなわち全二重通信方式を意味する。

b これに対し，被告配線システムは，半二重通信方式である(乙 1 の - 4 頁「通信方式」)。

c よって，被告配線システムは，構成要件 A 3 を充足しない。

(カ) 出力データ領域と入力データ領域(構成要件 C)

a 構成要件 C は，メモリの出力データ領域と入力データ領域が物理的に明確に分かれることを規定している。

b これに対し，G 9 0 0 1 は，メモリ上の入力と出力の領域にハードウェア

レベルでの区別はなく、どのアドレスを入力又は出力に割り当てるかをソフトウェア的に指定する構成となっている。

c よって、G 9 0 0 1 は、構成要件 C を充足しない。

(†) 「i 番目」(構成要件 D)

a 構成要件 D は、「i - 1 番目」の端末装置の次に「i 番目」の端末装置と通信すること、すなわち整数順に接続されたすべてのローカルデバイスと通信することを規定している。

b 被告配線システムにおいては、通信に使用されるパケットの番号は、ローカルデバイスのデバイス番号、RAM中のデータ記憶領域の番号及び入出力データの番号と一致する必要はなく、また、このような番号が1つずつ、連続する整数として変化する構成も有していない。例えば、物理的に10個のローカルデバイスが接続されている状況下で、そのうち3つを使う場合、0から63番のうち任意の3個(例えば1番、4番、9番)にローカルデバイスが接続されているものと扱うとの情報が書き込まれ、残りの61個には接続されていないとの情報が書き込まれると、1番目の送受信は1番のローカルデバイス、2番目の送受信は4番目のローカルデバイス、3番目の送受信は9番目のローカルデバイスのように行われる。

c よって、被告配線システムは、構成要件 D を充足しない。

(ク) データビット群の構成(構成要件 F 1 及び F 2)

a 被告配線システムは、ローカルデバイスの設定によっては、ポート出力データやポート入力データがセンターデバイスの記憶領域の全ビットを反転した形となる場合もあり、常に同一とはならない。

b よって、被告配線システムは、構成要件 F 1 及び F 2 を充足しない。

(2) 本件特許発明は無効か

ア 被告の主張

本件特許権は、次の理由により、特許無効審判によって無効にされるべきものと認められるから、原告は被告に対し、本件特許権を行使することができない(特許

法 104 条の 3)。

(ア) 拡大先願(刊行物 1)

a 本件特許権の出願日前の特許出願であって本件特許権の出願後に出願公開された特願平 7 - 2 1 3 6 7 号(特開平 8 - 1 9 5 6 8 2 号)の願書に最初に添付された明細書及び図面(乙 6。以下「刊行物 1」という。)に記載された発明は、次の構成を有する(無効 2 0 0 5 - 8 0 1 5 8 の審決(乙 2 2。以下「乙 2 2 審決」という。) 1 1 頁参照)。

(a) 1 台の I C 化された中央装置と複数台の I C 化された端末装置とがデジタル通信回線を介して、相互接続されて構成され、

上記中央装置から上記端末装置宛に、出力データの組み込まれた伝送データを送信し、

複数台の端末装置から上記中央装置宛に、入力データの組み込まれた伝送データを送信する

通信システムであって、

(b) 上記中央装置は、上記出力データと上記入力データとを読み取り可能に記憶する記憶手段と、

上記中央装置側から端末装置側への伝送データの送信と上記端末装置側から中央装置側への伝送データの受信とを制御する制御手段とから成り、

(c) 上記記憶手段は、上記中央装置側から端末装置側への伝送データに組み込まれる出力データを対応する記憶領域に読み取り可能に記憶し、

上記端末装置側から中央装置側への伝送データに組み込まれていた入力データを対応する記憶領域に読み取り可能に記憶する記憶手段であり、

(d) 上記制御手段は、記憶手段の対応する記憶領域から読み取られた出力データが組み込まれた上記伝送データをデジタル通信回線経由で送信し、

入力データの組み込まれた上記伝送データを端末装置からデジタル通信回線経由で受信し、受信した入力データを上記記憶手段の対応する記憶領域に書き込むこと

を特徴とし、

(e) 上記端末装置は、デジタル通信回線経由で受信した上記伝送データに組み込まれている出力データを出力ポートからポート出力データとして出力するとともに、

入力ポートからのポート入力データが入力データとして組み込まれた上記伝送データをデジタル通信回線経由で送信することを特徴とし、さらに、

(f) 上記記憶手段の所定の記憶領域に読み取り可能に記憶されている出力データが上記出力ポートから出力されるポート出力データに対応し、

上記記憶手段の所定の記憶領域に読み取り可能に記憶されている入力データが上記入力ポートから入力されるポート入力データに対応し、

前記記憶手段内の記憶領域が、前記複数の端末装置毎に分割して設定された

(g) ことを特徴とする通信システム。

b 本件特許発明と刊行物 1 に記載された発明とは、次の 5 つの点で相違し、その余の点で一致する(乙 2 2 審決 1 1 頁 ~ 1 3 頁参照)。

(a) 相違点 1

本件特許発明は、「上記中央装置(1)から上記端末装置(2)宛に、出力データの組み込まれたコマンドパケットを一斉にサイクリックに自動的に送信し」(構成要件 A 2)、「1 台又は複数台の端末装置(2)の中から順次に択一的に選択される 1 台づつの上記端末装置(2)から上記中央装置(1)宛に、入力データの組み込まれたレスポンスパケットを逐次にサイクリックに自動的に送信する」(構成要件 A 3)、「サイクリック自動通信方式の電子配線システム」(構成要件 A 4)である。

これに対し、刊行物 1 に記載された発明は、これらの点を明示していない。

(b) 相違点 2

本件特許発明の中央装置は、「上記コマンドパケットの送信と上記レスポンスパケットの受信とを、プログラムによる通信制御に基づかないで、回路の駆動で制御するステートマシーン」(構成要件 B 2)を含む。

これに対し、刊行物 1 に記載された発明は、同一の端末装置からの応答である点を開示せず、また「プログラムによる通信制御に基づかないで、回路の駆動で制御する」点を明示していない。

(c) 相違点 3

記憶手段について、本件特許発明は「メモリ」(構成要件 B 1 等)であるのに対し、刊行物 1 に記載された発明は「データレジスタ」である。

また、本件特許発明は、「上記メモリ(4)の i 番目対応の出力データ記憶領域に読み取り可能に記憶されている出力データのビット群の構成と上記出力ポート(22)から出力されるポート出力データのビット群の構成とが同一形態であり」(構成要件 F 1)、「上記メモリ(4)の i 番目対応の入力データ記憶領域に読み取り可能に記憶されている入力データのビット群の構成と上記入力ポート(21)から入力されるポート入力データのビット群の構成とが同一形態」(構成要件 F 2)であるのに対し、刊行物 1 に記載された発明は、ビット群の構成が同一形態である点を明示していない。

(d) 相違点 4

本件特許発明のステートマシンは、「 $i - 1$ 番目の端末装置(2)宛の $i - 1$ 番目のコマンドパケットの送信が完了した直後に、又は、 $i - 1$ 番目のコマンドパケットの送信が完了してから、 $i - 1$ 番目のレスポンスパケットの受領期間が経過した直後に、上記メモリ(4)の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目のコマンドパケットをデジタル通信回線(3)経由で送信し」(構成要件 D 1)、「該 i 番目のコマンドパケットの送信が完了した後に、 i 番目の入力データの組み込まれた i 番目のレスポンスパケットを i 番目の端末装置からデジタル通信回線(3)経由で受信し、該 i 番目の入力データを上記メモリ(4)の i 番目対応の入力データ記憶領域に書き込む」(構成要件 D 2)。

これに対し、刊行物 1 に記載された発明は、「入力データの組み込まれたチャン

ネルCH0～CH3の伝送データを、ベースターミナル51Aからシリアルライン(35)経由で受信し、当該伝送データをデータレジスタ#0～#3の記憶領域に書き込み、データレジスタ#4～#7の記憶領域から読み取られた出力データが組み込まれたチャンネルCH4～CH7の伝送データをシリアルライン(35)経由で送信し、データレジスタ#8～#11の記憶領域から読み取られた出力データが組み込まれたチャンネルCH8～CH11の伝送データをシリアルライン(35)経由で送信し、入力データの組み込まれたチャンネルCH12～CH15の伝送データを、ベースターミナル51Dからシリアルライン(35)経由で受信し、当該伝送データをデータレジスタ#12～#15の記憶領域に書き込む」とどまる。

(e) 相違点5

本件特許発明の端末装置は、「デジタル通信回線(3)経由で受信した上記i番目のコマンドパケットに組み込まれているi番目の端末装置アドレス符号が自己の端末装置アドレス符号として設定されているi番目の端末装置アドレス符号と一致するとき」(構成要件E1)、「上記i番目のコマンドパケットに組み込まれているi番目の出力データを出力ポート(22)でのポート出力データとして出力するとともに」(構成要件E2)、「入力ポート(21)からのポート入力データがi番目の入力データとして組み込まれた上記i番目のレスポンスパケットをデジタル通信回線(3)経由で送信する」(構成要件E3)。

これに対し、刊行物1に記載された発明は、「ベースターミナル51Aは、サテライトターミナル52Aから入力されたポート入力データが組み込まれたチャンネルCH0～CH3の伝送データをシリアルライン(35)経由でシリアル通信ボード55に送信し、ベースターミナル51Bは、シリアルライン(35)経由で受信したチャンネルCH4～CH7の伝送データに含まれているポート出力データをサテライトターミナル52Bから出力し、ベースターミナル51Cは、シリアルライン(35)経由で受信したチャンネルCH8～CH11の伝送データに含まれているポート出力データをサテライトターミナル52Cから出力し、ベースターミナル51

Dは、サテライトターミナル52Dから入力されたポート入力データが組み込まれたチャンネルCH12～CH15の伝送データをシリアルライン(35)経由でシリアル通信ボード55に送信する」ととどまる。

c 相違点1～3についての判断

上記相違点1～3は、実質的な差異ではない(乙22審決14頁～15頁参照)。

d 相違点4についての判断

(a) 刊行物1(乙6)の発明の詳細な説明には、次の記載がある。

「...前記送信側の送受信部に正常受信であることを示すACK信号を返送するようにしてもよい。」(【0009】)

「...送信側の送受信部に正常受信であることを示すACK信号を返送する場合、シリアル通信におけるデータ伝送の信頼性を高めることができ...」(【0014】)

(b) 上記(a)の記載によれば、刊行物1は、「ACK信号を返送しない場合」の構成についても開示している。

このことは、刊行物1の図5から「ACK送信」の部分を削除しても機能することから、技術的にも支持され得る。

原告は、刊行物1に記載された発明ではACK信号が必須であると主張するが、刊行物1の特許請求の範囲には、請求項1にACK信号の記載がなく、請求項2にその記載があるし、図4はあくまで実施例にすぎないから、請求項1の発明はACK信号を必須としないものと解される。

(c) そして、このような「ACK信号を返送しない場合」を念頭に、刊行物1の図4からACKの部分を消去してみれば、当該1サイクルがチャンネルCH0からCHNまでを連続して通信を行うことが分かり、【0038】の記載も、「...チャンネルCH0の伝送データを含むシリアル送信出力信号の送信を固定チャンネル型ゲートアレイGA内の送信ブロック2から始めて、チャンネルCH1、CH2、CH3の送信を順次行う(通信データバス4に接続する入出力ポートをセレクタ3で順次切り換えることで実現できる)」と書き替えることができ、CH0～CH3

のデータがセレクタ 3 により順次選択されて送出されると解釈できる。この場合、同一のベースターミナルから順次送出するデータをわざわざ別々のパケットに分割するとは考えにくいいため、少なくともベースターミナル単位においては C H 0 ~ C H 3 を一まとめにして送信する技術的な構成を開示している。

(d) このような理解に基づけば、刊行物 1 では、「C H 4 , C H 5 , C H 6 , C H 7 のような通信手順」を「ベースターミナル単位」で、すなわち「端末装置単位で」送信している。

(e) さらに、刊行物 1 の図 5 は、A C K 送信をしない場合には、アドレス比較格納判断 データ格納・I / O 出力 送信アドレスチェック データ送信・トリガ出力と進む通信手順を開示している。

このような通信手順は、いわば、端末装置がデータを受信した後、サイクリック通信で不可欠なアドレスチェックを行い自局のデータを送信するという構成に他ならず、本件特許発明の構成である「コマンドパケットを特定の端末装置に送信した後、当該端末装置からデータの組み込まれたレスポンスパケットが中央装置に送信され、さらに次の端末装置への送信へと続く」という構成を示している。

(f) 以上のとおり、相違点 4 は、本件特許発明と刊行物 1 に記載された発明の実質的な相違点ではない。

e 相違点 5 についての判断

上記 d から明らかなように、本件特許発明の端末装置が「自己の端末装置アドレス符号と一致する毎に、コマンドパケットに組み込まれている出力データを出力ポートから出力するとともに、入力ポート(21)からのポート入力データをレスポンスパケットに組み込んで送信する」構成は、刊行物 1 に開示されている。

したがって、相違点 5 は、本件特許発明と刊行物 1 に記載された発明の実質的な相違点ではない。

f まとめ

以上のとおり、刊行物 1 に記載された発明は本件特許発明と同一であるから、本

件特許発明は、特許法 1 2 3 条 1 項 2 号、2 9 条の 2 により無効である。

(イ) 新規性又は進歩性の欠如(刊行物 2)

a 刊行物 2 の記載

本件特許権の出願前である平成 6 年 1 0 月 1 8 日に公開された特開平 6 - 2 9 2 2 7 5 号公報(乙 2 0。以下「刊行物 2 」という。)には、次の記載がある。

(a) 図 1 2 によれば、中央装置である機械入出力 I / F ホストと 1 台又は複数台の端末装置である機械入出力 I / F リモートが、デジタル通信回線を介して相互接続されている。そして、【 0 0 7 1 】には、上記機械入出力 I / F ホストが IC 化したものであることが、【 0 0 6 8 】には、上記機械入出力 I / F リモートが IC 化したものであることが記載されている。

「機械入出力 I / F ホスト IC 1 1 1 0 内部の制御回路(図示せず)に従い、リフレッシュ周期中に、マルチプレクサ 1 1 0 3 は、送信用レジスタファイル # 1 ~ # 8 を選択する。また、選択された送信用レジスタファイル 1 1 0 1 の MP X 1 1 1 1 は、ラッチ回路 # 7 ~ # 0 を順に選択する。MP X 1 1 1 1 で順に選択されたラッチ回路 # 7 ~ # 0 のデータ(図 1 6 の C 列)は、P / S 変換回路 1 0 9 3 に送り込まれ、ここで FLAG 1 0 9 9 A、局番 1 0 9 9 B、CRC 1 0 9 9 C を付加され、パケット(図 1 6 の B 列)に変換される。かくして、機械入出力 I / F リモート # 1 ~ # 8 へのパケット(図 1 6 の B 列)が並んだシリアルデータ(図 1 6 の A 列)が生成される。このシリアルデータ(図 1 6 の A 列)は、双方向シリアル I / F 1 0 9 5 を通って、図 1 2 の機械入出力 I / F リモート # 1 ~ # 8 に送信される。」(【 0 0 7 8 】)

そして、図 1 6 には、リフレッシュ周期は端末装置の 1 番から 8 番まで順番にデータを送信した後、端末装置の 1 番に戻ることが示されており、各端末に送信されるパケットには、データが組み込まれていることが B 列に示されている。

「...機械入出力 I / F リモート # 1 ~ # 8 から数値制御装置 1 への入力動作について説明する。図 1 3 の...接点入力 # 1 ~ # 8 ...は、...サンプリングされ

... P / S 変換回路 1 0 9 3 に入力される。」(【 0 0 8 1 】)

「 P / S 変換回路 1 0 9 3 は , ... パケット (図 1 8 の B 列) を生成する。そして , そのパケット (図 1 8 の B 列) を ... シリアル B U S に送出する。 ... 各機械入出力 I / F リモート 4 0 4 は , 自己に割り当てられた期間にパケット (図 1 8 の B 列) を送出する。」(【 0 0 8 2 】)

「シリアル B U S に送出されたシリアルデータ (図 1 8 の A 列) は , 図 1 4 の双方向シリアル I / F 1 0 9 5 を通って , 機械入出力 I / F ホスト I C 1 1 1 0 の S / P 変換回路 1 0 9 4 A に入力される。」(【 0 0 8 3 】)

(b) 図 1 4 に関連して , 「 1 1 0 1 は , 送信用レジスタファイルであり」(【 0 0 7 3 】) , 「 1 1 0 4 は , 受信用レジスタファイルであり」(【 0 0 7 4 】) との記載がある。

「機械入出力 I / F ホスト I C 1 1 1 0 内部の制御回路 (図示せず) に従い...」 「 ... このシリアルデータ (図 1 6 の A 列) は , 双方向シリアル I / F 1 0 9 5 を通って , 図 1 2 の機械入出力 I / F リモート # 1 ~ # 8 に送信される。」(【 0 0 7 8 】)

「 ... 実際には , データが衝突しないように , 例えば図 1 9 のように交互に送信 / 受信が繰り返される。この制御は , 機械入出力 I / F ホスト I C 1 1 1 0 および機械入出力 I / F リモート I C 1 1 0 0 の内部の制御回路 (図示せず) により行われる。」(【 0 0 8 4 】)

(c) 機械入出力 I / F ホスト I C のアドレス図である図 1 5 には , i 番目の送信データ (コマンドパケット) に組み込まれる出力データは , 端末装置アドレスが i 番目のリモート (端末装置) のために割り付けられた記憶領域に記憶させることが示されている。

図 1 5 では , 2 行目は書き込み専用である M o d e W となっているが , 実施例 2 に示される図 8 の構成のメモリのアドレスマップ図 9 では , アドレス 8 ~ F は読み書き可能な M o d e W / R とされており , i 番目の送信データに組み込まれる

データを読み取り可能に記憶する構成が開示されている。

入力の場合についても、図15のアドレス0～7の行には、 i 番目の送信データ(コマンドパケット)に組み込まれる入力データは、端末装置アドレスが i 番目のリモート(端末装置)のために割り付けられた記憶領域に記憶させることが示されている。

(d) 図16には、送信データがリフレッシュ周期によって、端末装置#1から#8へと順番に送信されることが示されている。

半二重通信については、図19に示されている。

図16のB列には、「局番」と、その端末装置用のデータが付加されている。

図18には、リフレッシュ周期において、端末装置#1から#8へと順番に局番と当該端末装置の入力データを含むパケットを、中央装置が受信することが示されている。

また、【0083】には、「シリアルBUSに送出されたシリアルデータ(図18のA列)は、...機械入出力I/FホストIC1110のS/P変換回路1094Aに入力される。S/P変換回路1094Aは、シリアルデータ(図18のA列)を各機械入出力I/Fリモート#1～#8のパケット(図18のB列)に分解し、そのFLAG, 局番, CRCをチェックする。次に、各パケットを8bitごとのパラレルデータに変換し、シフトレジスタ1097に送る。シフトレジスタ1097は、8bit×8個のデータを保持した後、順に受信用レジスタファイル#1から#8のラッチ回路#0～#7に引き渡す。」と記載されている。

(e) 「機械入出力I/Fリモート404では、送信されてきたシリアルデータ(図16のA列)が、図13の双方向シリアルI/F1095を通過して、機械入出力I/FリモートIC1100に入力される。そして、S/P変換回路1094に入力される。S/P変換回路1094は、シリアルデータ(図16のA列)のFLAG, 局番, CRCから判定して、自分の局番のパケット(図16のB列)のみを取り出す。そして、そのパケット(図16のB列)のデータ(図16のC列)を取り出して、

8 b i t × 8 個の平行データに変換し，シフトレジスタ 1 0 9 7 に順に送る。シフトレジスタ 1 0 9 7 は，8 b i t × 8 個のデータを保持した後，通常モードであるため，ラッチ回路 # 7 ~ # 0 に引き渡す。ラッチ回路 1 0 7 7 A は，ドライバ 4 0 3 1 を介して，接点出力 4 0 3 へ値を出力する。」(【0079】)

「機械入出力 I / F リモート # 1 ~ # 8 から数値制御装置 1 への入力動作について説明する。図 1 3 の 6 4 点の接点入力 # 1 ~ # 8 から # 7 1 ~ # 7 8 は，デジタルフィルタ # 1 ~ 8 から # 7 1 ~ # 7 8 でサンプリングされる。...デジタルフィルタ # 1 ~ 8 から # 7 1 ~ # 7 8 でサンプリングされたデータは，ラッチ回路 # 0 ~ # 7 にラッチされる。ラッチ # 0 ~ # 7 の出力は，図 1 8 の C 列に示すように，ラッチ回路 # 7 ~ # 0 の順にマルチプレクサ 1 1 0 3 で選択され，P / S 変換回路 1 0 9 3 に入力される。」(【0081】)

「P / S 変換回路 1 0 9 3 は，F L A G 1 0 9 9 A ，局番 1 0 9 9 B ，C R C 1 0 9 9 C を付加してパケット(図 1 8 の B 列)を生成する。そして，そのパケット(図 1 8 の B 列)を，双方向シリアル I / F 1 0 9 5 を介して，シリアル B U S に送出する。ただし，図 1 8 の A 列に示すように，リフレッシュ周期を 8 分割して各機械入出力 I / F リモート # 1 ~ # 8 に割り当てており，各機械入出力 I / F リモート 4 0 4 は，自己に割り当てられた期間にパケット(図 1 8 の B 列)を送出する。」(【0082】)

図 1 9 には，端末装置によるパケットの受信とパケットの送信が連続的に行われていることが示されている。

(f) 図 1 5 には，中央装置内のメモリに記憶されている端末装置 # 1 への出力データのビット群の構成が示されている。入力及び出力に対応する記憶エリアのそれぞれ最初の 1 列目に # 1 から # 8 までのデータが右から左まで 1 列に並んでおり，これがラッチ回路 # 0 に対応したビット群構成である。そして，順番に 1 つずつ繰り下がる毎にラッチ回路 # 1 ， # 2 と対応し，最後の # 7 1 から # 7 8 までのビット群がラッチ回路 # 7 に対応していることが示されている。

図 1 3 には、端末装置側において、ラッチ回路 # 0 が接点出力 # 1 ~ # 8 に対応しており、ラッチ回路 # 7 が接点出力 # 7 1 ~ # 7 8 に対応していることが示されている。

また、図 1 5 は、中央装置のメモリ内のデータビット群が、端末装置 # 1 から # 8 までの複数の端末装置ごとにメモリ領域を分割して設定していることが示されている。

b 刊行物 2 の開示内容

上記 a の記載によれば、刊行物 2 には、以下の発明が開示されている。

(a) 構成要件 A

1 台の I C 化された中央装置である機械入出力 I / F ホストと 1 台又は複数台の I C 化された端末装置である機械入出力 I / F リモートとが、デジタル通信回線を介して、相互接続されて構成されている。

これは、構成要件 A 1 と同一である。

上記中央装置から上記端末装置宛に、データの組み込まれたコマンドパッケージを、内部の制御回路に従って、一斉にサイクリックに送信している。

これは、構成要件 A 2 と同一である。

端末装置では、# 1 接点入力からの入力が P / S 変換でデータを含むパッケージが生成され、シリアル B U S を通じて、リフレッシュ周期(サイクリックの周期)に従い、端末装置 # 1 から # 8 へと順次に択一的に、中央装置へパッケージ送信されている。

これは、構成要件 A 3 と同一である。

上記 ~ のとおり、サイクリック自動通信方式の電子配線システムであり、構成要件 A 4 と同一である。

(b) 構成要件 B

上記中央装置が出力データと入力データとを読み取り可能に記憶するメモリを備えており、構成要件 B 1 と同一である。

上記中央装置内部の制御回路の駆動で制御するステートマシーンによって、上記端末装置との間で、交互に送信 / 受信を繰り返し行っており、構成要件 B 2 と同一である。

(c) 構成要件 C

中央装置のメモリは、 i 番目の送信データ(コマンドパケット)に組み込まれる出力データを、端末装置アドレスが i 番目のリモート(端末装置)のために割り付けられた記憶領域に読み取り可能に記憶しており、構成要件 C 1 と同一である。

中央装置のメモリは、 i 番目の受信データ(レスポンスパケット)に組み込まれる入力データを、端末装置アドレスが i 番目のリモート(端末装置)のために割り付けられた記憶領域に読み取り可能に記憶しており、構成要件 C 2 と同一である。

(d) 構成要件 D

上記中央装置は、リフレッシュ周期において、局番とデータが付加された送信データを、端末装置 # 1 から # 8 へと順番に、デジタル通信回線経由で送信している。そして、上記送信データは、上記メモリの端末装置に対応した記憶領域から読み取られた出力データと端末装置アドレス符号とが組み込まれたものである。

本件特許発明の構成要件 D 1 において、「 $i - 1$ 番目のコマンドパケットの送信が完了した直後に」は全二重通信を、「 $i - 1$ 番目のコマンドパケットの送信が完了してから、 $i - 1$ 番目のレスポンスパケットの受領期間が経過した直後に」は半二重通信を示しているものと解されるが、刊行物 2 の図 19 には、上下に 2 段の送信と受信の流れを示しており、半二重通信が可能であると同時に、全二重通信を採用することも可能であることを示している。

したがって、構成要件 D 1 と同一である。

上記中央装置は、上記 同様の半二重通信により、リフレッシュ周期において、端末装置 # 1 から # 8 へと順番に局番と当該端末装置の入力データを含むパケットを受信する。そして、上記受信データは、 i 番目の入力データを i 番目で

あることを確認した後，i 番目に対応する入力データメモリ領域である受信レジスタファイルに書き込まれる。

したがって，構成要件 D 2 と同一である。

なお，刊行物 2 に全二重通信が開示されていないとしても，その技術内容は，次のとおり，本件特許出願時において，当業者の技術常識であった。

() 特開昭 6 2 - 1 3 9 0 6 1 号公報(乙 6 1)

「...制御機器端末間のシリアル入出力方法については既に確立された技術が存在する。...通信方式では全二重，半二重，...」(1 頁右欄 [発明の技術的背景とその問題点])

() 特開昭 5 9 - 1 0 3 4 3 2 号公報(乙 6 2)

「一般に，...半二重通信方式である場合には 2 線式の通信線路によって伝送するが，全二重通信方式である場合には，4 線式の通信線路によって伝送している。この場合，通信機器を通信線路に接続する回線接続装置は汎用性を持たせるために，通信線路が 2 線式であっても 4 線式であっても，使用できるように考慮されているものが多い。」(1 頁右欄 5 行～ 1 2 行)

() 特開昭 4 8 - 5 7 5 1 2 号公報(乙 6 3)

「前記 L S I は本来全 2 重通信に利用するものであるが，これを半 2 重通信に利用する場合が多い。」(1 頁右欄下から 2 行～ 2 頁左上欄 1 行)

() 特開昭 5 4 - 1 9 6 0 4 号公報(乙 6 4)

「...このような回線 L S I が比較的安価に求められることから，半 2 重通信を行なうデータ伝送装置でも，この全 2 重動作可能な回線 L S I を用いているのが普通である」(2 頁右上欄 9 行～ 1 2 行)

(e) 構成要件 E

刊行物 2 の【 0 0 8 2 】の記載と図 1 9 をみれば，コマンドパケットを受信した直後が「自己に割り当てられた期間」であって，この期間にレスポンスパケットの送信が行われると考えることが自然である。

また、刊行物2においては、送信パケットと受信パケットの双方に機械入出力I / Fリモートの局番が組み込まれており(【0069】、【0072】、【0082】、図16、図18)、機械入出力I / Fリモートがパケットを送信できるタイミングは、機械入出力I / Fホストからのパケットを受信した直後だけである。

したがって、刊行物2には、原告主張の「コマンド・レスポンス型通信方式」が開示されている。

これは、構成要件E1～E3と同一である。

刊行物2にコマンド・レスポンス型通信方式が開示されていないとしても、その技術内容は、次のとおり、本件特許出願前に公開された公開特許公報に記載されている。

() 特開昭58-116897号公報(乙36)

「第2図(a)(b)は通常のポーリング動作時における信号線(3)上の信号を示し、同図中(a)は伝送信号であって親機(1)から各端末器(2)に向けて伝送する信号であり、スタート信号、アドレス信号、制御信号等により構成されている。」(2頁右上欄18行～左下欄2行)

「また同図(b)は監視信号であって、親機(1)からの伝送信号中のアドレス信号により呼び出された端末器(2)からその端末器(2)における監視状態のデータが監視信号として親局に返送されることになる。」(2頁左下欄2行～6行)

「かくて第1図のシステムにあっては、親機(1)と端末器(2)との間で第2図に示すような信号の伝送を行うことにより、親機(1)から各端末器(2)を順次ポーリングし、被呼出し端末器(2)における被制御負荷(5)を遠隔制御するとともに監視状態のデータを監視信号として親機(1)に返送する...」(2頁左下欄7行～12行)

() 特開平2-216998号公報(乙65)

「...通常はマスタからスレーブへ出力データの送信、スレーブからはマスタへの入力データ送信が、第1図(口)の如くサイクリックに行われる。この場合、スレーブはマスタから出力データを受信する度にそのデータを外部へ出力し、外部から入

力したデータ(入力データ)をマスタに送信する動作を繰り返す。」(3頁右上欄5行~11行)

() 特開平4 - 162106号公報(乙66)

「...親局2では子局3₁~3_nを順にポーリングすることによって、子局3₁~3_nとの間でデータを授受する。各子局3₁~3_nは、...親局2からポーリングされたときに、格納しているデータを親局2に伝送する」(2頁左上欄11行~16行)とあり、親局からのポーリングによって出力データが送信され、その後の子局からの応答により入力データが送信される(データの授受)技術が開示されている。

このように、原告が主張する「コマンド・レスポンス型通信方式」は、周知技術であり、刊行物2に開示されているか、少なくとも強く示唆されているから、当業者が刊行物2に接することによって本件特許発明を想到することは容易である。

中央装置及び端末装置について

刊行物2の通信方式は、上記のとおりコマンド・レスポンス方式であるから、中央装置及び端末装置は存在する。

端末装置が送信するデータ等について

() そもそも、構成要件Eには、「コマンドパケットを受信した時点の入力データをレスポンスパケットに組み込み送信する」との限定はない。

() 刊行物2(乙20)においては、「前記高速接点入力402Aは、トランジスタ等の無接点出力であり、チャタリングが無い場合、デジタルフィルタ1084の必要はない。」(【0063】)、「8個の接点入力毎に...フィルタOFF...の制御が可能」(【0081】)とあるように、デジタルフィルタを使用しない制御も開示されている。その場合、サンプリング自体に時間がかかることはなく、コマンドパケットを受信した瞬間の入力データを、レスポンスパケットに組み込むことができる。

() 刊行物2にデジタルフィルタを使用しない制御が開示されていないとしても、少なくとも強く示唆されており、デジタルフィルタを使用しない制御とい

う周知技術を併せ考えれば、当業者が刊行物 2 に接することによって、原告主張の構成要件 E の構成を想到することは容易なことであった。

(f) 構成要件 F

中央装置側の出力データメモリに記憶されたデータのビット群の構成と出力データのビット群の構成は、同一形態である。

これは、構成要件 F 1 と同一である。

中央装置側の入力データメモリに記憶されたデータのビット群の構成と入力データのビット群の構成は、同一形態である。

これは、構成要件 F 2 と同一である。

中央装置のメモリ内のデータビット群が、端末装置 # 1 から # 8 までの複数の端末装置毎にメモリ領域を分割して設定している。

これは、構成要件 F 3 と同一である。

(g) 構成要件 G

上記(a) のとおり、サイクリック自動通信方式の電子配線システムであり、これは、構成要件 G と同一である。

c まとめ

(a) 以上のとおり、本件特許発明は、刊行物 2 に開示された発明と同一であるから、特許法 1 2 3 条 1 項 2 号、2 9 条 1 項 3 号により無効である。

(b) 本件特許発明が刊行物 2 にすべて記載されていないとしても、少なくとも本件特許出願時における当業者の技術常識を参酌することにより導き出されるものであるから、特許法 1 2 3 条 1 項 2 号、2 9 条 1 項 3 号又は 2 項により無効である。

(ウ) 新規性又は進歩性の欠如(刊行物 3)

a 刊行物 3 の記載

本件特許権の出願前である昭和 6 2 年 3 月 1 9 日に公開された特開昭 6 2 - 6 2 6 4 3 号公報(乙 2 1。以下「刊行物 3」という。)には、以下の記載がある。

(a) 「...上位計算機と多数の端末との間の順次かつ周期的な通常時のデータ伝送(以下サイクリック交信という)、及びある指定された端末との間の緊急時のデータ伝送(以下個別交信という)を効率的に行うことができるデータ伝送システムを提供することを目的とする。」(3頁左上欄12行~17行)

「第2図はこのデータ伝送システムにおける交信順序を示す。同図(a)は通常行われるサイクリック交信T1の例である。即ち例えば、端末45のアドレスを、予め、所定個数のアドレスからなる群(ただしこの群内での各アドレスは予め順序付けされる)ごとに区分して、この各群にブロックアドレスB(B1~B4)を割付け、センタ装置43が、ブロックアドレスB1~B4を(B1 B2 B3 B4 B1... ..)のように)順次指定することを周期的に繰返し、同図中の各ブロックアドレスB1~B4で示した期間内に、さらに必要に応じ当該ブロックに属する各端末のアドレスを順次指定しながら、当該端末にセンタ装置43からD_oデータ47を与えたり、各端末45から順次D_iデータをセンタ装置43が受取ったり、また端末間の交信を行わせたりするものである。」(4頁右下欄8行~5頁左上欄3行)

(b) 「...サイクリック交信のために、全端末のアドレス別に配置されたD_i、D_oデータ格納用の専用データメモリ(領域)とを設け、計算機側からはD_oデータを書き込み、D_iデータを読み出し、センタ装置側からはD_oデータの読み出し、D_iデータの書き込みを可能とすることにより、」(3頁右上欄5行~11行)

「換言すれば本発明の要点は、センタ装置、センタ装置から伝送路を介して結合された複数のアドレス別端末、センタ装置と共通RAM(コモンRAMなど)を介して結合された上位計算機を備え、センタ装置は、データ伝送の制御を行うと共に端末とデータ授受を行い、上位計算機は、共通RAMに書込んだデータをセンタ装置を介して端末に送信し、かつセンタ装置が端末から受信して共通RAMに書込んだデータを読み取ることにより端末とのデータ授受を行うようにしたデータ伝送システムにおいて、」(3頁右上欄下から4行~左下欄7行)

(c) 「第1図に戻って、同図(b)に示した専用データMD内のD_iデータ46、

あるいはD o データ47は，端末45のアドレス a の順に配置され，...」(5 頁左上欄下から 6 行～下から 4 行)

「...前記通常交信用データ記憶領域は，各端末のアドレス毎に設けられ，かつ上位計算機が端末と授及び受を行う(D o データ及びD i データの)各データ領域を備えるように」(3 頁左下欄 1 2 行～ 1 5 行)

(d) 「センタ装置は，前記通常交信用データ記憶領域を読み，書きしつつ，各端末のアドレス又はこれに対応するアドレスを所定の順序で繰り返し指定して，データ授，受を行い，...」(1 頁右欄 3 行～ 6 行)

また，コモン R A M の割付図である第 1 図(b)は，次のように記憶領域について開示している。

この部分に刊行物 3 の 7 頁第 1 図を掲載した。

(e) 上記(a)に同じ。

(f) 「またサイクリック交信された専用データメモリ M D 1 ， M D 2 内の D i データ46，D o データ47は，端末の動作状態を表示する時などには，そのまま使用すれば良い...」(6 頁左下欄 9 行～ 1 2 行)

「第 1 図に戻って，同図(b)に示した専用データ M D 内の D i データ46，あるいは D o データ47は，端末45のアドレス a の順に配置され...」(5 頁左上欄下から 6 行～下から 4 行)

「前記通常交信用データ記憶領域は，各端末のアドレス毎に設けられ，かつ上位計算機が端末と授及び受を行う(D o データ及びD i データの)各データ領域を備えるように」(3 頁左下欄 1 2 行～ 1 5 行)

b 刊行物 3 の開示内容

(a) 構成要件 A

() 上記(a)～(f)のとおり，コンピュータと中央装置とをバス結合し，中央装置と端末装置とを通信回路で結合し，さらに，コンピュータと中央装置との間にデュアルポート R A Mを備えることによって，当該デュアルポート R A M内に通常のサイクリック通信のための端末装置のアドレス毎の記憶領域を確保し，サイクリック通信を行うことが開示されている。

() これは，構成要件 A 2～A 4 と同一である。

() 原告が指摘する刊行物 3 中の「なおこの伝送路 4 4 の構成は，第 3 図ではマルチドロップの形式で示されているが，これはループ状に接続されても良いので」(4 頁左上欄 9 行～11 行)との記載は，第 3 図にあるマルチドロップ形式を代表例としているものであって，この記載をループ式に限定して解釈するのは誤りである。

そして，上記記載は，コマンドパケットを一斉に送信する構成を開示しているし，仮にそうでないとしても，本件特許出願時のサイクリック通信に関する技術常識に鑑みれば，当業者が構成要件 A 2 に想到することは容易であった。

() 中央装置及び端末装置を I C 化することは明記されていないが，刊行物 3 に記載された発明の構成はセンタ装置と端末との間のサイクリック通信のためのものであり，このようなセンタ装置や端末を構成する回路を I C 化することは，当業者の常識である。

() すなわち，特開昭 4 8 - 5 7 5 1 2 号公報(乙 6 3)には，「近時，データ伝送装置用の送信回路と受信回路を一体に組込んだ大規模集積回路装置(以下 L S I と称す)が使用され始めている。」(1 頁右欄 1 3 行～15 行)，「全 2 重通信可能な L S I であつても安価に求められ」(2 頁左上欄 1 行～2 行)とあり，特開昭 5 4 - 1 9 6 0 4 号公報(乙 6 4)には，「最近のデータ伝送装置では，送信回路と受信回路を一体に組込んだ回線送受信用の大規模集積回路(以下回線 L S I と称す)が用いられており」(2 頁左上欄 1 1 行～13 行)，「...このような回線 L S I が比

較的安価に求められることから」(2頁右上欄9行～10行)と記載されている。

() このように、シリアル送受信専用LSIは安価に入手できたところ、刊行物3の「センタ装置」は、これにデュアルポートRAMのアクセス機能やサイクリック通信機能を加えた程度のものであり、特別に複雑な回路ではないから、昭和60年当時に付加できないはずがない。

したがって、昭和60年当時の技術常識によれば、センタ装置や端末装置を構成する回路をIC化することは可能であった。

() 仮に、刊行物3に係る特許出願当時は困難であったとしても、本件特許出願時である平成8年においては、センタ装置及び端末装置の回路をIC化することは十分可能であったから、その時点で刊行物3に接した当業者は、構成要件A1を容易に想到することができた。

() したがって、刊行物3に記載された発明は、構成要件A1と同一である。

(b) 構成要件B

刊行物3に記載された発明は、コンピュータと中央装置との間にデュアルポートRAMを備え、当該RAMに、サイクリック通信に用いる出力データと入力データを読み取り可能に記憶している。

これは、構成要件B1と同一である。

() また、中央装置は、コンピュータと独立し、データ伝送の制御、端末装置との通信を行うものとして記載されており、ステートマシーンであるとの明示はないものの、回路による制御を行っているものと解される。

() 刊行物3における原告指摘の従来技術は、「これらの伝送システムは、... 計算機とセンタ装置間のデータ伝送時間が遅くなってしまうという欠点がある。... これらを解決するためには、計算機内にあるバスを用いて、センタ装置を結合すればデータの伝送スピードを高速に実現できることが考えられる。... このバスを用いた方式には...」(2頁左上欄下から5行～左下欄12行)と記載されているとおり、

C P Uを備える計算機とセンタ装置間の高速データ伝送に問題があったということである。これに対し、計算機の下流にあるセンタ装置と端末との間のデータ伝送については、「センタ装置は、データ伝送の制御を行うと共に端末とデータ授受を行い」(3頁左下欄1行～2行)とあるように、センタ装置が独自の制御を行うことによって、効率的なデータ伝送を行うとするものである。

したがって、刊行物3に記載された発明は、センタ装置と端末とのデータ授受については、プログラムによる通信制御が行われているとはいえない。

() したがって、構成要件B2と同一である。

(c) 構成要件C

上記a(c)の記載は、構成要件Cと同一である。

(d) 構成要件D

上記a(d)の記載は、構成要件Dの主要な部分を開示している。

全二重通信方式や半二重通信方式に関する記載、送信パケットにアドレス情報を組み込む技術など若干開示されていない部分もあるものの、全二重通信方式や半二重通信方式は、上記(i)b(d)のとおり周知技術であった。

送信パケットにアドレス情報を組み込む技術は、複数の端末が自分宛のパケットだけを選別するために、当然必要な情報であるから、当業者の技術常識に属する事項である。

(e) 構成要件E

上記a(e)の記載からは、端末装置が自らの信号を選択的に受け取り、そこに組み込まれたデータを出力し、かつ、自らの入力データをパケットに組み込んで中央装置に送信することを看取することができ、このような通信システムに関する当業者が構成要件Eの構成に想到することは容易である。

(f) 構成要件F

上記a(f)の記載からは、「そのまま使用すれば良い」のであるから、出力・入力データ用メモリ内のデータビット群の構成とポート出力・入力データのビット群

の構成が同一であることが開示されているし、メモリ内のデータビット群が複数の端末装置毎にメモリ領域を分割して設定していることも開示されている。

これは、構成要件 F と同一である。

(g) 構成要件 G

以上のとおり、サイクリック自動通信方式の電子配線システムであり、これは、構成要件 G と同一である。

c まとめ

(a) 以上のとおり、本件特許発明は、刊行物 3 に開示された発明と同一であるから、特許法 1 2 3 条 1 項 2 号、2 9 条 1 項 3 号により無効である。

(b) 本件特許発明が刊行物 3 にすべて記載されていないとしても、少なくとも本件特許出願時における当業者の技術常識を参酌することにより導き出されるものであるから、本件特許発明は、特許法 1 2 3 条 1 項 2 号、2 9 条 1 項 3 号又は 2 項により無効である。

(I) 進歩性の欠如(刊行物 2 及び刊行物 3)

本件特許発明は、上記(イ) a , b の刊行物 2 に記載された発明に、上記(ウ) a , b の刊行物 3 に記載された発明を組み合わせ、更に本件特許出願時の当業者の技術的常識を参酌することにより、当業者が容易に発明することができたものであるから、特許法 1 2 3 条 1 項 2 号、2 9 条 2 項により無効である。

(オ) 出願前実施等

a 原告製品のマニュアルによる公開

(a) 本件特許発明の実施品である「Hi-speed Link System; MKY33, MKY34」(以下「原告製品」という。)のユーザーズマニュアル第 1 版(乙 6 7。以下「原告マニュアル」という。)は、次の理由から、本件特許出願日(平成 8 年 6 月 7 日)より前に、顧客に頒布されていた。

原告マニュアルに記載された発行日は、平成 8 年 4 月である。

原告製品のような I C 製品は、製品の販売以前から、正式なマニュアル

やその暫定版の原稿などによって営業活動がされるのが通常である。

原告は、他の製品については、被告を始め秘密保持契約を締結していない相手に対して暫定版マニュアルを配布しているから、原告マニュアルの暫定版も同様に配布したと推認される。

本件特許出願日前に頒布された雑誌やパンフレット(乙68～70)には、原告マニュアルを入手、検討しなければ記載できない技術情報が含まれている。

原告の販売代理店であるパイオニクス株式会社は、雑誌「トランジスタ技術」に、遅くとも平成7年11月8日には公開されていた同年12月号以降、本件特許発明の技術的内容を開示する広告を掲載し、資料請求の勧誘を行っていた(乙71～74)。

(b) 原告マニュアルには、別紙「ユーザーズマニュアルによる本件発明の開示」のとおり、本件特許発明の構成要件がすべて開示されていた。

b 広告等による公開

上記(a)の雑誌「トランジスタ技術」に掲載された広告(以下「本件広告」という。)には、別紙「各広告による本件発明の開示」のとおり、本件特許発明の構成要件が実質的にすべて開示されていた。

c 原告製品の販売による公然実施

次の事実からすると、原告は、本件特許権の出願日(平成8年6月7日)の前から、原告製品を販売していた。

(a) 原告のウェブサイト(乙58)には、原告製品の販売開始が平成8年2月と記載されている。

(b) 平成7年10月18日発行に係る日刊工業新聞9面(乙75)には、原告が「『ハイスピード・リンク・システム(HLS)』の製品化に成功、12月をめどにセンター装置用ICと端末用ICのサンプル出荷を開始する」「サンプル価格はセンター装置用『MKY33』が5千円、端末用『同34』が3千円。月間5千セットの出荷を見込んでいる。」との記事が掲載されている。

(c) 同年12月5日発行に係る電波新聞6面(乙76)には、原告が「『HLS』(Hi Speed Link System)を発売した。」「サンプル価格は、MKY33が5千円、MKY34が3千円。販売目標は毎月5千セット。」との記事が掲載されている。

(d) 雑誌「インターフェース」平成8年3月号95頁(乙77)の新製品紹介記事において、原告の販売代理店であるインターニクス株式会社が原告製品を紹介しており、当時、原告製品が既に販売されていたか、販売間近であったことが推認される。

d まとめ

以上のとおり、本件特許発明は、その出願前に、日本国内において、公然知られたか、公然実施をされた発明であるから、特許法123条1項2号、29条1項1号又は2号により無効である。

イ 原告の主張

(ア) 拡大先願(刊行物1)

a 被告の主張(ア) a (刊行物1に記載された発明の構成)のうち、(e)の一部である端末装置が出力データを出力すると「ともに」伝送データを送信するとの点は否認し、その余は明らかに争わない。

b 同b(一致点及び相違点の認定)は、明らかに争わない。

c 同c(相違点1～3についての判断)は、明らかに争わない。

d(a) 同d(相違点4についての判断)のうち、(a)は明らかに争わず、(b)～(f)は否認する。

(b) 本件特許発明の通信方式は、中央装置からのコマンドパケットに対応して、端末装置が即座にレスポンスパケットを返すコマンド・レスポンス型通信方式である。これに対し、刊行物1に記載された発明は、各チャンネルが自己の1個前のチャンネル番号のチャンネルがデータ送信を完了したことをACK信号により確認した後、自己のチャンネルのデータを送信するループ型通信方式であるため、

次のとおり、通信方式が基本的に異なる。

本件特許発明では、端末装置、その端末装置に送受信されるコマンドパケット及びレスポンスパケット、メモリ内の入力データ領域、入力データ領域のすべてに同一のアドレスが付される(構成要件C 1, C 2, D 1, D 2, E 1 ~ E 3)。

これに対し、刊行物 1 に記載された発明では、入力データと同一のチャンネルアドレスの出力データは存在せず、入力データ又は出力データが組み込まれた伝送データにも同一のチャンネルアドレスは付されない。

そのため、本件特許発明の構成要件D 1, D 2, E 1 ~ E 3にいう「レスポンスパケット」に対応する伝送データも存在しない。

本件特許発明の端末装置は、入力ポートと出力ポートを一对で備えているのに対し(構成要件E 2 及びE 3), 刊行物 1 に記載された発明では、かかる構成を備えていない。

本件特許発明では、コマンドパケットを送信する中央装置は必須だが(構成要件D 1 及びD 2), 刊行物 1 に記載された発明では、図 7 におけるシリアル通信ボード 5 5 は必須ではない。

本件特許発明では、1 種類のアドレスしか必要としないが(構成要件D 及びE), 刊行物 1 に記載された発明では、「チップアドレス」と「チャンネルアドレス」の 2 種類のアドレスを必要とする。

刊行物 1 に記載された発明では、伝送データは個別のチャンネルアドレスごとに送信されるから、伝送データが複数のチャンネルについてまとめて送信されることはない。

被告は、刊行物 1 の図 5 から「ACK 送信」の部分を削除しても機能すると主張するが、図 4 から「ACK」部分を削除した場合の動作を図 5 を改変した状態遷移図に当てはめると、「キャリアセンス」「CH 0 入力」「データ送信トリガ出力」「キャリアセンス」という移行サイクルで、動作が完結し、CH 1 出力が一向に行われぬという矛盾が生じるから、ACK 送信なしで通信を行うこ

とはできない。したがって、刊行物 1 が A C K 信号を返送しない場合の構成についても開示しているとする被告の主張は、理由がない。

e 同 e (相違点 5 についての判断)は否認する。

f 同 f (まとめ)は否認する。

(1) 新規性又は進歩性の欠如(刊行物 2)

a 刊行物 2 の記載

被告の主張(1) a は明らかに争わない。

b 刊行物 2 の開示内容

(a) 構成要件 A ~ C

同 b (a) ~ (c) は明らかに争わない。

(b) 構成要件 D

認否

同 b (d) (構成要件 D 1) , (構成要件 D 2) は否認し , (全二重通信の技術常識) は各公報の記載を認め , その余は否認する。

全二重通信方式(構成要件 D 1)

() 本件特許発明では , コマンド・レスポンス方式を採用することにより , 本件特許明細書の図 3 にあるとおり , コマンドパケットとレスポンスパケットを同時に伝送するという全二重通信方式をも規定している。

() これに対し , 刊行物 2 や被告指摘の公開特許公報(乙 6 1 ~ 6 4) は , 「全二重通信方式」を採用する通信システムを開示していない。全二重 , 半二重という技術用語は , 伝送路というハードウェア面から規定される場合と , これに併せて通信方式というソフトウェア面から規定される場合の 2 種類がある。伝送路が全二重であっても , プロトコル処理の煩雑さ , C P U が同時処理を行えないなどの理由から , 「全二重伝送路」で「半二重通信方式」を採用することが多いのは , 当業者にとって自明である。

(c) 構成要件 E

認否

同 b (e) (構成要件 E) , (ポーリング方式の技術常識)及び (容易想到)は否認する。

主張

() 刊行物 2 の通信方式は , コマンド・レスポンス型通信方式とは異なる時間同期方式である。

すなわち , 刊行物 2 (乙 20) は , 図 19 について , 「送受信のデータの一例を表すタイムチャートである。」(【0076】) , 「例えば図 19 のように」(【0084】) と記載しており , 図 19 のような送信と受信を交互に繰り返すタイムチャート以外に , 送信又は受信を複数回連続するタイムチャートも採用可能である。

また , 刊行物 2 には , 通信が共通クロックを用いる通信規格である HDLC 回路により行われること , 機械入出力 I / F リモート 404 の回路にはすべて共通クロックが供給されていること(【0070】) , 発明の目的であるデジタルフィルタを正しく動作させるには , 共通クロックの供給が常に必要であること , 図 13 にも , クロック分離回路 1096 を経て生成されたクロックが供給されることが明記されている。

そして , 機械入出力 I / F ホスト及び各機械入出力 I / F リモートがタイムチャートを保持しているため , 各リモートは , 自己に割り当てられた期間が到来すれば , 自発的にパケットを送信する(【0078】 , 【0076】及び【0082】)。

() さらに , 刊行物 2 には , 「機械入出力 I / F ホスト IC 1110 は , サーボ AMP 30 の通信 I / F 回路 307 (図 28) としても使用する。」(【0091】) との記載があり , 図 24 に機械入出力 I / F ホスト 107 とサーボ AMP 30 を接続して使用することが明示されていることから , 機械入出力 I / F ホスト IC 1110 同士が接続されても通信が可能である。このことは , コマンドパケットとレスポンスパケットの区別がないデータパケットのみが送受信されていること , すなわちコマンド・レスポンス方式でないことを示している。

() 被告は、刊行物 2 においては送信パケットと受信パケットの双方に機械入出力 I / F リモートの「局番」が組み込まれていると主張するが、刊行物 2 には「1093 は、P / S 変換回路であり、パラレル / シリアル変換回路、FLAG や相手側局番や CRC の挿入回路、データとクロックを混合する回路などからなる HDLC 送信用の回路ブロックである」(【0069】)と記載されており、送信データのフォーマット内に付加されるのは、「相手方局番」である。

() 被告が指摘する公開特許公報(乙 36, 65, 66)には、親機からの送信に対して子機が応答するという一般的なコマンド・レスポンス方式が開示されているのみで、構成要件 D 及び E の開示はない。

() したがって、刊行物 2 には、本件特許発明のコマンド・レスポンス型通信方式を規定する構成要件 D 及び E が全く開示されていないし、その採用を示唆するものもない。

() 中央装置及び端末装置

上記のとおり、刊行物 2 に記載された発明は、コマンド・レスポンス型通信方式でないので、中央装置も端末装置も存在しない。

() 端末装置が送信するデータ等

構成要件 E 2 及び E 3 は、コマンドパケットを受信した時点の入力データを組み込んで送信することを要件としている。

これに対し、刊行物 2 に記載された発明においては、数値制御装置に接続される接点入力インタフェースを簡素化するという目的を達成するために、デジタルフィルタを用いてサンプリングを機械的に行うため、自己のデータ送信時には、過去にサンプリングしたデータが送信される。

(d) 構成要件 F 及び G

同 b (f) 及び (g) は明らかに争わない。

c まとめ

同 c は否認する。

(ウ) 新規性又は進歩性の欠如(刊行物3)

a 刊行物3の記載

被告の主張(ウ) aは，明らかに争わない。

b 刊行物3の開示内容

(a) 構成要件A

同b(a)のうち，()は明らかに争わず，()は否認する。

刊行物3には，「なおこの伝送路44の構成は，第3図ではマルチドロップの形式で示されているが，これはループ状に接続されても良いので」(4頁左上欄9行～11行)と記載されているから，刊行物3の伝送方式は，中央装置から端末装置を順次接続し，各端末を経るバケツリレー方式で各端末にパケットを伝送するものである。したがって，刊行物3においては，パケットが中央装置から端末装置宛に一斉に送信される構成が開示されていない。

同b(a)のうち，()は認め，その余は否認する。

刊行物3におけるセンタ装置や端末装置には，メモリ，通信制御回路(CPUなど)等の重要な回路も含まれるところ，昭和60年当時の半導体技術による集積度からすれば，これらを含む「IC化された中央装置」を実現することは不可能であった。

(b) 構成要件B

同b(b)は明らかに争わず，()は否認する。

刊行物3の2頁左上欄4行～8行に従来技術として記載されている特願昭59-244254号(特開昭61-123235号。甲25)の記載，及び刊行物3の「またこの例では8ビットのマイクロコンピュータを用いているので，データバス3，6，9は8ビット分を示している。」(4頁右上欄7行～10行)との記載によれば，刊行物3におけるセンタ装置と端末との間のサイクリック通信は，CPUによるプログラム制御により行われている。

(c) 構成要件C

同 b (c) は明らかに争わない。

(d) 構成要件 D

同 b (d) は否認する。

刊行物 3 においては、中央装置とすべての端末が物理的に接続されていないため、すべての端末が、中央装置からの出力データパケットを受信するとともに入力データを送信するという本件特許の構成要件 E を満たすことは不可能である。

刊行物 3 には、「端末間の交信を行わせたりするものである」(5 頁左上欄 2 行～3 行)と記載されていることから、端末間の通信を物理的に行うことのできない全二重通信方式ではなく、半二重通信方式でしか機能しない。したがって、刊行物 3 には、全二重通信方式でも動作可能であることを規定する構成要件 D 1 が開示されていない。

被告が指摘する「センタ装置は、前記通常交信用データ記憶領域を読み、書きしつつ、各端末のアドレス又はこれに対応するアドレスを所定の順序で繰り返し指定して、データ授、受を行い、…」(1 頁右欄 3 行～6 行)との記載には、通信プロトコルに相当する規定や、構成要件 D が規定する厳格な順序や送信・受信時期が全く開示されていない。

また、刊行物 3 の 4 頁右下欄 8 行～5 頁左上欄 3 行(被告の主張(ウ) a (a))の記載は、ブロックという端末群に周期的に時間が与えられることが記載されているのみであって、端末単位については全く記載がないし、構成要件 E が規定する端末装置の厳格な通信に関わる手順は、示唆すらされていない。

以上のとおり、刊行物 3 には、コマンド・レスポンス型通信方式を規定する構成要件 D 及び E が開示されていない。

また、刊行物 3 には、コマンド・レスポンス型通信方式ではないため、構成要件 D 及び E に規定される「中央装置」及び「端末装置」が存在しない。

(e) 構成要件 E

同 b (e) は否認する。

(f) 構成要件F及びG

同b(f)及び(g)は明らかに争わない。

c まとめ

同cは否認する。

(I) 進歩性の欠如(刊行物2及び刊行物3)

被告の主張(I)は否認する。

上記(i),(ウ)のとおり、刊行物2、刊行物3とも、構成要件D及びEについては記載も示唆もしていないので、これを組み合わせたとしても、本件特許発明に容易に想到することはできなかった。

(オ) 出願前実施等

a 原告製品のマニュアルによる公開

(a) 被告の主張(オ)aのうち、(a)柱書及び、は否認し、は認め、(b)は、明らかに争わない。

(b) 原告マニュアルの頒布は、平成8年6月中旬以降である。原告マニュアルに記されている日付は、作成された日付であって、頒布された日付ではない。

(c) 原告は、原告マニュアルのベータ版というべき「製品企画仕様書」を、パイオニクス株式会社など秘密保持契約を結んだ代理店及び協力会社にのみ配布した。

(d) 被告指摘の雑誌やパンフレット(乙68～70)の記載は、原告が広告及びパンフレット作成に必要な情報のみを提供し、それに基づいて作成されたものである。

b 広告等による公開

(a) 被告の主張(オ)bは否認する。

(b) 本件広告(乙71～74)には、次のとおり、本件特許発明の構成要件の一部が記載されていない。

構成要件A2及びA3について

本件広告には、「出力データの組み込まれた」「一斉に」「サイクリックに」が開示されていない。

構成要件 A 1 の接続構成であっても、刊行物 2 の時間同期方式や、刊行物 3 のループ型通信方式もあり得るから、このような広告の表記のみから、どのような交信が行われているかを特定することは不可能である。

構成要件 A 4 について

本件広告には、「電子配線システム」が開示されていない。

「電子配線システム」とは、「メモリとステートマシンを備えた中央装置 1 に接続した...コントロールセンタ」(本件特許明細書【0031】)を備えるものであるところ、後記 のとおり、本件広告には、ステートマシンについての記載がないから、「電子配線システム」は開示されていない。

構成要件 B 2 について

本件広告には、中央装置がプログラムによって通信制御を行わずにステートマシンにより通信制御を行っていることが、全く開示されていない。

構成要件 C 1 及び C 2 について

入出力データを記憶領域に読み取り可能に記憶することが開示されていることは認めるが、構成要件 C 1 及び C 2 に規定されている記憶領域の管理方法については、全く開示されていない。

構成要件 D 及び E について

本件広告には、全二重通信と半二重通信とを行うことができることしか開示されておらず、その具体的な通信動作については全く開示されていない。

さらに、上記 のとおり、コマンド・レスポンス型通信方式すら開示されていない以上、「 $i - 1$ 」、「 i 」等の順序性やアドレス符号を用いることなどを詳細に規定する構成要件 D 及び E は開示されていない。

構成要件 F 1 ~ F 3 について

すべての端末からの入力データのうち、特定のビットだけをメモリ内の一部分に

集約させるといふ使用形態も存在し得るから、このような広告の表記のみから、どのようなビット群の構成が行われているかを特定することは不可能である。

構成要件F 4について

上記のとおり、本件広告には、「サイクリック自動通信方式の電子配線システム」は開示されていない。

c 原告製品の販売による公然実施

(a) 被告の主張(オ) cのうち、柱書は否認し、(a)～(d)は認める。

(b) 原告製品の販売開始は、平成8年7月上旬であった。原告は、平成8年2月に原告製品の出荷を予定していたが、同年1月中旬に欠陥が発見されたため、発売を延期した。

原告のウェブサイト(乙58)の記載は、平成8年2月に原告製品の新品発表を行ったことに基づき、1996年2月と記載している。

(c) 原告は、上記の出荷予定を前提に営業活動を行い、「トランジスタ技術」への広告発注や、日刊工業新聞及び電波新聞への情報提供を行ったため、被告主張の記事が掲載された。発売した旨の電波新聞の記事は、記者が秘密保持契約の締結先へのサンプル品提供予定日を出荷予定日と誤解したことによると考えられる。

(3) 原告の損害額

ア 原告の主張

(ア) 販売額

被告は、平成15年7月頃から平成17年6月までの2年間に、少なくとも6000万円の被告製品を販売した。

(イ) 原告利益

原告の売上げに対する利益率は、少なくとも6割であるから、被告の侵害行為がなければ販売できた製品の利益額は、3600万円を下らない(特許法102条1項)。

(ウ) 被告利益

被告の売上げに対する利益率は、少なくとも6割であるから、被告は被告製品の販売により3600万円を下らない利益を得た(特許法102条2項)。

(I) まとめ

したがって、原告は3600万円を下らない損害を受けた。

イ 被告の主張

原告の主張はいずれも否認する。

第3 当裁判所の判断

1 進歩性の欠如(刊行物2)について

(1) 刊行物2(乙20)の記載

本件特許権の出願前に公開された刊行物2に、前記第2、3(2)ア(1)aの記載があることは、当事者間に争いが無い。

(2) 刊行物2の開示内容

ア 上記(1)の記載によれば、刊行物2には、次の発明が開示されていると認められる。

a1 1台のIC化された機械入出力I/Fホスト(以下「ホスト」という。)と1台又は複数台のIC化された機械入出力I/Fリモート(以下「リモート」という。)が、デジタル通信回線を介して相互接続されて構成されている。

a2 上記ホストから上記リモート宛に、データの組み込まれたコマンドパケットを、内部の制御回路に従って、一斉にサイクリックに自動的に送信している。

a3 上記リモートでは、#1接点入力からの入力がP/S変換でデータを含むパケットが生成され、シリアルBUSを通じて、リフレッシュ周期(サイクリックの周期)に従い、リモート#1から#8へと順次に択一的に、ホストへパケット送信されている。

a4 サイクリック自動通信方式の電子配線システムである。

b1 上記ホストは、出力データと入力データとを読み取り可能に記憶するメモリであるレジスタファイルを備えている。

b 2 プログラム制御によらず，上記ホスト内部の制御回路であるステートマシンによって，上記リモートとの間で，送信 / 受信を繰り返し行っている。

c 1 ホストのメモリは， i 番目の送信データに組み込まれる出力データを，アドレスが i 番目のリモートのために割り付けられた記憶領域に読み取り可能に記憶している。

c 2 ホストのメモリは， i 番目の受信データに組み込まれた入力データを，アドレスが i 番目のリモートのために割り付けられた記憶領域に読み取り可能に記憶している。

d 1 上記ホストは，半二重通信により，リフレッシュ周期において，送信と受信を交互に繰り返しながら，リモート # 1 から # 8 へと順番に，上記 c 1 の記憶領域から読み出したデータに局番を付加して送信データを作成し，デジタル通信回線経由で送信し，

d 2 リフレッシュ周期において，送信と受信を交互に繰り返しながら，リモート # 1 から # 8 へと順番に，局番と当該リモートの入力データを含むパケットを受信し，この受信データを， i 番目の入力データであることを確認した後， i 番目に対応する受信用レジスタファイルに書き込む。

e 1 上記リモートは，S / P 変換回路によって自己宛のパケットを受信し，

e 2 当該パケットからデータを取り出して，接点出力へと出力し，

e 3 自己に割り当てられた期間において，接点入力からの入力データをサンプリングして，S / P 変換回路によって入力データを含むパケットを生成し，ホスト宛に送信する。

f 1 ホスト側の出力データメモリに記憶されたデータのビット群の構成と出力データのビット群の構成は，同一形態である。

f 2 ホスト側の入力データメモリに記憶されたデータのビット群の構成と入力データのビット群の構成は，同一形態である。

f 3 ホストのメモリ内のデータビット群が，リモート # 1 から # 8 までの複数

のリモート毎にメモリ領域を分割して設定している。

g サイクリック自動通信方式の電子配線システムである。

イ なお、上記b1の構成については、刊行物2【0078】欄の「...MPX1111で順に選択されたラッチ回路#7~#0のデータ(図16のC列)は、P/S変換回路1093に送り込まれ、ここでFLAG1099A、局番1099B、CRC1099Cを付加され、パケット(図16のB列)に変換される。」との記載から、ラッチ回路により構成される送信用レジスタファイルが出力データを読み取り可能に記憶しているといえ、【0083】欄の「ラッチ回路1077のラッチしているデータは、データバスを介して、CPU101によりリードされる。」との記載から、ラッチ回路により構成される受信用レジスタファイルは、入力データを読み取り可能に記憶しているといえることから、開示されていると認められる。

(3) 一致点及び相違点の認定

ア(ア) 本件特許発明の通信方式は、中央装置が端末装置のアドレス符号を付したコマンドパケットを送信し、端末装置が自己のアドレスのコマンドパケットを受信し、この受信に応じて自己のアドレスを付したレスポンスパケットを送信する方式(構成要件D1、E2及びE3)、すなわち、原告が主張する「コマンド・レスポンス型通信方式」である。

(イ) これに対し、刊行物2に記載された発明が上記の「コマンド・レスポンス型通信方式」であることを認めるに足りる記載はなく、かえって、ホスト及び各リモートがタイムチャートを保持し、各リモートは「自己に割り当てられた期間」が到来すればパケットを送信するとの発明の詳細な説明の記載(乙20の【0078】、【0076】及び【0082】)からすれば、刊行物2に記載された発明の通信方式は時間同期方式であると認められる。

(ウ) したがって、刊行物2において、各リモートは、ホストからのパケットの受信とは無関係に送信を行っており、この点において、本件特許発明と相違する。

イ しかし、本件特許発明と刊行物2に記載された発明とは、その余の点にお

いて一致すると認められる。

(4) 相違点に関する判断

ア(ア) 証拠(乙36)によれば、本件特許権の出願前に公開された特開昭58-116897号公報に次の記載があることが認められる。

「第2図(a)(b)は通常のポーリング動作時における信号線(3)上の信号を示し、同図中(a)は伝送信号であって親機(1)から各端末器(2)に向けて伝送する信号であり、スタート信号、アドレス信号、制御信号等により構成されている。」(2頁右上欄18行~左下欄2行)

「また同図(b)は監視信号であって、親機(1)からの伝送信号中のアドレス信号により呼び出された端末器(2)からその端末器(2)における監視状態のデータが監視信号として親局に返送されることになる。」(2頁左下欄2行~6行)

「かくて第1図のシステムにあっては、親機(1)と端末器(2)との間で第2図に示すような信号の伝送を行うことにより、親機(1)から各端末器(2)を順次ポーリングし、被呼出し端末器(2)における被制御負荷(5)を遠隔制御するとともに監視状態のデータを監視信号として親機(1)に返送する...」(2頁左下欄7行~12行)

(イ) 上記(ア)の記載によれば、特開昭58-116897号公報(乙36)には、親機から端末器に送られる信号は「スタート信号、アドレス信号、制御信号等」から成り、親機からの伝送信号中のアドレス信号により呼び出された端末器から、その端末器の監視状態のデータが監視信号として親機に返送され、親機から各端末器を順次ポーリングし、被呼出し端末器における被制御負荷を遠隔操作するとともに、この応答として端末器が監視状態のデータを監視信号として親機に返送するという通信方式が記載され、上記(3)アの相違点である「コマンド・レスポンス型通信方式」が開示されていることが認められる。

イ なお、証拠(乙65, 66)によれば、特開平2-216998号公報(乙65)にも、「...通常はマスタからスレーブへ出力データの送信、スレーブからはマスタへの入力データ送信が、第1図(ロ)の如くサイクリックに行われる。この場合、

スレーブはマスタから出力データを受信する度にそのデータを外部へ出力し，外部から入力したデータ(入力データ)をマスタに送信する動作を繰り返す。」(3頁右上欄5行～11行)との記載が，特開平4-162106号公報(乙66)にも，「...親局2では子局 $3_1 \sim 3_n$ を順にポーリングすることによって，子局 $3_1 \sim 3_n$ との間でデータを授受する。各子局 $3_1 \sim 3_n$ は，...親局2からポーリングされたときに，格納しているデータを親局2に伝送する」(2頁左上欄11行～16行)との記載があることが認められ，これらの記載によれば，親機からのポーリングによって出力データが送信され，その後の子機からの応答により入力データが送信される技術は，本件特許出願時，既に周知技術であったことが認められる。

ウ したがって，刊行物2に記載された発明に特開昭58-116897号公報(乙36)に記載された事項を適用して，本件特許発明のように構成することは，当業者であれば容易に想到することができたことと認められる。

(5) 原告の主張に対する判断

ア 原告は，本件特許発明では，コマンド・レスポンス方式を採用することにより，コマンドパケットとレスポンスパケットを同時に伝送するという全二重通信方式をも規定しているが，刊行物2や公開特許公報(乙61～64)は「全二重通信方式」を採用する通信システムを開示していないから，この点も相違点に当たる旨主張する。

しかしながら，構成要件D1は，「上記ステートマシーンは， $i-1$ 番目の端末装置(2)宛の $i-1$ 番目のコマンドパケットの送信が完了した直後に，又は， $i-1$ 番目のコマンドパケットの送信が完了してから， $i-1$ 番目のレスポンスパケットの受領期間が経過した直後に，上記メモリ(4)の i 番目対応の出力データ記憶領域から読み取られた i 番目の出力データと i 番目の端末装置アドレス符号とが組み込まれた i 番目のコマンドパケットをデジタル通信回線(3)経由で送信し」というものであり，「又は」の前の全二重通信方式か，「又は」の後の半二重通信方式のいずれかを備えれば足りるものであるから，刊行物2や公開特許公報(乙61～6

4)に「全二重通信方式」が開示されていない点を捉えて相違点と認めることはできず、原告の上記主張は理由がない。

イ 原告は、構成要件E 2及びE 3は、コマンドパケットを受信した時点の入力データを組み込んで送信することを要件としており、この点も相違点である旨主張する。

しかし、構成要件E 2及びE 3は、発明の詳細な説明の記載等を併せ考慮しても、端末装置が入力データを取り込む時期については限定していないと認められるから、原告の上記主張は理由がない。

ウ 原告は、特開昭58-116897号公報(乙36)等には、親機からの送信に対して子機が応答するという一般的なコマンド・レスポンス方式が開示されているのみで、構成要件D及びEを充足する技術の開示はされていない旨主張する。

しかしながら、刊行物2の【0085】には、「以上により、CPU101のMPU1011は、機械入出力I/Fホスト107のレジスタファイル1001、1104をリード/ライトすることで、離れた場所に置かれた機械入出力I/Fリモート404に接続される接点入力402、接点出力403に対して、RAMへのアクセスと全く同じようにアクセスできることが判る。そこで、上記接点信号入力&出力回路の方式を、接点入出力リモートRAM方式という。」(乙20)と記載されているとおり、本件特許発明の本質的部分というべき「...中央装置のメモリを、分散配置された複数の端末装置のI/Oポートそのものとして見立て、このメモリにアクセスすることにより制御対象端末装置に関する全ての情報を把握することができると共に、このメモリに指令データを書き込むことだけで、各制御対象端末装置に対して高速かつ確実に制御指令を伝達することができる。」(【0025】)が開示されているから、本質的部分とは認められない通信方式の部分を時間同期方式から周知のコマンド・レスポンス型通信方式に変更する程度のことには困難性があつたとは認められない。しかも、原告は、刊行物2における通信方式をコマンド・レスポンス型通信方式に変更するについての阻害事情であるとか、コマンド・レスポンス

ス型通信方式に変更したことによる顕著な効果を何ら主張していない。

よって、原告の上記主張は理由がない。

(6) まとめ

以上によれば、本件特許発明は、刊行物 2 に開示された発明に、特開昭 5 8 - 1 1 6 8 9 7 号公報(乙 3 6)の開示事項を組み合わせることにより、当業者が容易に発明することができたものであって、特許法 1 2 3 条 1 項 2 号、2 9 条 2 項に違反し無効なものであるから、原告は、同法 1 0 4 条の 3 第 1 項により、本件特許権を行使することができない。

2 結論

よって、原告の請求は、その余の点について判断するまでもなくいずれも理由がないから、棄却することとし、主文のとおり判決する。

東京地方裁判所民事第 4 0 部

裁判長裁判官

市 川 正 巳

裁判官

大 竹 優 子

裁判官

頼 晋 一

(別紙)

物 件 目 録

超高速シリアル通信 L S I

型式番号 G 9 0 0 1 , G 9 0 0 1 A , G 9 0 0 2 及び G 9 0 0 3