

判決言渡 平成19年10月11日

平成19年(行ケ)第10041号 審決取消請求事件

口頭弁論終結日 平成19年10月4日

判		決	
原	告	テキサス	インスツルメンツ インコーポレイテッド
訴訟代理人弁理士		浅 村	皓
同		浅 村	肇
同		岩 井	秀 生
同		鹿 野	直 子
同		林	銘 三
同		清 水	邦 明
同		岩 見	晶 啓
被	告	特 許 庁 長	官
		肥 塚	雅 博
指 定 代 理 人		井 原	純
同		河 合	章
同		橋 本	武
同		山 本	章 裕
同		内 山	進

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事 実 及 び 理 由

第1 請求

特許庁が不服2003-11922号事件について平成18年9月26日にした審決を取り消す。

第2 事案の概要

本件は、原告が名称を「半導体デバイス分離構造」とする後記発明につき特許出願をしたところ、拒絶査定を受けたので、これを不服として審判請求をしたが、特許庁から請求不成立の審決を受けたので、その取消しを求めた事案である。

争点は、特開平3-268445号公報（発明の名称「半導体集積回路用半導体基板の製法」、出願人 日本電信電話株式会社、公開日 平成3年11月29日）との関係における進歩性の有無である。

第3 当事者の主張

1 請求の原因

(1) 特許庁における手続の経緯

原告は、平成5年9月22日（優先権主張 1992年〔平成4年〕9月23日、米国）、発明の名称を「半導体デバイス分離構造」とする発明について、特許出願（特願平5-236709号。請求項の数1。以下「本願」という。甲1）をしたが、平成15年3月24日に拒絶査定を受けたので、平成15年6月26日付けで不服の審判請求をした。

特許庁は、同請求を不服2003-11922号事件として審理し、その中で原告は、特許請求の範囲の記載の変更を内容として、平成15年7月28日付け（第1次補正。請求項の数2。甲12）及び平成16年8月13日付け（第2次補正。請求項の数2。甲2。以下「本件補正」という。）をしたが、特許庁は、平成18年9月26日、「本件審判の請求は、成り立たない」との審決をし、その謄本は平成18年10月6日原告に送達された。

(2) 発明の内容

本件補正（第2次補正）後の特許請求の範囲は，前記のとおり請求項1及び2から成るが，そのうち請求項1に記載された発明（以下「本願発明1」という。）は，次のとおりである。

「【請求項1】 第1と第2の能動領域を互いに電気的に分離する目的で，前記第1と第2の能動領域の間の半導体層中に形成される分離構造であって，前記半導体層が外側表面を有し，前記分離構造が：

前記外側表面上に形成されたLOCOS構造であって，前記第1の能動領域に横方向に隣接して形成された第1のバースピーク構造と，前記第2の能動領域に横方向に隣接して形成された第2のバースピーク構造とを含むLOCOS構造，および

第1トレンチに配置される第1トレンチプラグと第2トレンチに配置される第2トレンチプラグであって，前記第1トレンチと前記第2トレンチが前記第1と第2のバースピーク構造間の前記LOCOS構造を貫通して前記半導体層中に形成され，前記第1トレンチと前記第2トレンチが前記第1と第2のトレンチプラグと前記半導体層との界面を定義する側壁をそれぞれ有している前記第1トレンチプラグと前記第2トレンチプラグ，を有する分離構造。」

(3) 審決の内容

ア 審決の詳細は，別添審決写しのとおりである。

その要点は，本願発明1は，下記刊行物に記載された発明及び従来周知の技術に基づいて，当業者が容易に発明をすることができたから，特許法29条2項により特許を受けることができない，というものであった。

記

特開平3 - 268445号公報（発明の名称「半導体集積回路用半導体基板の製法」，出願人 日本電信電話株式会社，公開日 平成3年11月29日。以下「刊行物」といい，同記載の発明を「刊行物発明」という。甲5）

イ なお、審決が認定した刊行物発明，本願発明 1 と対比した一致点と相違点は，次のとおりである。

< 刊行物発明 >

「半導体基板 1 の主面 1 a の領域を覆い且つ両側部 2 1 a 及び 2 1 b がバースビーク状であって，熱酸化法によって局部的に形成された S i 酸化物でなる膜 2 1 と，

前記 S i 酸化物でなる膜 2 1 に形成された窓 2 6 と，

前記窓 2 6 をマスクとする反応性イオンエッチング処理によって前記半導体基板 1 中に形成され，互に分離している半導体素子形成領域 8 及び 9 を画成している溝 1 0 と，

前記窓 2 6 及び前記溝 1 0 に埋め込まれている埋込材部 1 2 及び膜 1 3 とを有する半導体基板。」

< 一致点 >

「第 1 と第 2 の能動領域を互いに電気的に分離する目的で，前記第 1 と第 2 の能動領域の間の半導体層中に形成される分離構造であって，前記半導体層が外側表面を有し，前記分離構造が：

前記外側表面上に形成された L O C O S 構造であって，前記第 1 の能動領域に横方向に隣接して形成された第 1 のバースビーク構造と，前記第 2 の能動領域に横方向に隣接して形成された第 2 のバースビーク構造とを含む L O C O S 構造，および

トレンチに配置されるトレンチプラグであって，前記トレンチが前記第 1 と第 2 のバースビーク構造間の前記 L O C O S 構造を貫通して前記半導体層中に形成され，前記トレンチが前記トレンチプラグと前記半導体層との界面を定義する側壁を有している前記トレンチプラグ，
を有する分離構造。」

< 相違点 >

本願発明 1 は、「第 1 トレンチに配置される第 1 トレンチプラグと第 2 トレンチに配置される第 2 トレンチプラグであって、前記第 1 トレンチと前記第 2 トレンチが前記第 1 と第 2 のバースピーク構造間の前記 L O C O S 構造を貫通して前記半導体層中に形成され、前記第 1 トレンチと前記第 2 トレンチが前記第 1 と第 2 のトレンチプラグと前記半導体層との界面を定義する側壁をそれぞれ有している前記第 1 トレンチプラグと前記第 2 トレンチプラグ、を有する」のに対し、刊行物発明は、「前記 S i 酸化物となる膜 2 1 に形成された窓 2 6 と、前記窓 2 6 をマスクとする反応性イオンエッチング処理によって前記半導体基板 1 中に形成され、互に分離している半導体素子形成領域 8 及び 9 を画成している溝 1 0 と、前記窓 2 6 及び前記溝 1 0 を埋めている埋込材部 1 2 とを有する」点。

(4) 審決の取消事由

しかしながら、審決の認定判断には、以下に述べるとおり誤りがあるから、違法として取り消されるべきである。

ア 取消事由 1（一致点の認定の誤り）

(ア) 審決は、「...刊行物発明の『半導体素子形成領域 8 及び 9』は、それぞれ、本願発明 1 の『第 1 と第 2 の能動領域』に相当する。」(4 頁 1 7 行～1 9 行)と認定するところ、本願発明 1 における「能動領域」とは、本願明細書(甲 1)の図 1 中に記されているとおり、図番「2 4」として示されている領域である。

そして、本願発明 1 における「...能動領域に横方向に隣接して形成された...バースピーク構造」とは、本願明細書(甲 1)に、「【0 0 1 9】...バースピーク領域 2 6 b とチャンネルストップ打ち込み領域 6 0 は、n⁺領域 5 2 をトレンチ 3 4 の側壁から分離する。」(7 頁 1 1 行～1 3 行)と記載されているとおり、「n⁺領域 5 2」と「トレンチ 3 4 の側壁」との間に存在することにより当該両部材を分離する構造の一部をなすバー

ズビーク構造のことを指し，バースビーク構造が能動領域中に侵入することにより，そのバースビーク領域が能動領域中にまで拡張し，この拡張したバースビーク領域を基軸として，バースビーク構造が能動領域の横方向に隣接して形成されていることを規定したものである。

- (イ) これに対し，刊行物発明における「半導体素子形成領域 8 及び 9」とは，別紙参考図 1（刊行物〔甲 5〕の第 1 図 K とほぼ同じもの）の「半導体素子形成領域 a」の部分である。すなわち，刊行物（甲 5）には，「...溝 10 の相対向する内面に沿って下方にバースレグ状に延長している部 13c 及び 13d が，溝 10 の相対向する内面から半導体素子形成領域 8 及び 9 側に応力を与えながら形成される。このため，半導体素子形成領域 8 及び 9 が，溝 10 の近傍において，応力を比較的大きな値で受けているものとして画成して得られ，従って，半導体素子形成領域 8 及び 9 が，溝 10 の近傍に欠陥を無視し得ない量有するものとして画成して得られる，という欠点を有していた。」（3 頁左下欄 4 行～14 行）と記載されており，第 2 図 J を参照すると，バースレグ状に延長している部 13c 及び 13d は溝 10 の側壁に沿って形成されているから，これにより応力を受け欠陥を有することになる半導体素子形成領域 8 及び 9 は，溝 10 に接していることがわかる。また，刊行物（甲 5）には，「このため，溝 10 によって画成されている半導体素子形成領域 8 及び 9 が，応力を，溝 10 の近傍においても，ほとんど受けていないか，受けているとしても第 2 図で上述した従来の半導体集積回路用半導体基板の製法の場合に比し格段的に小さな値でしか受けていないものとして画成して得られ，従って溝 10 によって画成されている半導体素子形成領域 8 及び 9 が，欠陥を，溝 10 の近傍においてもほとんど有していないか，有しているとしても第 2 図で上述した従来の半導体集積回路用半導体基板の製法の場合に比し格段的に無視し得る量しか有しないものとし

て画成して得られる。」(7頁左下欄下2行~右下欄11行)と記載されており、半導体素子形成領域8及び9が溝10の側壁に接していることを前提にして、刊行物発明の作用効果が説明されていることがわかる。ちなみに、刊行物には、半導体素子形成領域8及び9を溝10の側壁から分離するような他の実施例の記載やそれを示唆する記載は一切ない。

(ウ) そうすると、刊行物発明においては、「...『Si酸化物でなる膜21』の『バースピーク状』の『両側部21a及び21b』は、それぞれ『半導体基板1に形成され、互に分離している半導体素子形成領域8及び9』に隣接している...」(審決4頁12行~15行)とはいえないから、「刊行物発明の『Si酸化物でなる膜21』の『バースピーク状』の『両側部21a及び21b』は、それぞれ、本願発明1の『第1のバースピーク構造』及び『第2のバースピーク構造』に相当」(4頁15行~17行)し、本願発明1と刊行物発明は、「前記第1の能動領域に横方向に隣接して形成された第1のバースピーク構造と、前記第2の能動領域に横方向に隣接して形成された第2のバースピーク構造」(5頁8行~10行)を有する点で一致する旨の審決の認定は誤りである。

(イ) また、本願発明1においては、バースピーク構造に隣接するドレイン領域52等が形成される能動領域24は、トレンチ側壁に接していないという特徴を有しているところ、審決の「刊行物発明の『半導体素子形成領域8及び9』は、それぞれ、本願発明1の『第1と第2の能動領域』に相当する。」(4頁17行~19行)との認定を前提にすれば、刊行物発明における半導体素子形成領域8及び9は、溝10に接していないことが必要となる。ところが、刊行物発明においては、上記のとおり半導体素子形成領域8及び9が溝10の側壁に接しているのであるから、「...刊行物発明において、『窓26』及び『溝10』の側壁が、『埋込部材12'』及び『膜13』と『半導体基板1』との界面になっていることは

明らかであるから，刊行物発明は，本願発明１の『トレンチが』『トレンチプラグと前記半導体層との界面を定義する側壁を』『有している』ことに相当する構成を備えていることも明らかである。」(審決４頁２７行～３１行)ということとはできず，本願発明１と刊行物発明は，「前記トレンチが前記トレンチプラグと前記半導体層との界面を定義する側壁を有している前記トレンチプラグ」(審決５頁１４行～１５行)を有する点で一致する旨の審決の認定は誤りである。

(オ) ところで，本願発明１が属する技術分野における一般的な目的は，「【０００２】...半導体デバイスを互いに接近して配置でき，しかも隣接する半導体デバイス間を電気的に分離するための構造と方法」(本願明細書〔甲１〕１頁下１行～２頁２行)を達成することであり，過去においては，分離方法として，局部的シリコン酸化技術(LOCOS法)とトレンチ分離方法が採られていた。しかし，LOCOS法による分離方法では，デバイスがより接近してくるにつれて，LOCOS構造の下側の隣接デバイス間を流れる寄生電流(“パンチスルー”電流)の存在という問題点があり，また，トレンチ分離についても，隣接するデバイス間のパンチスルー電流を効果的に解消することはできるが，半導体デバイスに近接してトレンチを配置した場合に，トレンチの側壁の表面に沿った漏れ電流により，分離しようとしているデバイスの特性を劣化させる可能性があるという問題があった。以上の技術課題にかんがみ，本願発明１は，LOCOS構造の分離能力とトレンチ構造の分離能力とを組み合わせることによって，従来分離方式に付随する問題を本質的に解消又は低減する分離構造を開示するものである。

そして，従来，当業者においては，LOCOS構造を採用する場合，「バースピーク」により素子形成領域が小さくなることや，酸化膜の薄膜化が問題点として認識されており，LOCOS法において形状を最適

化するためには、バースビークの発生を抑えなければならず、L O C O Sの形成条件とバースビークの関係の把握が必要であるとされていたのである。

そうすると、当該「バースビーク構造」及び「半導体層との界面を定義する側壁を有しているトレンチプラグ」の各構成に基づく当該効果は、単に同質的效果の量的増大に止まることなく、さらに異質的效果に転換させるほどに顕著な効果を奏し、したがって当該構成の採択には困難性が認められ、容易になし得る構成とはいえない。すなわち、本願発明1は、その「バースビーク構造」を「分離構造」の一部を成す構成として積極的に採択し、もってL O C O S法における最大の問題点であった「バースビーク」を積極的に利用することにより、従来の分離方式に付随する問題を本質的に解釈もしくは低減する分離構造を実現し得たからである。

したがって、審決の上記一致点の認定の誤りは、審決の結論に影響を及ぼすべき事由になるというべきである。

(カ) なお、審決は、本願発明1と刊行物発明は、「前記第1と第2の能動領域の間の半導体層中に形成される分離構造」である点で一致するとして、トレンチが半導体素子形成領域8及び9の間の半導体基板1（本願発明1の「半導体層」に相当）中に形成されている旨認定するが、同認定は争う。刊行物発明の分離構造は、半導体素子形成領域8及び9の中に形成されている。

(キ) 被告は、本願発明1の「能動領域」は、請求項1の記載自体からはその範囲は明確でないと主張するが、「能動領域」という用語はそれ自体明確である。一例を挙げれば、特許技術用語委員会編「特許技術用語集 - 第3版 - 」(日刊工業新聞社2006年8月31日第3版1刷発行〔甲13〕)には「能動」という用語の意味として「自ら活動すること」が

記載され、さらに自ら活動する「能動素子」としてトランジスタが例示されている。したがって、「能動領域」が「能動素子であるトランジスタの領域」すなわち「能動素子であるトランジスタの構造であるソースやドレイン等が配置される領域」であることは文言上明確である。また、請求項 1 には「前記第 1 の能動領域に横方向に隣接して形成されたバースピーク構造」と記載されており「能動領域」の位置も文言上明確である。また、被告は、本願発明 1 の「能動領域」の範囲について、三次元的な不明確性がある旨主張するが、本願明細書（甲 1）の「【0019】...能動領域 2 4 中に、チャンネル構造、図 1 g に示されるドレイン領域 5 2 のようなドレイン構造、およびソース構造等の能動デバイスが作製できる。」（6 頁下 1 行～7 頁 2 行）との記載は上記用語の意味に対応した記載になっており、発明の詳細な説明の記載を参酌しても、能動領域であるソースやドレイン等の基板表面からの深さについてトランジスタの設計事項として様々な深さを採用できることは別として、被告が主張するような三次元的な不明確性はない。さらに、バースピーク構造を利用して能動領域をトレンチ側壁から分離することにより、トレンチ側壁に沿った漏れ電流を抑制してデバイスの特性劣化を防止するという本願発明 1 の技術思想からしても、能動領域は電流のオン・オフにより自ら作動する能動素子としてのソースやドレイン等が配置されるトランジスタの領域であることは明らかであり、本願発明 1 の能動領域は、請求項 1 の記載自体からはその範囲は明確でないとする被告の主張は、能動領域の技術的意義を看過するものであって、失当である。

(ク) 被告は、刊行物発明の「半導体素子形成領域」は、S i 酸化物でなる膜 2 3 の側部 2 1 a 又は 2 1 b から、溝 1 0 とは反対側にある半導体基板 1 の領域であって、S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b からもう一方の S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b までの半導体基板の一領

域であると主張するが、誤りである。刊行物（甲５）には、「半導体基板１を互に分離している半導体素子形成領域８及び９に画成させている後述する溝１０」（５頁右上欄１行～３行）、「溝１０によって互に分離画成されている半導体素子形成領域８及び９」（６頁右下欄７行～９行）と記載されている。ここで、「画成」という用語は、特許技術用語委員会編「特許技術用語集 - 第３版 -」（日刊工業新聞社平成１８年〔２００６年〕８月３１日第３版１刷発行。甲１３）に記載されているように「境界を定めて作ること」を意味する。そうすると、溝１０が半導体素子形成領域８及び９の「境界を定めて」いること、すなわち、半導体素子形成領域８及び９が溝１０に接しており、「半導体素子形成領域」が別紙参考図１の「a」であることは、刊行物の記載上明らかというべきである。

また、被告は、刊行物（甲５）の「膜２１及び１３でなる膜２３を、それ自身及び半導体基板１の主面１a上における半導体素子形成領域８及び９との間に急激な段差を生ぜしめることなしに形成することができる」（７頁右上欄８行～１１行）等の記載を基に、「半導体素子形成領域」は、少なくとも膜２１及び１３でなる膜２３が存在しない半導体基板１aを含むと主張する。しかし、かかる主張は、「半導体素子形成領域」はSi酸化物でなる膜２３の側部２１a又は２１bから、溝１０とは反対側にある半導体基板１の領域であるとの被告の主張の根拠にはならない。なぜならば、「半導体素子形成領域」は、少なくとも膜２１及び１３でなる膜２３が存在しない半導体基板１aを含むものであっても、そのような「半導体素子形成領域」は、被告の主張する領域だけでなく、「膜２３の側部２１a又は２１bから離れた、溝１０とは反対側にある、半導体基板１の主面１aを含んだ半導体基板１の領域」であってよいし、「溝１０に接した領域から半導体基板１の主面１aまですべてを含

む半導体基板 1 の領域」であってもよいからである。

さらに、被告は、刊行物の第 1 図 E ないし H に記載された半導体素子形成領域 8 及び 9 の引き出された直線（引出線）の位置を指摘して、「半導体素子形成領域」は Si 酸化物でなる膜 2 3 の側部 2 1 a 又は 2 1 b から、溝 1 0 とは反対側にある半導体基板 1 の領域である」と主張する。しかし、かかる引出線の指し示す位置は膜 2 3 の側部 2 1 a 又は 2 1 b の直下に到達していないのであるから、なぜ被告が主張するように「半導体素子形成領域」が Si 酸化物でなる膜 2 3 の側部 2 1 a 又は 2 1 b まで到達するのか、さらに、なぜ溝 1 0 までは到達しないのか、その主張とのつながりは不明確である。したがって、刊行物発明明細書の被告が引用する箇所に着目したとしても、「半導体素子形成領域 8, 9」の配置に関して複数の見解が成り立ち得るのであり、刊行物の第 1 図 E ないし H も、半導体素子形成領域が被告の主張領域であることの根拠にはならない。

以上のほか、被告は、特開平 4 - 2 8 2 4 6 号公報（発明の名称「半導体装置およびその製造方法」、出願人 三菱電機株式会社、公開日 平成 4 年 1 月 3 0 日。乙 1。以下「乙 1 公報」という。）を引用して、「素子形成領域」は、素子分離領域の端部から他の隣接する素子分離領域の端部までの半導体基板の一領を意味することは技術常識であると主張する。しかし、かかる主張も「半導体素子形成領域」に関する被告の主張の根拠にはならない。なぜならば、刊行物（甲 5）の「【産業上の利用分野】本発明は、溝によって互に分離されている半導体素子形成領域を形成している半導体集積回路用半導体基板の製法に関する。」（1 頁右欄 1 1 行～ 1 4 行）及び「...溝 1 0 によって互に分離されている半導体素子形成領域 8 及び 9 を形成している構成」（6 頁左下欄 9 行～ 1 0 行）との記載から明らかなように、刊行物の技術はトレンチ分離の技術であ

る。トレンチ分離の技術における素子分離領域とは溝のことであるから、乙1公報に関する被告の主張に従えば、トレンチ分離の技術において「半導体素子形成領域」は素子分離領域である溝の端部まで存在することになる。かかるトレンチ分離の技術における「半導体素子形成領域」の位置は従来技術にも示されている。すなわち、中山武雄・森田茂・各務正一「素子分離技術の現状と課題」(株式会社プレスジャーナル発行、月刊 Semiconductor World 1991年〔平成3年〕3月号116頁〔甲14〕。以下「甲14文献」という。)の図6のように、従来のトレンチ分離の技術において、別紙参考図3の「A」で示すトランジスタのソース又はドレインは、同「B」で示す素子分離用溝の側壁に接しているのである。以上のように、乙1公報に関する被告の主張および従来技術に従えば、トレンチ分離の技術である刊行物発明においても素子形成領域8及び9は溝10に接することになり、「半導体素子形成領域」は別紙参考図1の「a」となるはずである。なお、刊行物発明は素子分離用トレンチの上部にその両端がバースピーク状である膜23を有するが、かかる膜23の目的は断線の防止である。したがって、刊行物発明における膜23の存在によっても、刊行物発明のトレンチ分離における「素子形成領域」が、被告主張のように「Si酸化物でなる膜23の側部21a又は21bから、溝10とは反対側にある半導体基板1の領域である」と認定する積極的理由はない。

以上のように、刊行物の記載、乙1公報の記載及び従来技術から、刊行物発明の「半導体素子形成領域」が別紙参考図1の「a」であることは明らかであって、被告の主張は失当である。

(ケ) 被告は、原告の主張が刊行物の応力についての記載のみを根拠とするものであるとして非難するが、かかる被告の主張こそ失当である。

「半導体素子形成領域8及び9」が別紙参考図1の「a」であるとの

主張は、上述したとおり、刊行物で用いられている「画成」という文言の意味、刊行物発明の技術的課題及びその解決手段、さらにはトレンチ分離においてトランジスタの形成される領域はトレンチの側壁に接しているという従来技術（例えば上記甲14）に基づくものであり、刊行物の応力についての記載のみを根拠とするものではない。

また、被告は特開昭61-139043号公報（発明の名称「半導体集積回路装置の製造方法」、出願人 株式会社日立製作所、公開日 昭和61年6月26日。乙2。以下「乙2公報」という）の記載を引用して、半導体基板において生じた半導体基板の酸化による体積膨張による、「応力」の影響は、酸化された領域の極近傍のみではなく、細溝の幅より、幅広の素子間分離用絶縁膜の端部に近接したMISFET(Qp, Qn)等の半導体素子のpn接合部に及ぶことは技術常識であると主張するが、失当である。乙2公報の「素子分離用絶縁膜を形成する熱酸化工程で、埋込部材の絶縁膜を通して半導体基板主面部及び多結晶シリコン膜に酸素が導入されるので、埋込部材及び細溝部の半導体基板主面部が酸化され体積膨張を生じる。このため、細溝近傍における半導体基板内部に応力を生じ、結晶欠陥を発生し、これによって、pn接合部が破壊されるからである。」(2頁右上欄8行～15行)との記載によれば、乙2公報に記載された発明は、細溝近傍における半導体基板内部の応力と、それによって生じる細溝近傍における結晶欠陥を問題視しているのである。したがって、被告の上記主張には、全く根拠がない。このことは乙2公報記載の発明の技術内容からも理解できる。すなわち、乙2公報の「細溝2上部の素子間分離用絶縁膜9は、埋込部材4, 5で形成されるので、その形成工程中に熱酸化工程の酸素が埋込部材となる絶縁膜3に殆ど達しない又は前記結晶欠陥が生じない程度に達するようにすることができる。すなわち、素子間分離用絶縁膜9の熱酸化工程において、絶

縁膜 3 を通して細溝 2 の内部の半導体基板 1 主面部，ウエル領域 7 主面部及び埋込部材 4 が殆ど酸化されることがないので，前記応力による結晶欠陥を生じることがなく，pn 接合分の破壊を低減することができる。」(3 頁右下欄 1 6 行～ 4 頁左上欄 6 行) 及び第 8 図によれば，上記記載の「細溝 2 の内部の半導体基板 1 主面部」とは別紙参考図 2 の「 a 」であり，「細溝 2 の内部のウエル領域 7 主面部」とは別紙参考図 2 の「 b 」であり，「細溝 2 の内部の埋込部材 4 」とは別紙参考図 2 の「 c 」であって，乙 2 公報記載の発明は，従来技術と異なりそれらの部分が殆ど酸化されることがないので，それらの部分に応力による結晶欠陥を生じることがなく，別紙参考図 2 の「 d 」の pn 接合部の破壊を低減することができるのである。したがって，乙 2 公報において，結晶欠陥を介した応力の影響が及ぶ pn 接合部とは，結晶欠陥が存在する細溝近傍の pn 接合部，すなわち別紙参考図 2 の「 d 」の pn 接合部であることは明らかであって，細溝から遠く離れた別紙参考図 2 の「 e 」の pn 接合部ではない。なお，従来の溝による分離技術において，応力により発生する結晶欠陥という問題は溝の側壁近傍に生じることが知られている。例えば，久礼得男・青木茂「半導体プロセス・デバイス計測技術 第 5 回 TEM/SEM による形状，欠陥観察」(株式会社プレスジャーナル発行，月刊 Semiconductor World 1988 年 10 月号〔甲 15〕) の「溝形状の表面に形成した SiO₂ などの薄膜の局所的な膜厚変動も，立体デバイスでは注意すべき点である。...これは，酸化温度が低い時により大きな応力が発生し，SiO₂ の成長を抑制するためと考えられる。角に応力が集中する様子はシミュレーションで，図 7 のように求められている。」(200 頁) との記載及び図 7 「溝酸化時の応力シミュレーション」(201 頁) から明らかなように，溝の内壁の酸化による応力は，別紙参考図 4 の「 A 」で示す溝の角近傍の側壁に集中することが知られている。

また、前掲甲14文献の図6の「埋め込み材料のストレスから生じる結晶欠陥の制御」との記載から明らかなように、応力による結晶欠陥は、別紙参考図3の「C」で指し示すように溝の側壁近傍に生じることが知られているのである。このように、「応力」の影響は、幅広の素子間分離用絶縁膜の端部に近接したMISFET(Qp, Qn)等の半導体素子のpn接合部に及ぶとする被告の主張は、乙2公報の記載及びその発明の技術内容、さらには従来技術による分離技術にも反しており、誤りである。むしろ、乙2公報の記載及び従来技術からすると、半導体基板において生じた、半導体基板の酸化による体積膨張による応力の影響は、応力により生成される溝の側壁近傍の結晶欠陥の存在を介して溝の側壁近傍のpn接合部に及ぶのである。

したがって、刊行物発明(甲5)において「溝10によって画成されている半導体素子形成領域8及び9が、応力を、溝10の近傍においても、ほとんど受けていないか、受けているとしても第2図で上述した従来の半導体集積回路用半導体基板の製法の場合に比し格段的に小さな値でしか受けていないものとして画成して得られ、従って溝10によって画成されている半導体素子形成領域8及び9が、欠陥を、溝10の近傍においてもほとんど有していないか、有しているとしても第2図で上述した従来の半導体集積回路用半導体基板の製法の場合に比し格段的に無視し得る量しか有しないものとして画成して得られる。」(7頁左下欄19行~右下欄11行)と記載されている半導体素子形成領域8及び9は、溝10の側壁に隣接して存在しており、別紙参考図1の「a」であることは、乙2公報及び従来技術からも明らかである。

- (3) なお、被告は「侵入」との用語は、請求項1には記載がされていないから、原告の主張は請求項の記載に基づくものではないと主張する。しかし、本願発明1の「横方向に隣接」について、被告自身、本願発明1

の「能動領域」には、パターン加工された厚い酸化物層18と窒化物層16下には、侵入したバースビーク構造の分だけ狭い幅を有する領域が包含されていることになるとして、当該バースビーク構造ないし領域がその「能動領域」内に侵入した状態で存在していることを認めているのである。したがって、「侵入」に関する被告の上記主張は、「能動領域」に関する被告の主張と矛盾するものであり失当である。

また、「侵入」という文言は、発明の詳細な説明【0014】においてもバースビーク構造を説明するために用いているものであり、請求項1中の「バースビーク構造」が「能動領域に横方向に隣接」との要件の技術的意義を明らかにするための説明である。したがって、「侵入」という発明の詳細な説明に記載された用語を用いて請求項1の要件の技術的意義を主張することを失当であるとする被告の上記主張は、「願書に添付した明細書の記載及び図面を考慮して、特許請求の範囲に記載された用語の意義を解釈するものとする。」と規定する特許法70条2項の趣旨に反するものである。

同様に、被告は、「n⁺領域」なる用語も請求項1の記載に基づくものではないと主張するが、これも「能動領域」の技術的意義を明らかにするための説明であって、これを失当とする被告の主張もまた、特許法70条2項の趣旨に反するものである。

イ 取消事由2（相違点についての判断の誤り）

審決は、素子形成領域を電氣的に分離する素子分離技術において、L O C O S 酸化膜と複数の素子分離用溝とを併用する技術は、特開平3 - 234042号公報（発明の名称「半導体装置及びその製造方法」、出願人 株式会社東芝、公開日 平成3年10月18日。甲6。以下「周知技術例1」という。）、特開平3 - 101249号公報（発明の名称「半導体装置の製造方法」、出願人 松下電子工業株式会社、公開日 平成3年4月26日。

甲7。以下「周知技術例2」という。)及び特開昭63-9948号公報(発明の名称「半導体装置」,出願人 日本電気株式会社,公開日 昭和63年1月16日。甲8。以下「周知技術例3」という。)に記載されているように,当業者に従来周知の技術にすぎないと判断するが,このような判断は,以下に述べるとおり,周知技術例1に記載された素子分離用溝と素子の能動領域との関係を看過し,また,主たる引用例である刊行物発明に対する相違点についての判断中で示された操作が周知技術例2及び周知技術例3の技術によりなんら示唆されていない点を看過して,本願発明1を「当業者が適宜なし得たことである」(審決6頁16行~17行)と判断したものであり,誤りである。

(ア) 周知技術例1について

- a 周知技術例1は,素子分離用溝の上部及び底部コーナーから生ずる転位欠陥の素子に対する影響を低減する技術であるから,「溝構造」を2つ形成する場合にも,素子の「能動領域」が素子分離用溝に接することを前提としている。
- b ところで,周知技術例1(甲6)では,当該技術の属する従来技術として,「...具体的には,第6図に示すように,酸化時の熱応力集中により,溝の上部コーナー7及び底部コーナー8から転位欠陥9が発生する。これらの転位欠陥9は,シリコン基板に形成されるトランジスタのコレクタ コレクタ間のリーク電流を増加させ,又 I_c (コレクタ電流) - h_{FE} (エミッタ接地電流増幅率)特性等のトランジスタ特性を劣化させる。即ち,転位欠陥9が,ある密度で存在すると,その欠陥を中心として再結合電流が増加し,素子特性や素子間分離特性を劣化させるので,半導体集積回路にとって致命的である。」(2頁右上欄13行~左下欄4行)と記載されているとおり,素子の能動領域が溝の上部コーナー及び底部コーナーの転位欠陥に影響を受ける位

置，すなわち溝に接して配置されている。

また，周知技術例 1（甲 6）では，「そこで，本発明は，素子分離溝の上部コーナー及び底部コーナーから発生する転位欠陥を抑制することにより，素子特性及び素子分離特性を実質的に劣化させることのない半導体装置及びその製造方法を提供することを目的とする。」（ 2 頁左下欄 1 2 行～ 1 6 行）と記載されているとおり，素子の能動領域に関して同様の配置をとる。

このような技術では，周知技術例 1（甲 6）に記載されているとおり，「酸化時の熱応力集中により，溝の上部コーナー 7 及び底部コーナー 8 から転位欠陥 9 が発生」（ 2 頁右上欄 1 4 行～ 1 5 行）し，「トランジスタ特性を劣化させる」（ 2 頁右上欄 1 9 行～ 2 0 行）という問題が生じる。周知技術例 1（甲 6）は，このような問題を，素子の「能動領域」が素子分離用溝に接することを前提としながら「一の素子領域を取り囲む溝と他の素子領域を取り囲む溝との間隔を，少なくとも 3 μ m 設け」（ 2 頁左下欄下 1 行～ 右下欄 2 行），さらに「溝内には，厚さが 9 0 0 0 を越えないような酸化膜が形成される」（ 2 頁右下欄 6 行～ 7 行）ことにより解決している。

c 一方，刊行物発明は，その明細書に開示されている第 2 図の従来技術における利点を維持しつつ，その従来技術における欠点の克服をその技術課題としている。

すなわち，刊行物（甲 5）には，従来技術の利点として，「...長さ方向と直交する断面でみた両側部 1 3 a 及び 1 3 b がバースピーク状であるように，容易に形成することができるので，膜 1 3 を，半導体基板 1 の主面 1 a 上における半導体素子形成領域 8 及び 9 を形成している領域の上面と膜 1 3 との間に急激な段差を生ぜしめることなしに形成することができる。従って，第 2 図に示す従来の半導体集積回路

用半導体基板の製法によれば，半導体集積回路用半導体基板を，その半導体素子形成領域 8 及び 9 にそれぞれ形成しているまたは形成する半導体素子を結線させるために膜 1 3 上に延長させる配線層に断線を生ぜしめるおそれのないものとして，容易に製造することができる。」（3 頁右上欄 2 行～15 行）と記載され，他方，従来技術の欠点として，「【発明が解決しようとする課題】しかしながら，第 2 図で上述した従来の半導体集積回路用半導体基板の製法の場合，半導体基板 1 の溝 1 0 によって画成されている半導体素子形成領域 8 及び 9 間に溝 1 0 を橋架して延長している膜 1 3 を，上述したように長さ方向と直交する断面でみた両側部をバースピーク状に形成することができるが，その膜 1 3 の形成時，その膜 1 3 から，溝 1 0 の相対向する内面に沿って下方にバースレグ状に延長している部 1 3 c 及び 1 3 d が，溝 1 0 の相対向する内面から半導体素子形成領域 8 及び 9 側に応力を与えながら形成される。このため，半導体素子形成領域 8 及び 9 が，溝 1 0 の近傍において，応力を比較的大きな値で受けているものとして画成して得られ，従って，半導体素子形成領域 8 及び 9 が，溝 1 0 の近傍に欠陥を無視し得ない量有するものとして画成して得られる，という欠点を有していた。」（3 頁右上欄 16 行～左下欄 14 行）と記載されている。

- d 以上のように，刊行物発明は，周知技術例 1 に記載された技術と同様の問題を有している。前記ア(イ)において述べたとおり，刊行物発明における「半導体素子形成領域 8 及び 9」は別紙参考図 1 の「半導体素子形成領域 a」の部分であるというべきであり，そうすると，刊行物発明は周知技術例 1 と同様，半導体素子形成領域が溝に接することを前提としながら，バースレグの発生を防止することにより，応力による欠陥の問題を解決するものである（本願発明 1 は，バースピ

ークを利用することにより能動領域をトレンチから分離するという構成をとるから、溝近傍の応力に伴う欠陥によるトランジスタ特性の劣化という問題は生じない。)

したがって、刊行物発明及び周知技術例 1 は、バースビークを利用することにより能動領域をトレンチから分離するという本願発明 1 の課題解決手段を開示はおろか示唆すらしていないから、当業者が刊行物発明及び周知技術例 1 に基づいて本願発明 1 を容易に想到し得たとの判断は誤りである。

(イ) 周知技術例 2 及び 3 について

- a 審決は、主たる引用例である刊行物発明に対して、周知技術例 2、3 に記載された技術を周知技術として「刊行物発明において、...素子分離用の溝構造を『両側部 2 1 a 及び 2 1 b がバースビーク状であって、熱酸化法によって局部的に形成された Si 酸化物でなる膜 2 1』に 2 つ形成すること」(6 頁 12 行～16 行) という操作を行い得るとして、本願発明 1 の容易想到性を肯定する。
- b しかし、周知技術例 2 に記載された技術は、周知技術例 2 (甲 7) の第 1 図 (f) 及び「本発明の目的は、正確かつ確実に、分離用溝が厚い熱酸化膜の端に形成される...」(2 頁左下欄 12 行～13 行) との記載から明らかなように、バースビークが残らないように LOCOS 酸化膜の両端にトレンチを形成することをその特徴とするものである。また、周知技術例 2 に記載された技術は、「...前記 LOCOS 法では、容易に大面積を平坦な構造で分離できるが、分離端に酸化領域の拡大、いわゆるバースビークが発生するため分離寸法の正確な制御が困難である。」(1 頁右欄 11 行～14 行) という課題に対し、「...LOCOS 部の厚い熱酸化膜 5 の端に溝分離構造が自己整合的に形成された素子分離構造が得られる。」(3 頁右上欄 9 行～11 行) という効果を得るものであり、

バースピークを残さないようにLOCOS酸化膜の両端にトレンチを形成することをその要旨とする。

そうすると、審決の説示する上記操作はこれに反することになるのであって、むしろ、当業者であれば、周知技術例2に記載された技術に基づき、LOCOS酸化膜の両端のバースピークによる分離寸法の正確な制御の困難性という不利益の発生を防止するために、上記操作とは異なる操作、すなわち、バースピークを残さないよう、素子分離用の溝構造を、「熱酸化法によって局部的に形成されたSi酸化物でなる膜21の両側部21a及び21bに2つ形成すること」を行うはずである。

したがって、主たる引用例である刊行物発明に対する相違点についての判断中で示された操作を、周知技術例2に記載された技術は示唆しないものであり、これを当業者が適宜なし得たことであるとする審決の判断は失当である。

- c また、周知技術例3（甲8）に記載された技術は、周知技術例3の第2図及び「...本実施例の絶縁構造では、絶縁ゲート電界効果型トランジスタが、トレンチ構造1の内部のBPSG3に接する...」（2頁左下欄14行～16行）との記載から明らかなように、フィールド酸化膜の両端に、半導体デバイスに近接してBPSGを充填したトレンチを形成することをその特徴とする。また、周知技術例3に記載された技術は、「...絶縁ゲート電界効果型トランジスタが、トレンチ構造1の内部のBPSG3に接する...」（2頁左下欄15行～16行）という構成によって、「...ゲート酸化膜5に電離放射線が入射した際に生じる電荷が、BPSG3に捕獲される。そのため...絶縁ゲート電界効果型トランジスタの耐放射線性が向上する。」（2頁左下欄16行～右下欄1行）という効果を達成することをその要旨とするものである。そうすると、審決の説示した上記操作はこれにも反することになる。

したがって、主たる引用例である刊行物発明に対する相違点についての判断中で示された操作を、周知技術例 2 に記載された技術は示唆しないものであり、これを当業者が適宜なし得たこととする審決の判断は失当である。

d) ちなみに、本願発明 1 は、前記ア(オ)に述べたとおり、半導体デバイスに近接してトレンチを配置することはデバイスそれ自体の内に漏れ電流を引き起こすという課題に対して、バースピーク領域 2 6 b により n⁺領域 5 2 をトレンチ 3 4 の側壁から分離することにより、トレンチ構造に近接して形成されたデバイスの劣化を回避するという効果を有する。ところが、周知技術例 2 に記載された技術は、前述のように LOCOS 酸化膜の端、すなわちバースピークが生じる位置にトレンチを形成することをその要旨とし、また、周知技術例 3 に記載された技術は、前述のように半導体デバイスをトレンチに接するように形成することを特徴とする。

そうすると、周知技術例 2 及び 3 に記載された技術は、バースピークを残して利用することにより能動領域をトレンチから分離するという本願発明 1 の課題の解決手段に反するものであり、他の技術に適用することにより当業者が本願発明 1 を容易に想到できたと考えるのは困難である。

(ウ) 被告は、発明の目的である断線の防止を考慮するためにバースピークの両端を残しつつ、必要とする素子分離性能に応じて、2つの素子分離用溝を形成することは当業者が適宜なし得たものであると主張するが、かかる主張はバースピークを残すことに何の不利益も無い場合にのみ成り立つ論理である。従来周知の技術では、周知技術例 2 (甲 7) に「バースピークが発生するため分離寸法の正確な制御が困難である」(1 頁右欄 1 3 行～1 4 行)として、バースピークが寸法制御の困難性を発生させる不利益を

伴うことが知られている。また、乙 1 公報においても、「従来の L O C O S 法により形成されるフィールド酸化膜 7 はその両端部にいわゆるバースピークと呼ばれる領域が形成されることが問題となった。すなわち、第 6 図において、バースピーク領域 1 が形成されると素子分離領域 L_1 の幅が大きくなり素子形成領域 L_2 の面積を縮小し、素子構造の微細化を阻害する。」(3 頁右上欄 1 4 行 ~ 2 0 行) と記載されているとおり、バースピークが微細化を阻害する不利益が記載されている。したがって、かかるバースピークの不利益を熟知した通常の当業者であれば、必要とする素子分離性能に応じて 2 つの素子分離用溝を形成する場合には、周知技術例 2 (甲 7) 及び周知技術例 3 (甲 8) にあるように、バースピークを残さぬよう L O C O S 酸化膜の両端に当たる位置に素子分離用溝を作成するのである。

一方、刊行物発明は、確かに被告の主張するとおり、断線の防止を考慮するためにバースピークの両端を残すことをその特徴とする。しかし、刊行物発明において上記のバースピークを残すことによる不利益は何ら解消されていない。そうすると、刊行物発明において素子分離性能を向上したいと当業者が考えた場合、当業者はバースピークを残すことによる断線の防止という利益と、バースピークを残すことによる素子分離寸法の制御困難性及び微細化の阻害という不利益の対立に陥るのである。したがって、通常の当業者にとって、被告の主張するように、2 つの素子分離用溝を形成する動機が存在したとしても、バースピークの不利益を熟知した通常の当業者が、刊行物発明において当該発明の目的である断線の防止を考慮するためにバースピークの両端を残しつつ、必要とする素子分離性能に応じて、2 つの素子分離用溝を形成すると結論付けることはできないのである。

このように、バースピークは L O C O S 法における最大の問題点であり、当業者が L O C O S 酸化膜と複数の素子分離用溝を用いる場合には、バースピークを除去するような構成とすることは、被告が引用した文献にも多

く記載されている。一方，本願発明 1 は，複数の素子分離用溝を用いる場合に，そのバースビーク構造を素子分離構造の一部として積極的に採択し，もって LOCOS 法における最大の問題点であったバースビークを積極的に利用することにより，従来の分離方式に付随する問題を本質的に解決もしくは低減する素子分離構造を実現したものである。したがって，当該構成の採択には困難性が認められ，当業者が到底容易になし得る構成とはいえない。

以上のように，従来周知の技術におけるバースビークの技術的意義，すなわちバースビークの不利益をも考慮すれば，本願発明 1 の容易想到性に関する上記被告主張は失当である

2 請求原因に対する認否

請求原因(1)ないし(3)の各事実はいずれも認めるが，同(4)は争う。

3 被告の反論

審決の認定判断は正当であり，原告主張の取消事由はいずれも理由がない。

(1) 取消事由 1 に対し

ア 刊行物発明の「半導体素子形成領域」につき

(ア) 原告は，刊行物発明の「半導体素子形成領域」は，別紙参考図 1 の「半導体素子形成領域 a」の部分であると主張するが，刊行物発明の「半導体素子形成領域」は，Si 酸化物でなる膜 2 3 の側部 2 1 a 又は 2 1 b から，溝 1 0 とは反対側にある半導体基板 1 の領域であって，Si 酸化物 2 1 の側部 2 1 a 又は 2 1 b からもう一方の Si 酸化物 2 1 の側部 2 1 a 又は 2 1 b までの半導体基板の一領域であると解すべきである。

すなわち，刊行物（甲 5）には，第 1 図 A ないし K とともに，以下の記載がある。

「...その半導体基板 1 の主面 1 a に，半導体基板 1 を互に分離している半導体素子形成領域 8 及び 9 に画成させている後述する溝 1 0 が形成

される領域において，その領域を覆い且つ長さ方向の直交する断面でみた両側部 2 1 a 及び 2 1 b がバースピーク状である比較的厚い厚さを有する S i 酸化物でなる膜 2 1 を，それ自体は公知の熱酸化法によって，局部的に形成する（第 1 図 B ）。」（ 5 頁右上欄 1 行～ 9 行）

「...本発明による半導体集積回路用半導体基板の製法によって製造される半導体集積回路用半導体基板は，第 2 図で上述した従来の半導体集積回路用半導体基板の製法によって製造される半導体集積回路用半導体基板の場合と同様に，溝 1 0 によって互に分離されている半導体素子形成領域 8 及び 9 を形成している構成を有し，...」（ 6 頁左下欄 4 行～ 1 1 行）

「...この場合，膜 2 1 を形成する工程（第 1 図 B ）において，その膜 2 1 を，長さ方向と直交する断面でみた両側部がバースピーク状であるように容易に形成することができ，また，膜 1 3 を形成する工程（第 1 図 J ）において，その膜 1 3 を，上面が膜 2 1 の上面とほぼ同じ高さ位置になるように形成することができ，従って，膜 2 1 及び 1 3 でなる膜 2 3 を，それ自身及び半導体基板 1 の主面 1 a 上における半導体素子形成領域 8 及び 9 との間に急激な段差を生ぜしめることなしに形成することができる。...半導体集積回路用半導体基板を，その半導体素子形成領域 8 及び 9 にそれぞれ形成しているまたは形成する半導体素子を結線させるために配線層に断線を生ぜしめるおそれのないものとして，容易に製造することができる。」（ 7 頁右上欄 1 行～ 下 1 行）

また，第 1 図 E ないし H には，半導体素子形成領域 8 及び 9 は，S i 酸化物でなる膜 2 1 の両側部 2 1 a 又は 2 1 b から，溝 1 0 の反対側であって，両側部 2 1 a 又は 2 1 b から離れた部分の半導体基板 1 から引き出された直線（引出線）により示されている。

さらに，刊行物の記載の上記摘示事項のうち，「膜 2 1 及び 1 3 でな

る膜 2 3 を，それ自身及び半導体基板 1 の主面 1 a 上における半導体素子形成領域 8 及び 9 との間に急激な段差を生ぜしめることなしに形成することができる。…半導体集積回路用半導体基板を，その半導体素子形成領域 8 及び 9 にそれぞれ形成しているまたは形成する半導体素子を結線させるために配線層に断線を生ぜしめるおそれのないものとして，容易に製造することができる。」(7 頁右上欄 8 行～下 1 行) の記載から，「半導体素子形成領域」は，少なくとも膜 2 1 及び 1 3 でなる膜 2 3 が存在しない半導体基板 1 の主面 1 a を含むことは明らかである。また，刊行物には，「窓 2 6」，「溝 1 0」，「埋込部材 1 2'」及び「膜 1 3」からなる素子分離用の溝構造が形成されることは明らかである。

そして，例えば，乙 1 公報に，第 1，6 図とともに，「…第 6 図を参照して，p 型シリコン基板 1 表面には MOS トランジスタ 2 が形成された素子形成領域 L 2 と，フィールド酸化膜 7 が形成された素子分離領域 L 1 とが形成されている。」(2 頁左下欄 4 行～7 行)，「素子分離領域には膜厚の大きいフィールド酸化膜 7 が形成されている。フィールド酸化膜 7 はいわゆる LOCOS (Local Oxidation of Silicon) 法によって形成される。…」(2 頁左下欄下 3 行～右下欄 1 行)，「…従来の LOCOS 法により形成されるフィールド酸化膜 7 はその両端部にいわゆるバースピークと呼ばれる領域が形成されることが問題となった。すなわち，第 6 図において，バースピーク領域 が形成されると素子分離領域 L 1 の幅が大きくなり素子形成領域 L 2 の面積を縮小し，素子構造の微細化を阻害する。」(3 頁右上欄下 7 行～下 1 行) と記載されるように，「素子形成領域」は，素子分離領域の端部から他の隣接する素子分離領域の端部までの半導体基板の一領域を意味することは技術常識である。

したがって，上述した刊行物の記載及び技術常識を考慮すると，刊行物発明の「半導体素子形成領域」は，Si 酸化物でなる膜 2 3 の側部 2

1 a又は2 1 bから，溝1 0とは反対側にある半導体基板1の領域であって，S i酸化物2 1の側部2 1 a又は2 1 bからもう一方のS i酸化物2 1の側部2 1 a又は2 1 bまでの半導体基板の一領域を意味するといえるのである。

- (イ) また原告の前記主張は，応力に関する刊行物の記載を根拠とするものである。しかし，乙2公報には，「ラッチアップを防止するためには，pチャンネルM I S F E TとnチャンネルM I S F E Tとを隔離し，寄生バイポーラトランジスタの電流増幅率を小さくする必要がある。しかしながら，素子分離領域の専有面積を増大し，半導体集積回路装置の集積度の妨げになる。そこで，ラッチアップの防止と集積度の向上を図ることのできる素子分離技術が提案されている...この素子分離技術は，絶縁膜と多結晶シリコン膜とからなる埋込部材が埋込まれた細溝（トレンチ）と，その上部に設けられた素子分離用絶縁膜とで素子分離構造を構成したものである。...」（2頁左上欄5行～右上欄1行），「しかしながら，かかる技術における検討の結果，本発明者は，以下に述べる原因により，半導体集積回路装置の電氣的信頼性を低下するという問題点を見出した。素子分離用絶縁膜を形成する熱酸化工程で，埋込部材の絶縁膜を通して半導体基板主面部及び多結晶シリコン膜に酸素が導入されるので，埋込部材及び細溝部の半導体基板主面部が酸化され体積膨張を生じる。このため，細溝近傍における半導体基板内部に応力を生じ，結晶欠陥を発生し，これによって，pn接合部が破壊されるからである。」（2頁右上欄5行～15行）との記載があり，また，第8図には，素子間分離用絶縁膜9より幅の狭い細溝2は，M I S F E T（Q p，Q n）から，細溝2の端から素子分離用絶縁膜9の端部までの距離だけ離れていることが記載されている。

このように，半導体基板において生じた半導体基板の酸化による体積

膨張による「応力」の影響は、酸化された領域のごく近傍のみではなく、細溝の幅より幅広の素子間分離用絶縁膜の端部に近接したMISFET (Qp, Qn)等の半導体素子のpn接合部にも及ぶことは技術常識である。

したがって、刊行物の記載を根拠に、応力が発生した領域のごく近傍のみ応力が及ぶとする原告の主張は誤りである。

イ 刊行物発明の「半導体素子形成領域」と本願発明1の「能動領域」の関係につき

本願発明1の「能動領域」は、パターン加工された厚い酸化物層18と窒化物層16の開口で定義される領域20と22との間の領域であることは明らかである。

そして、本願明細書(甲1)には、「【0014】図1cを参照すると、シリコンの局部的酸化プロセス(LOCOS)を用いてLOCOS構造26と28がそれぞれ図1cに示されるように領域20と22内に形成される。LOCOS構造26と28の形成によって、26a, 26b, 28a, および28bで示すようにバースピーク構造が生じ、それらは領域20と22の外側エリア上の窒化物層16の下側へ侵入する。バースピーク構造26a, 26b, 28a, および28bは図1cに示すように領域20と22の周囲を取り囲む窒化物層16と厚い酸化物層16の外向きの湾曲を引き起こす。」(4頁14行~21行)と記載されており、シリコンの局部的酸化プロセス(LOCOS)を用いてLOCOS構造を形成する際に、バースピーク構造が窒化物層の下側に侵入することが示されている。そうすると、本願発明1の「能動領域」には、パターン加工された厚い酸化物層18と窒化物層16下には、侵入したバースピーク構造の分だけ狭い幅を有する領域が包含されていることになる。

一方、前記アで述べたとおり、刊行物発明の「半導体素子形成領域」は、

S i 酸化物でなる膜 2 3 の側部 2 1 a 又は 2 1 b から , 溝 1 0 とは反対側にある半導体基板 1 の領域であって , S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b からもう一方の S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b までの半導体基板の一領域であり , 側部 (端部) はバースピーク状のものであるから , バースピーク状の側部 (端部) 間で定義される幅を有する領域となることは明らかである。

そうすると , 刊行物発明の「半導体素子形成領域」は , 本願発明 1 の「能動領域」に相当する。

ウ 「横方向に隣接」につき

原告は , 刊行物発明においては , 「 ... 『 S i 酸化物でなる膜 2 1 』の『バースピーク状』の『両側部 2 1 a 及び 2 1 b 』は , それぞれ『半導体基板 1 に形成され , 互に分離している半導体素子形成領域 8 及び 9 』に隣接している...」(審決 4 頁 1 2 行 ~ 1 5 行) とはいえないと主張する。

しかし , 上述したとおり , 刊行物発明の「半導体素子形成領域」は , S i 酸化物でなる膜 2 3 の側部 2 1 a 又は 2 1 b から , 溝 1 0 とは反対側にある半導体基板 1 の領域であって , S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b からもう一方の S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b までの半導体基板の一領域であり , 本願発明 1 の「能動領域」に相当する。

そして , S i 酸化物 2 1 は , バースピーク状である両端部 2 1 a , 2 1 b を有するから , 当該一領域は , バースピーク構造である両端部 2 1 a , 2 1 b に接しており , かつ , 半導体基板の主表面方向に沿って第 1 図でいえば左右方向に両端部 2 1 a , 2 1 b と隣り合っていることは明らかであるから , バースピーク構造である両端部 2 1 a 及び 2 1 b は , 半導体素子形成領域に横方向に隣接しているといえる。

したがって , 原告の上記主張は失当である。

なお , 原告は , 本願発明 1 における「 ... 能動領域に横方向に隣接して形

成された...バースビーク構造」とは，バースビーク構造が能動領域中に侵入することにより，そのバースビーク領域が能動領域中にまで拡張し，この拡張したバースビーク領域を基軸として，バースビーク構造が能動領域の横方向に隣接して形成されていることを規定したものであると主張するが，請求項 1 には，「バースビーク構造」が「能動領域」中に「侵入」するとの記載はなく，換言すれば，「侵入」との用語は請求項 1 には記載されて居らず，単に，「バースビーク構造」が「能動領域に横方向に隣接」することが記載されているのみであるから，原告の主張は請求項の記載に基づくものではなく，失当である。

エ バースビーク領域 2 6 b が n^+ 領域 5 2 をトレンチ 3 4 の側壁から分離するとの主張につき

原告は，請求項 1 には，バースビーク領域 2 6 b が n^+ 領域 5 2 をトレンチ 3 4 の側壁との間に存在することにより，両部材を分離できることが規定されている旨主張する。

しかし，本願発明 1 の「能動領域」は，発明の詳細な説明を参酌すれば，パターン加工された厚い酸化物層 1 8 と窒化物層 1 6 の開口で定義される領域 2 0 と 2 2 との間の領域であるとはいえるものの，本願明細書（甲 1）の記載自体からは「能動領域」の深さ方向の範囲は明らかでなく，また，「【0 0 1 9】...能動領域 2 4 中に，チャンネル構造，図 1 g に示されるドレイン領域 5 2 のようなドレイン構造，およびソース構造等の能動デバイスが作製できる。...」（6 頁下 2 行～7 頁 2 行）と記載されているように，「能動領域」とドレイン領域となる「 n^+ 領域」は同等のものを示すわけでもなく，しかも，「 n^+ 領域」なる用語は請求項 1 に記載されていないから，原告の主張は請求項に記載された構成に基づくものではなく，失当である。

また，本願明細書（甲 1）の【0 0 1 9】段落には，「... バースビーク領域 2 6 b とチャンネルストップ打ち込み領域 6 0 は， n^+ 領域 5 2 をトレ

ンチ 3 4 の側壁から分離する。この分離によって、例えばドレイン領域 5 2 と関連するソース領域との間に発生する、トレンチ 3 4 の側壁からの漏れ電流が抑制される。...」(7 頁 1 1 行 ~ 1 5 行) との記載があり、図 1 g を参照しても、「n⁺ 領域 5 2 をトレンチ 3 4 の側壁から分離」しているのは、「バースピーク領域 2 6 b 」及び「チャネルストップ打ち込み領域 6 0 」であって、「バースピーク領域 2 6 b 」のみではなく、しかも、請求項 1 には、「チャネルストップ打ち込み領域 6 0 」は構成として記載されていないから、原告の上記主張は失当である。

オ 「半導体層との界面を定義する側壁を有している」との認定につき

原告は、審決の「... 刊行物発明において、『窓 2 6 』及び『溝 1 0 』の側壁が、『埋込部材 1 2 ' 』及び『膜 1 3 』と『半導体基板 1 』との界面になっていることは明らかであるから、刊行物発明は、本願発明 1 の『トレンチが』『トレンチプラグと前記半導体層との界面を定義する側壁を』『有している』ことに相当する構成を備えていることも明らかである。」(4 頁 2 7 行 ~ 3 1 行) との認定が誤りである旨主張する。

しかし、上述したとおり、刊行物発明の「半導体素子形成領域」は、S i 酸化物でなる膜 2 3 の側部 2 1 a 又は 2 1 b から、溝 1 0 とは反対側にある半導体基板 1 の領域であって、S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b からもう一方の S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b までの半導体基板の一領域であり、また、「溝 1 0 」は、S i 酸化物でなる膜 2 1 が形成されている領域であって、側部 2 1 a と側部 2 1 b との間及び半導体基板 1 に形成されるから、「溝 1 0 」と「半導体素子形成領域」の間には S i 酸化物 2 1 の側部 2 1 a 又は 2 1 b が存在することになり、「溝 1 0 」の側壁には「半導体素子形成領域」は接しておらず、「溝 1 0 」の側壁に接しているのは、「半導体素子形成領域」ではなく、「半導体素子形成領域」の間にある半導体基板であることは明らかである。したがって、原告の主

張は失当である。

カ 本願発明 1 の構成に基づく効果につき

原告は、「バースビーク構造」及び「半導体層との界面を定義する側壁を有しているトレンチプラグ」の各構成に基づく効果は、単に同質的效果の量的増大に止まることなく、さらに異質的效果に転換させるほどに顕著な効果を奏すると主張する。

しかし、上述のとおり、刊行物発明においても「溝 10」に接しているのは「半導体素子形成領域」の間にある「半導体基板」であって、「半導体素子形成領域」と「溝 10」との間にはバースビーク状の側部 21 a 又は 21 b が存在していることも明らかであるから、刊行物発明が原告の主張する上記構成に相当する構成を有していることは明らかである。

そうすると、当該構成自体が刊行物には開示されているから、原告の主張する効果は刊行物発明においても当然に奏される効果にすぎないものであって、顕著な効果ということはできない。

キ 能動領域の間の半導体層中に形成される分離構造であるとの認定につき

原告は、審決が、本願発明 1 と刊行物発明は、「前記第 1 と第 2 の能動領域の間の半導体層中に形成される分離構造」である点で一致するとした認定につき争うが、上述のとおり、刊行物発明の「半導体素子形成領域」は、Si 酸化物でなる膜 23 の側部 21 a 又は 21 b から、溝 10 とは反対側にある半導体基板 1 の領域であって、Si 酸化物 21 の側部 21 a 又は 21 b からもう一方の Si 酸化物 21 の側部 21 a 又は 21 b までの半導体基板の一領域であり、「半導体素子形成領域 8」と「半導体素子形成領域 9」の間には Si 酸化物でなる膜 21 が存在し、しかも、当該 Si 酸化物でなる膜 21 が形成されている領域であって、側部 21 a と側部 21 b との間及び半導体基板 1 には「溝 10」が形成されるから、刊行物発明の「溝 10」及び「Si 酸化物でなる膜 21」、「窓 26」、「溝 10」、「埋

込部材「膜 1 2」及び「膜 1 3」からなる「分離構造」は、「半導体素子形成領域」に形成されているのではなく、「半導体素子形成領域」と「半導体素子形成領域」の間の「半導体基板」中に形成されていることは明らかである。したがって、原告の主張は失当である。

(2) 取消事由 2 に対し

刊行物（甲 5）には、「...この場合、膜 2 1 を形成する工程（第 1 図 B）において、その膜 2 1 を、長さ方向と直交する断面で見た両側部がバースピーク状であるように容易に形成することができ、また、膜 1 3 を形成する工程（第 1 図 J）において、その膜 1 3 を、上面が膜 2 1 の上面とほぼ同じ高さ位置になるように形成することができ、従って、膜 2 1 及び 1 3 でなる膜 2 3 を、それ自身及び半導体基板 1 の主面 1 a 上における半導体素子形成領域 8 及び 9 との間に急激な段差を生ぜしめることなしに形成することができる。...半導体集積回路用半導体基板を、その半導体素子形成領域 8 及び 9 にそれぞれ形成しているまたは形成する半導体素子を結線させるために配線層に断線を生ぜしめるおそれのないものとして、容易に製造することができる。」（7 頁右上欄 1 行～下 1 行）と記載されており、刊行物発明においては、配線層に断線が生じないように、バースピーク状の両側部 2 1 a、2 1 b を利用することを前提としていることは明らかであり、刊行物発明に対して従来周知の技術を適用するに当たり、バースピーク構造を利用することはごく自然である。

また、審決は、周知技術例 1 ないし 3 を例示して、素子形成領域を電氣的に分離する素子分離技術において、LOCOS 酸化膜と複数の素子分離用溝とを併用する技術が従来周知の技術にすぎないことを説示しているのであって、個々の特許出願である公開公報に記載された当該特許出願の出願人が発明と主張する内容そのものを従来周知の技術としているわけではない。確かに、個々の特許出願としてみれば、原告の主張のとおり記載もされている。

しかし、当業者がこのような特許出願の公開公報に接した場合には、必ずしも当該特許出願の出願人が発明と主張する内容そのものだけが記載されていると理解するのではなく、当業者が当該技術分野における通常有する知識を背景に、開示される個々の構成に関する様々な技術的意義をも含めて理解することは当然のことである。そして、例えば、乙2公報に「細溝2を用いて素子間分離構造を構成することにより、平面において必要とする離隔する距離を半導体基板1の深さ方向で形成することができる」(4頁左下欄12行～15行)と記載されているように、素子分離技術において、素子分離用溝を採用する理由として、素子間の離間距離を半導体基板主表面に平行な方向の距離に求めるのではなく、半導体基板の深さ方向の距離をも利用することを目的とすることは当業者にとって明らかであり、素子分離用溝を複数設けることで、素子間の実質的な距離を素子分離用溝が単独である場合に比較してより長くできることも当業者にとって明らかである。

そして、審決において例示した周知技術例1ないし3には、素子形成領域を電氣的に分離する素子分離技術において、LOCOS酸化膜と複数の素子分離用溝とを併用する技術が開示されていることは明らかであり、そのような技術が従来周知の技術であったといえることに誤りはなく、また、その技術上の意義についても当業者には明らかであるから、必要とする素子分離性能に応じて、2つの溝を設けることは当業者が適宜なし得るものである。

したがって、審決の判断に誤りはなく、原告の主張は失当である。

第4 当裁判所の判断

- 1 請求原因(1)(特許庁における手続の経緯)、(2)(発明の内容)、(3)(審決の内容)の各事実は、いずれも当事者間に争いが無い。
- 2 取消事由1(一致点の認定の誤り)について
 - (1) 審決は、刊行物発明の「半導体素子形成領域8及び9」は、それぞれ、本願発明1の「第1と第2の能動領域」に相当すると認定したものであるが(4

頁 17 行～ 19 行), 原告は, このような認定を前提にすると, 本願発明 1 と刊行物発明が, 「前記第 1 の能動領域に横方向に隣接して形成された第 1 のバースビーク構造と, 前記第 2 の能動領域に横方向に隣接して形成された第 2 のバースビーク構造とを含む LOCOS 構造」(5 頁 8 行～ 11 行) を有する点及び「前記トレンチが前記トレンチプラグと前記半導体層との界面を定義する側壁を有している前記トレンチプラグ」(5 頁 14 行～ 15 行) を有する点で一致するとはいえないと主張するので, この点について検討する。

なお, 本願発明 1 の「能動領域」については, その深さ方向の範囲については争いがあるものの, パターン加工された厚い酸化物層 18 と窒化物層 16 の開口で定義される領域 20 と 22 との間の領域(本願明細書〔甲 1〕の図 1 の 24 の領域) であることは争いがない。

(2) ア 刊行物(甲 5) には, 「半導体素子形成領域」に形成される内容に関し, 次の記載がある。

「また, この場合, 膜 21 を形成する工程(第 1 図 B) において, その膜 21 を, 長さ方向と直交する断面でみた両側部がバースビーク状であるように容易に形成することができ, また, 膜 13 を形成する工程(第 1 図 J) において, その膜 13 を, 上面が膜 21 の上面とほぼ同じ高さ位置になるように形成することができ, 従って, 膜 21 及び 13 でなる膜 23 を, それ自身及び半導体基板 1 の主面 1a 上における半導体素子形成領域 8 及び 9 との間に急峻な段差を生じせしめることなしに形成することができる。

このため, 第 1 図に示す本発明による半導体集積回路半導体基板の製法の場合も, 第 2 図で上述した従来の半導体集積回路用半導体基板の製法の場合に準じて, 半導体集積回路用半導体基板を, その半導体素子形成領域 8 及び 9 にそれぞれ形成しているまたは形成する半導体素子を結線させる

ために配線層に断線を生ぜしめるおそれのないものとして、容易に製造することができる。」(7頁右上欄1行~20行)

イ また、本願明細書(甲1)には、半導体デバイスの位置関係に関して、次の記載がある。

(ア) 「...半導体デバイスが半導体基板上で互いにあまり接近し過ぎると...」
(1頁下3行~下2行)

(イ) 「例えば、電界効果トランジスタを分離するために用いられるトレンチは、トレンチの側壁に沿ってトランジスタのチャンネルを横切る導通経路を生成し、それによってトランジスタ特性を劣化させる。」(2頁16行~18行)

ウ さらに、乙1公報には、次の記載がある。

「さらに、第5D図を参照して、側壁酸化膜17が形成されたゲート電極3およびフィールド酸化膜7をマスクとしてシリコン基板1表面に砒素イオン19を基板表面に対してほぼ垂直方向にイオン注入し、その後活性化処理を行なう。これによって高濃度のn⁺不純物領域5aが形成され、ソース・ドレイン領域のLDD構造が完成する。」(6頁右上欄下5行~左下欄2行)

(3) 以上の記載によれば、刊行物発明1の「半導体素子形成領域」には「半導体素子」が形成されるものであること(上記ア)、トランジスタ等の半導体素子は半導体基板上に設置され、導通経路が生成され得るような位置関係に置かれることが予定されていること(上記イ)、トランジスタ等の半導体素子を構成する領域(ソース領域やドレイン領域)は、半導体基板に設けられた絶縁膜をマスクとして、半導体基板表面からn型不純物やp型不純物を導入して形成されること(上記ウ)が認められる。

そうすると、両側部21a及び21bがバースピーク状となっている比較的厚いSi酸化物膜21を有する刊行物発明の半導体集積回路用半導体基板

にトランジスタを形成する場合、能動素子のトランジスタを構成する領域(ソース領域やドレイン領域)は、半導体基板上に形成されることになり、必然的にバースビーク(21a, 21b)に横方向に隣接して形成されることになる。

したがって、本願発明1と刊行物発明は、「前記第1の能動領域に横方向に隣接して形成された第1のバースビーク構造と、前記第2の能動領域に横方向に隣接して形成された第2のバースビーク構造とを含むLOCOS構造」を有する点で一致すると認められる。

(4)ア 以上に対し、原告は、刊行物発明の「半導体素子形成領域」の範囲を問題とし、「半導体素子形成領域」は別紙参考図1の「a」の位置に当たるとの理解を前提として、本願発明1と刊行物発明は、「前記第1の能動領域に横方向に隣接して形成された第1のバースビーク構造と、前記第2の能動領域に横方向に隣接して形成された第2のバースビーク構造とを含むLOCOS構造」及び「前記トレンチが前記トレンチプラグと前記半導体層との界面を定義する側壁を有している前記トレンチプラグ」を有する点で一致するとの審決の認定が誤りであると主張する。

イ この点、本願発明1の内容が前記第3の1(2)のとおりであることは当事者間に争いが無いところ、本願明細書(甲1)には、次の記載がある。

(ア) 「【0002】【従来の技術】...もし半導体デバイスが半導体基板上で互いにあまりに接近し過ぎると寄生容量や電流が発生し、そのために回路全体としての動作性能が低下することになる。そうであるから、半導体デバイスを互いに接近して配置でき、しかも隣接する半導体デバイス間を電氣的に分離するための構造と方法とに関して多大な努力が払われてきた。」(1頁下9行~2頁2行)

(イ) 「【0003】過去において広く用いられてきた分離方法の1つは局部的シリコン酸化技術(LOCOS)である。...」(2頁3行~5行)

- (ウ) 「【0004】過去に用いられてきた分離の別の方法はトレンチ分離である。」(2頁11行～12行)
- (エ) 「【0005】従って、隣接する能動半導体デバイスの電子的な相互作用を阻止でき、しかもデバイスそれ自体の特性を劣化させることのない分離の構造と方法とに対する需要が存在する。」(2頁下8行～下5行)
- (オ) 「【0006】【発明の概要】本発明の教えるところから従えば、従来の分離方式に付随する問題を本質的に解消もしくは低減する分離構造が開示される。」(2頁下4行～下1行)

ウ 以上の記載に加え、本願発明1の請求項1に「第1と第2の能動領域を互いに電気的に分離する目的で、前記第1と第2の能動領域の間の半導体層中に形成される分離構造」と規定されていることからすれば、本願発明1の技術的意義は、能動領域相互間に発生する漏れ電流のような電気的な障害を、LOCOS構造とトレンチプラグを同一箇所併用することにより解消又は低減するところにあると認められる。

他方、刊行物(甲5)には、「【産業上の利用分野】本発明は、溝によって互に分離されている半導体素子形成領域を形成している半導体集積回路用半導体基板の製法に関する。」(1頁右欄11行～14行)との記載があり、またその第1図Kから明らかとなり、刊行物発明においても、LOCOS構造とトレンチプラグを同一箇所併用する方法が採用されていることからすれば、刊行物発明において半導体素子形成領域を分離することの技術的意義もまた、半導体基板上に形成される半導体素子相互間の電気的な障害の解消又は低減にあることは明らかであり、本願発明1と刊行物発明の技術的意義は上記の意味において共通すると認められる。

そうすると、刊行物発明において「半導体素子形成領域」として分離する意義を有するのは、漏れ電流等の電気的な障害を解消又は低減すべき領域、すなわち、半導体基板に形成される能動素子を構成する領域(ソース

領域やドレイン領域)であって、抽象的に半導体素子形成領域となり得るか否かにつき格別の意義を見出すことは困難である。

そして、このような観点からみると、上記(3)で述べたとおり、本願発明1と刊行物発明とは、能動領域ないし半導体素子形成領域とバースビーク構造とがその位置関係において共通しているとみることができ、このことは、能動領域の深さ方向の範囲についての解釈により左右されるものではない。これに反する原告の主張は、その前提において採用することができない。

(5) したがって、その余について検討するまでもなく、取消事由1に関する原告の主張は理由がない。

3 取消事由2(相違点についての判断の誤り)について

(1) 審決は、素子形成領域を電氣的に分離する素子分離技術において、LOCOS酸化膜と複数の素子分離用溝とを併用する技術は、周知技術例1ないし3に記載されているように当業者に従来周知の技術にすぎないと判断したのに対し、原告は当該判断は誤りであると主張するので、この点について検討する。

(2) まず、周知技術例1ないし3の記載内容を検討する。

ア 周知技術例1(甲6)

(ア) 「第5図は、従来の溝による素子分離に係わる半導体集積回路の一例を示すものである。

シリコン基板1には、素子領域2a, 2b, ...を取り囲む溝3a, 3b, ...が形成されている。フィールド領域及び溝3a, 3b, ...内面には、酸化膜4が形成されている。酸化膜4が形成された溝3a, 3b, ...内には、多結晶シリコン5が埋め込まれている。多結晶シリコン5が埋め込まれた溝3a, 3b, ...上には、薄いキャップ酸化膜6が形成されている。」(2頁左上欄3行~12行)

(イ) 「このような半導体集積回路では，素子の集積密度を高めるために，溝 3 a の側壁と溝 3 b の側壁との間隔 W_{TT} は，できる限り短くなるようにして設計されている。」(2 頁右上欄 5 行～ 8 行)

(ウ) 「(発明が解決しようとする課題)

このように，従来の半導体集積回路では，溝間の間隔が短くなると，酸化時の熱応力集中によって溝内のコーナーから転位欠陥が発生していた。このため，素子特性や素子間分離特性が劣化し，半導体集積回路にとって致命的となる欠陥があった。

そこで，本発明は，素子分離溝の上部コーナー及び底部コーナーから発生する転位欠陥を抑制することにより，素子特性及び素子分離特性を実質的に劣化されることのない半導体装置及びその製造方法を提供することを目的とする。

〔 発明の構成 〕

(課題を解決するための手段)

上記目的を達成するために，本発明の半導体装置は，一の素子領域を取り囲む溝と他の素子領域を取り囲む溝との間隔を，少なくとも $3 \mu\text{m}$ 設けることにより，前記一の素子領域と，これに隣接する他の素子領域との電気的な分離を行うものである。」(2 頁左下欄 5 行～ 2 頁右下欄 4 行)

(I) 周知技術例 1 の第 5 図には，半導体基板 1 上のフィールド酸化膜に複数の素子分離用溝 3 a ， 3 b が隣接して設けられた図が示されている。

(オ) 以上の(ア)ないし(I)の記載によれば，周知技術例 1 は，素子分離のための溝が近接した場合に生じる転位欠陥の影響を抑えるために溝間の間隔を $3 \mu\text{m}$ 以上としたものであり，甲 6 の第 5 図のとおり，半導体基板 1 上のフィールド酸化膜に複数の素子分離用溝 3 a ， 3 b が隣接して設けられた分離構造を前提とするものであると認められる。

イ 周知技術例 2 (甲 7)

(ア) 「素子分離構造の形成方法としては、素子分離領域を選択的に厚く酸化する酸化膜分離法 (L O C O S 法) , あるいは素子分離領域となる半導体基板領域にドライエッチングにより溝を形成した後、酸化膜を埋め込む溝分離法がある。

しかし、前記 L O C O S 法では、容易に大面積を平坦な構造で分離できるが、分離端に酸化領域の拡大、いわゆるバースピークが発生するため分離寸法の正確な制御が困難である。また、前記溝分離法は分離寸法の正確な制御が可能であるが、大面積の溝を平坦に埋め込むことが困難である。

そこで L O C O S 法と溝分離法の両者の利点を取り入れ、微細な素子分離は溝分離法でのみ行い、また大面積のものは L O C O S 部の端に溝分離構造を形成する分離構造形成法によって行う併用型の素子分離構造形成方法がある。」(1 頁右下欄 6 行 ~ 2 頁左上欄 1 行)

(イ) 「(実施例)

以下、本発明の実施例の図面に基づいて説明する。

第 1 図 (a) ~ (f) は本発明の半導体装置の製造方法の一実施例の工程を示す断面図であって、1 は半導体 (シリコン) 基板、2 は第 1 熱酸化膜、3 は窒化シリコン膜、4 は第 1 レジスト膜、5 は L O C O S 部の熱酸化膜、6 は第 1 堆積酸化膜、7 は第 2 レジスト膜、8 は第 2 熱酸化膜、9 は第 2 堆積酸化膜、A は分離用溝である。」(2 頁右下欄 7 行 ~ 1 6 行)

(ウ) 周知技術例 2 の第 1 図 (f) には、L O C O S 酸化膜 5 の両端に分離用溝 A が形成された構造が示されている。

(I) 以上の (ア) ないし (ウ) の記載によれば、周知技術例 2 には、大面積の素子分離構造として、L O C O S 法と溝分離法の両者の利点を取り入れ、L O C O S 酸化膜の両端に素子分離用溝を形成したものが開示されてい

ることが認められる。

ウ 周知技術例 3 (甲 8)

(ア) 「絶縁ゲート電界効果トランジスタを搭載してなる半導体デバイスに於いては、素子分離領域の形成が必要である。この素子分離領域形成法として、選択酸化によるフィールド酸化膜に代わって、バースビークが少なく微細化に適した、溝状構造で $CVDSiO_2$ 、 $BPSG$ 等の絶縁物質、又は絶縁物質と導電性物質とを埋め込んで形成する方法などが提案されている。」(1 頁右欄 1 行 ~ 8 行)

(イ) 「〔発明が解決しようとする問題点〕

上述した従来 of 埋め込みによる半導体デバイスの素子分離構造は、分離溝の狭い領域と広い領域とが同時に存在する場合、絶縁物質又は絶縁物質と導電性物質とを埋め込むと、分離幅の広い領域で埋め込み物質が薄くなるので、分離幅の狭い領域と広い領域とを一括して埋め込み、半導体デバイスの良好な素子分離領域を再現性良く形成する事が非常に困難であるという欠点がある。

〔問題点を解決するための手段〕

本発明の素子分離構造は、一定の幅を有する溝状構造と選択的に形成したフィールド酸化膜とを複合化した姿態を有している。その為、絶縁物質、又は絶縁物質と導電性物質とを、全ての溝状構造へ同時に埋め込む事ができる。

本発明の半導体装置は、平坦な半導体表面に接して形成されたフィールド絶縁膜からなる第 1 の素子分離領域と、フィールド絶縁膜の一部領域に半導体表面側より基板側に溝形の凹部が形成され該溝形凹部内面に接して絶縁物質が形成された構造を有する第 2 の素子分離領域との 2 つの素子分離領域が同一半導体基板上に形成されていることを特徴とする。」(1 頁右欄 9 行 ~ 2 頁左上欄 1 1 行)

- (ウ) 周知技術例 3 の第 3 図には、一定の幅を有する複数の溝状構造 1 が、フィールド酸化膜 3 を貫通して設けられた構造が示されている。
- (エ) 以上の(ア)ないし(ウ)の記載によれば、周知技術例 3 には、フィールド酸化膜酸化膜を貫通して一定の幅を有する複数の素子分離用溝を形成した分離構造が記載されていると認められる。
- (3) 周知技術例 1 ないし 3 に係る上記記載によれば、フィールド酸化膜（L O C O S 酸化膜）と複数の素子分離用溝を併用した素子分離構造は、本願の優先権主張日（1992 年〔平成 4 年〕9 月 23 日）前に周知であったものと認められるから、上記周知技術を刊行物発明に適用して複数の素子分離用溝を併用することは、当業者（その発明の属する技術の分野における通常の知識を有する者）が容易に想到できたものといわざるを得ない。
- (4) 以上に対し、原告は、刊行物発明及び周知技術例 1 は、バースピークを利用することにより能動領域をトレンチから分離するという本願発明 1 の課題解決手段を開示も示唆もしていないから、当業者が刊行物発明及び周知技術例 1 に基づいて本願発明 1 を容易に想到し得たとの判断は誤りであると主張する。

しかし、刊行物（甲 5）には、「...この場合、膜 2 1 を形成する工程（第 1 図 B）において、その膜 2 1 を、長さ方向と直交する断面でみた両側部がバースピーク状であるように容易に形成することができ、また、膜 1 3 を形成する工程（第 1 図 J）において、その膜 1 3 を、上面が膜 2 1 の上面とほぼ同じ高さ位置になるように形成することができ、従って、膜 2 1 及び 1 3 でなる膜 2 3 を、それ自身及び半導体基板 1 の主面 1 a 上における半導体素子形成領域 8 及び 9 との間に急激な段差を生ぜしめることなしに形成することができる。...半導体集積回路用半導体基板を、その半導体素子形成領域 8 及び 9 にそれぞれ形成しているまたは形成する半導体素子を結線させるために配線層に断線を生ぜしめるおそれのないものとして、容易に製造すること

ができる。」(7頁右上欄1行～下1行)との記載があり、これによれば、刊行物発明において、配線層に断線が生じないように、バースビーク状の両側部21a、21bを利用することを前提としていることは明らかである。そうすると、刊行物発明に、バースビークを利用することにより能動領域をトレンチから分離するという本願発明1の課題解決手段が開示されているというべきであるから、原告の主張は採用することができない。

また原告は、バースビークはLOCOS法における最大の問題点であり、当業者がLOCOS酸化膜と複数の素子分離用溝を用いる場合に、バースビークを除去するような構成とすることは、周知技術例2及び3や、被告が引用した文献にも多く記載されており、当該構成の採択には困難性が認められるから、当業者が想到容易になし得る構成とはいえないと主張するが、上記のとおり、刊行物発明は、酸化膜21の両側部のバースビーク(21a、21b)を、両側の素子形成領域に形成された半導体素子間を接続する配線の断線を防止する目的で、積極的に利用しているのであるから、上記の周知技術を適用する際にバースビークを残すことは、むしろ自然なことである。したがって、この点に関する原告の主張も採用することができない。

4 結論

以上によれば、原告主張の取消事由はすべて理由がない。

よって、原告の請求を棄却することとして、主文のとおり判決する。

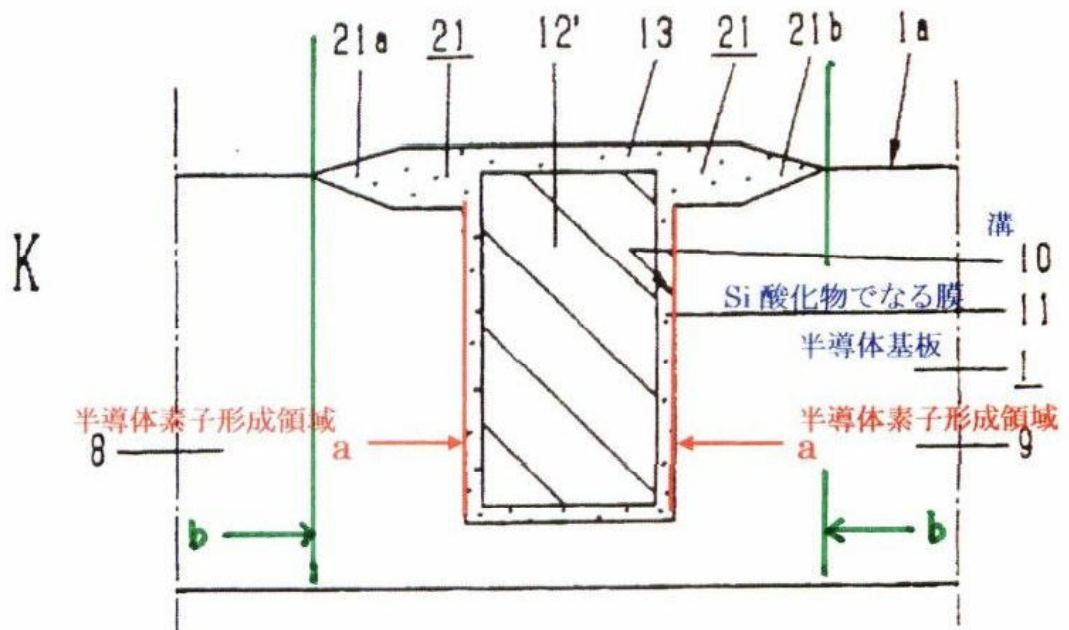
知的財産高等裁判所 第2部

裁判長裁判官 中 野 哲 弘

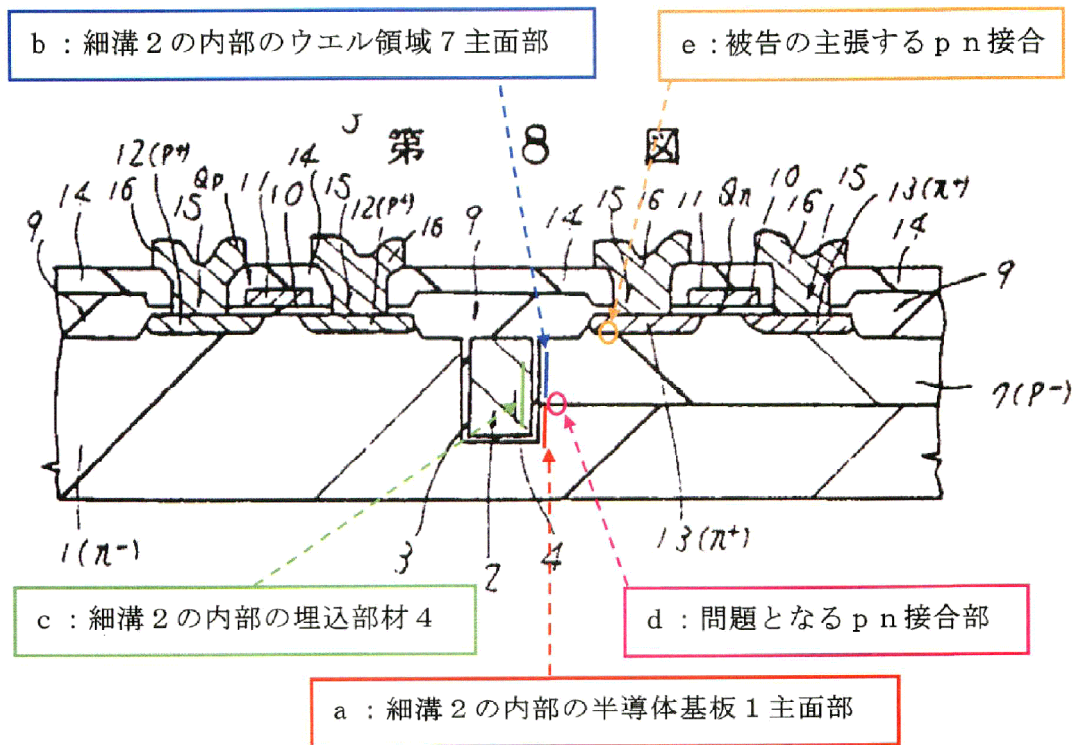
裁判官 森 義 之

裁判官 澁 谷 勝 海

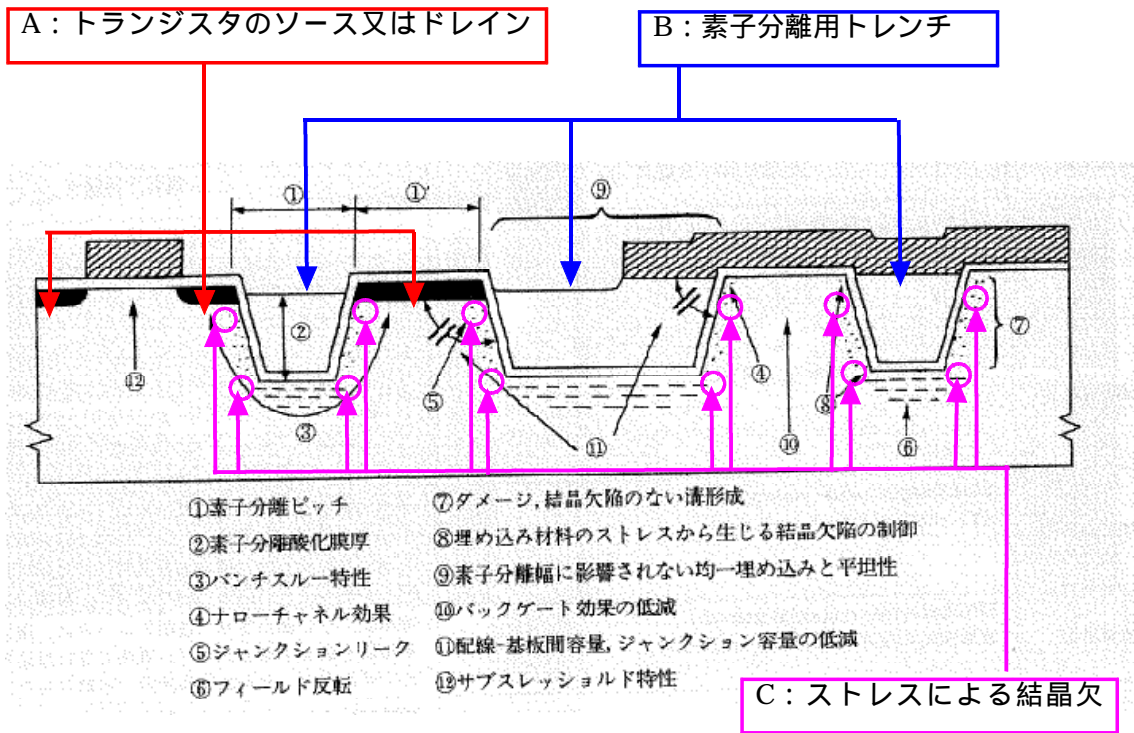
第 1 図



別紙参考図 2



別紙参考図 3



別紙参考図 4

A : 溝の酸化による応力

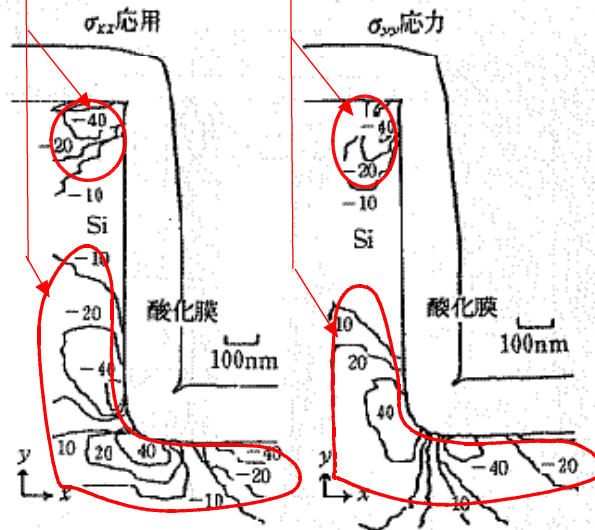


図 7 溝酸化時の応力のシミュレーション (単位: MPa)

