

平成19年10月23日判決言渡 同日原本領収 裁判所書記官

平成18年(ワ)第6548号 損害賠償等請求事件

口頭弁論終結日 平成19年7月26日

判 決

アメリカ合衆国カリフォルニア州<以下略>

原 告	インターナショナル レクティファイヤー コーポレーション
訴訟代理人弁護士	上 山 浩
同	川 井 信 之
訴訟代理人弁理士	谷 義 一
同	新 開 正 史
補佐人弁理士	濱 中 淳 宏

東京都千代田区<以下略>

被 告	新 電 元 工 業 株 式 会 社
訴訟代理人弁護士	松 本 直 樹
同	牧 野 知 彦
補佐人弁理士	畑 中 孝 之

主 文

- 1 原告の請求をいずれも棄却する。
- 2 訴訟費用は、原告の負担とする。
- 3 本件につき原告のために控訴の付加期間を30日と定める。

事 実 及 び 理 由

第1 請求

- 1 被告は、原告に対し、金4億円及びこれに対する平成18年4月18日から支払済みまで年5分の割合による金員を支払え。
- 2 被告は、別紙物件目録記載の製品を生産し、譲渡し、輸入し、又は譲渡の申

出をしてはならない。

3 被告は、その占有に係る前項記載の製品を廃棄せよ。

第2 事案の概要

本件は、「シャットダウン機能を有する安定器用集積回路」についての特許権（特許番号第2994314号）及び「抵抗をブートストラップ・ダイオードに直列結合したモノリシック・ゲート・ドライバ・デバイス」についての特許権（特許番号第2898272号）を有している原告が、被告が製造・販売した別紙物件目録記載の半導体装置が上記各特許権の特許発明の技術的範囲に属し、またはその間接侵害品（特許法101条1号、2号）に当たり、その生産・譲渡・輸入・譲渡の申出が上記特許権を侵害したものであると主張して、被告に対し、上記半導体装置の生産・譲渡・輸入・譲渡の申出の差止及び上記半導体装置の廃棄並びに損害賠償金4億円及びこれに対する遅延損害金（不法行為の後の日である平成18年4月18日から支払済みまで民法所定の年5分の割合によるもの。）の支払を求めている事案である。

1 前提となる事実等（当事者間に争いが無いが、該当箇所末尾掲記の各証拠及び弁論の全趣旨により認められる。）

(1) 原告が有している特許権1

原告は、次の特許権を有している（以下、「本件特許権1」といい、その特許を「本件特許1」という。）。（甲1、甲3）

ア 特許番号	第2994314号
イ 発明の名称	シャットダウン機能を有する安定器用集積回路
ウ 出願日	平成9年10月17日
エ 優先日	1996年（平成8年）10月21日
オ 登録日	平成11年10月22日
カ 本件特許1の特許出願の願書に添付した明細書（以下「本件明細書1」という。）の特許請求の範囲（請求項5）の記載は、次のとおりである（以	

下，請求項 5 の特許発明を「本件特許発明 1」という。本判決添付の本件特許 1 の特許公報参照。)

「直流バス電源により負荷回路を駆動する回路において，直流バス電源に接続され，直流バス電源に接続された第 1 および第 2 の直流端子と，負荷回路に対して出力信号を供給するための共通端子とを有するハーフブリッジの構成で接続された第 1 および第 2 の MOS ゲート型パワー半導体デバイスと，上記共通端子は，上記第 1 及び第 2 の MOS ゲート型パワー半導体デバイス間のノードにおいて設けられており，上記第 1 および第 2 の MOS ゲート型パワー半導体デバイスをそれぞれ駆動するための第 1 および第 2 の出力と，上記第 1 および第 2 の MOS ゲートパワー半導体デバイスのうちの一方のターンオンを，上記第 1 および第 2 の MOS ゲートパワー半導体デバイスのうちの他方のターンオフ後，遅延時間間隔の間，遅延させることにより，上記第 1 および第 2 の MOS ゲートパワー半導体デバイスの同時駆動を防止するデッドタイム遅延回路と，外部タイミングコンデンサ上の電圧からなる上記ロー論理レベル信号がしきい値電圧より低いときに，上記第 1 および第 2 の MOS ゲート型パワー半導体デバイスをターンオンおよびターンオフさせるための高圧側および低圧側出力の上記供給を停止させるための上記ロー論理レベル信号に接続されたシャットダウン回路とを有する自己発振駆動回路とからなり，上記シャットダウン回路は，上記外部タイミングコンデンサ上の電圧を上記しきい値電圧と比較するしきい値電圧検出回路を有することを特徴とする回路。」

(2) 原告が有している特許権 2

原告は，次の特許権を有している（以下，「本件特許権 2」といい，その特許を「本件特許 2」という。）。（甲 2，甲 4）

ア 特許番号 第 2 8 9 8 2 7 2 号

イ 発明の名称 抵抗をブートストラップ・ダイオードに直列結合したモ

ノリシック・ゲート・ドライバ・デバイス

ウ 出 願 日 平成 10 年 4 月 23 日

エ 優 先 日 1997 年 (平成 9 年) 4 月 23 日

オ 登 録 日 平成 11 年 3 月 12 日

カ 本件特許 2 の特許出願の願書に添付した明細書 (以下「本件明細書 2」という。)の特許請求の範囲の請求項 1 の記載は、次のとおりである (以下、請求項 1 の特許発明を「本件特許発明 2」という。本判決添付の本件特許 2 の特許公報参照。)

「電力回路において、少なくとも 1 個の高位側 MOS ゲート・トランジスタと、前記高位側 MOS ゲート・トランジスタに直列結合された、電源の高位および低位電力端子と並列にブリッジ回路を形成することが可能な少なくとも 1 個の低位側 MOS ゲート・トランジスタと、前記高位側 MOS ゲート・トランジスタの伝導特性を変化させることが可能な出力を有する高位側ドライバ回路と、前記高位側および低位側トランジスタを有するブートストラップ構成内に構築され、前記高位側ドライバ回路に動作電圧を供給する直列結合されたダイオードおよびキャパシタと、前記低位側 MOS ゲート・トランジスタの伝導特性を変化させることが可能な出力を有する低位側ドライバ回路と、前記低位側ドライバ回路に結合され、前記低位側ドライバ回路に動作電圧を供給する低位側電圧源であって、前記直列結合されたダイオードおよびキャパシタと直列な低位側電圧源と、前記高位側および低位側 MOS ゲート・トランジスタと直列に位置づけられ、前記高位側および低位側 MOS ゲート・トランジスタ内の伝導変化に応答して前記低位側 MOS ゲート・トランジスタを流れる電流を誘導する漂遊インダクタンスと、前記低位側電圧源と前記ダイオードとの間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる第 1 電流制限要素と、前記

低位電力端子と前記低位側電圧源との間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させることが可能な第 2 電流制限要素とを備えることを特徴とする電力回路。」

キ 本件明細書 2 の特許請求の範囲の請求項 3 の記載は、次のとおりである（以下、請求項 3 の特許発明を「本件特許発明 3」という。本判決添付の本件特許 2 の特許公報参照。）。

「請求項 2 に記載の電力回路において、前記漂遊インダクタンスによる前記誘導電流は持続時間を有し、前記第 1 抵抗は第 1 抵抗値を有し、前記第 2 抵抗は第 2 抵抗値を有し、前記キャパシタはキャパシタンスを有し、前記第 1 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きく、前記第 2 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きいことを特徴とする電力回路。」

ク 本件明細書 2 の特許請求の範囲の請求項 2 の記載は、次のとおりである（本判決添付の本件特許 2 の特許公報参照。）。

「請求項 1 に記載の電力回路において、前記第 1 電流制限要素は第 1 抵抗であり、前記第 2 電流制限要素は第 2 抵抗であることを特徴とする電力回路。」

ケ 本件明細書 2 の特許請求の範囲の請求項 7 の記載は、次のとおりである（以下、請求項 7 の特許発明を「本件特許発明 4」といい、本件特許発明 1、本件特許発明 2、本件特許発明 3 と併せて「本件各特許発明」という。本判決添付の本件特許 2 の特許公報参照。）。

「請求項 6 に記載の電力回路において、前記漂遊インダクタンスによる前記誘導電流は持続時間を有し、前記第 1 抵抗は第 1 抵抗値を有し、前記第 2 抵抗は第 2 抵抗値を有し、前記キャパシタはキャパシタンスを有し、前記第 1 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に

大きく、前記第 2 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きいことを特徴とする電力回路。」

コ 本件明細書 2 の特許請求の範囲の請求項 6 の記載は、次のとおりである（本判決添付の本件特許 2 の特許公報参照。）

「請求項 5 に記載の電力回路において、前記第 1 電流制限要素は第 1 抵抗であり、前記第 2 電流制限要素は第 2 抵抗であることを特徴とする電力回路。」

サ 本件明細書 2 の特許請求の範囲の請求項 5 の記載は、次のとおりである（本判決添付の本件特許 2 の特許公報参照。）

「電力回路において、少なくとも 1 個の高位側 MOS ゲート・トランジスタと、前記高位側 MOS ゲート・トランジスタに直列結合された、電源の高位および低位電力端子と並列にブリッジ回路を形成することが可能な少なくとも 1 個の低位側 MOS ゲート・トランジスタと、前記高位側 MOS ゲート・トランジスタの伝導特性を変化させることが可能な出力を有する高位側ドライバ回路と、前記高位側および低位側トランジスタを有するブートストラップ構成内に構築され、前記高位側ドライバ回路に動作電圧を供給する直列結合されたダイオードおよびキャパシタと、前記低位側 MOS ゲート・トランジスタの伝導特性を変化させることが可能な出力を有する低位側ドライバ回路と、前記低位側ドライバ回路に結合され、前記低位側ドライバ回路に動作電圧を供給する低位側電圧源であって、前記直列結合されたダイオードおよびキャパシタと直列な低位側電圧源と、前記低位側および高位側ドライバ回路の間で結合されたサブストレイト・ダイオードであって、前記サブストレイト・ダイオードのカソードは前記ダイオードと前記キャパシタとの接合点に接続されているサブストレイト・ダイオードと、前記高位側および低位側 MOS ゲート・トランジスタと直列に位置づけられ、前記高位側および低位側 MOS ゲート・トランジスタ内の

伝導変化に応答して前記低位側MOSゲート・トランジスタを流れる電流を誘導する漂遊インダクタンスと、前記低位側電圧源と前記ダイオードとの間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる第1電流制限要素と、前記低位電力端子と前記低位側電圧源との間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させることが可能な第2電流制限要素と、前記低位電力端子から前記サブストレイト・ダイオードへ直列結合され、前記サブストレイト・ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる第3電流制限要素とを備えることを特徴とする電力回路。」

(3) 構成要件

本件各特許発明を構成要件に分説すると、次のとおりである（以下、分説した各構成要件をその符号に従い「構成要件1-A」のように表記する。）

ア 本件特許発明1

- 1-A 直流バス電源により負荷回路を駆動する回路において、
- 1-B 直流バス電源に接続され、直流バス電源に接続された第1および第2の直流端子と、負荷回路に対して出力信号を供給するための共通端子とを有するハーフブリッジの構成で接続された第1および第2のMOSゲート型パワー半導体デバイスと、
- 1-C 上記共通端子は、上記第1及び第2のMOSゲート型パワー半導体デバイス間のノードにおいて設けられており、
- 1-D 上記第1および第2のMOSゲート型パワー半導体デバイスをそれぞれ駆動するための第1および第2の出力と、
- 1-E 上記第1および第2のMOSゲート型パワー半導体デバイスのうちの一方のターンオンを、上記第1および第2のMOSゲート型パワー

半導体デバイスのうちの他方のターンオフ後，遅延時間間隔の間，遅延させることにより，上記第1および第2のMOSゲートパワー半導体デバイスの同時駆動を防止するデッドタイム遅延回路と，

- 1 - F 外部タイミングコンデンサ上の電圧からなる上記ロー論理レベル信号がしきい値電圧より低いときに，上記第1および第2のMOSゲート型パワー半導体デバイスをターンオンおよびターンオフさせるための高圧側および低圧側出力の上記供給を停止させるための上記ロー論理レベル信号に接続されたシャットダウン回路と
- 1 - G を有する自己発振駆動回路とからなり，
- 1 - H 上記シャットダウン回路は，上記外部タイミングコンデンサ上の電圧を上記しきい値電圧と比較するしきい値電圧検出回路を有する
- 1 - I ことを特徴とする回路。

イ 本件特許発明2

- 2 - A 電力回路において，
- 2 - B 少なくとも1個の高位側MOSゲート・トランジスタと，
- 2 - C 前記高位側MOSゲート・トランジスタに直列結合された，電源の高位および低位電力端子と並列にブリッジ回路を形成することが可能な少なくとも1個の低位側MOSゲート・トランジスタと，
- 2 - D 前記高位側MOSゲート・トランジスタの伝導特性を変化させることが可能な出力を有する高位側ドライバ回路と，
- 2 - E 前記高位側および低位側トランジスタを有するブートストラップ構成内に構築され，前記高位側ドライバ回路に動作電圧を供給する直列結合されたダイオードおよびキャパシタと，
- 2 - F 前記低位側MOSゲート・トランジスタの伝導特性を変化させることが可能な出力を有する低位側ドライバ回路と，
- 2 - G 前記低位側ドライバ回路に結合され，前記低位側ドライバ回路に

動作電圧を供給する低位側電圧源であって、前記直列結合されたダイオードおよびキャパシタと直列な低位側電圧源と、

- 2 - H 前記高位側および低位側MOSゲート・トランジスタと直列に位置づけられ、前記高位側および低位側MOSゲート・トランジスタ内の伝導変化に応答して前記低位側MOSゲート・トランジスタを流れる電流を誘導する漂遊インダクタンスと、
- 2 - I 前記低位側電圧源と前記ダイオードとの間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる第1電流制限要素と、
- 2 - J 前記低位電力端子と前記低位側電圧源との間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させることが可能な第2電流制限要素と
- 2 - K を備えることを特徴とする電力回路。

ウ 本件特許発明3

- 3 - A 構成要件2 - Aに同じ（電力回路において、）
- 3 - B 構成要件2 - Bに同じ（少なくとも1個の高位側MOSゲート・トランジスタと、）
- 3 - C 構成要件2 - Cに同じ（前記高位側MOSゲート・トランジスタに直列結合された、電源の高位および低位電力端子と並列にブリッジ回路を形成することが可能な少なくとも1個の低位側MOSゲート・トランジスタと、）
- 3 - D 構成要件2 - Dに同じ（前記高位側MOSゲート・トランジスタの伝導特性を変化させることが可能な出力を有する高位側ドライバ回路と、）
- 3 - E 構成要件2 - Eに同じ（前記高位側および低位側トランジスタを

- 有するブートストラップ構成内に構築され、前記高位側ドライバ回路に動作電圧を供給する直列結合されたダイオードおよびキャパシタと、)
- 3 - F 構成要件 2 - F に同じ (前記低位側 MOS ゲート・トランジスタの伝導特性を変化させることが可能な出力を有する低位側ドライバ回路と、)
 - 3 - G 構成要件 2 - G に同じ (前記低位側ドライバ回路に結合され、前記低位側ドライバ回路に動作電圧を供給する低位側電圧源であって、前記直列結合されたダイオードおよびキャパシタと直列な低位側電圧源と、)
 - 3 - H 構成要件 2 - H に同じ (前記高位側および低位側 MOS ゲート・トランジスタと直列に位置づけられ、前記高位側および低位側 MOS ゲート・トランジスタ内の伝導変化に応答して前記低位側 MOS ゲート・トランジスタを流れる電流を誘導する漂遊インダクタンスと、)
 - 3 - I 構成要件 2 - I に同じ (前記低位側電圧源と前記ダイオードとの間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる第 1 電流制限要素と、)
 - 3 - J 構成要件 2 - J に同じ (前記低位電力端子と前記低位側電圧源との間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させることが可能な第 2 電流制限要素と)
 - 3 - K 前記第 1 電流制限要素は第 1 抵抗であり、前記第 2 電流制限要素は第 2 抵抗であり、
 - 3 - L 前記漂遊インダクタンスによる前記誘導電流は持続時間を有し、

- 3 - M 前記第 1 抵抗は第 1 抵抗値を有し，前記第 2 抵抗は第 2 抵抗値を有し，前記キャパシタはキャパシタンスを有し，
- 3 - N 前記第 1 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きく，
- 3 - O 前記第 2 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きいこと
- 3 - P を特徴とする電力回路。

エ 本件特許発明 4

- 4 - A 構成要件 2 - A に同じ（電力回路において，）
- 4 - B 構成要件 2 - B に同じ（少なくとも 1 個の高位側 MOS ゲート・トランジスタと，）
- 4 - C 構成要件 2 - C に同じ（前記高位側 MOS ゲート・トランジスタに直列結合された，電源の高位および低位電力端子と並列にブリッジ回路を形成することが可能な少なくとも 1 個の低位側 MOS ゲート・トランジスタと，）
- 4 - D 構成要件 2 - D に同じ（前記高位側 MOS ゲート・トランジスタの伝導特性を変化させることが可能な出力を有する高位側ドライバ回路と，）
- 4 - E 構成要件 2 - E に同じ（前記高位側および低位側トランジスタを有するブートストラップ構成内に構築され，前記高位側ドライバ回路に動作電圧を供給する直列結合されたダイオードおよびキャパシタと，）
- 4 - F 構成要件 2 - F に同じ（前記低位側 MOS ゲート・トランジスタの伝導特性を変化させることが可能な出力を有する低位側ドライバ回路と，）
- 4 - G 構成要件 2 - G に同じ（前記低位側ドライバ回路に結合され，前

記低位側ドライバ回路に動作電圧を供給する低位側電圧源であって、前記直列結合されたダイオードおよびキャパシタと直列な低位側電圧源と、)

- 4 - H 前記低位側および高位側ドライバ回路の間で結合されたサブストレイト・ダイオードであって、前記サブストレイト・ダイオードのカソードは前記ダイオードと前記キャパシタとの接合点に接続されているサブストレイト・ダイオードと、
- 4 - I 構成要件 2 - Hに同じ(前記高位側および低位側MOSゲート・トランジスタと直列に位置づけられ、前記高位側および低位側MOSゲート・トランジスタ内の伝導変化にตอบสนองして前記低位側MOSゲート・トランジスタを流れる電流を誘導する漂遊インダクタンスと、)
- 4 - J 構成要件 2 - Iに同じ(前記低位側電圧源と前記ダイオードとの間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる第1電流制限要素と、)
- 4 - K 構成要件 2 - Jに同じ(前記低位電力端子と前記低位側電圧源との間で直列結合され、前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させることが可能な第2電流制限要素と)
- 4 - L 前記低位電力端子から前記サブストレイト・ダイオードへ直列結合され、前記サブストレイト・ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる第3電流制限要素と
- 4 - M 構成要件 3 - Kに同じ(前記第1電流制限要素は第1抵抗であり、前記第2電流制限要素は第2抵抗であり、)

- 4 - N 構成要件 3 - Lに同じ（前記漂遊インダクタンスによる前記誘導電流は持続時間を有し、）
- 4 - O 構成要件 3 - Mに同じ（前記第 1 抵抗は第 1 抵抗値を有し、前記第 2 抵抗は第 2 抵抗値を有し、前記キャパシタはキャパシタンスを有し、）
- 4 - P 構成要件 3 - Nに同じ（前記第 1 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きく、）
- 4 - Q 構成要件 3 - Oに同じ（前記第 2 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きいこと）
- 4 - R を特徴とする電力回路。

(4) 被告製品

被告は、訴外松下電工株式会社（以下「松下電工」という。）との開発委託契約に基づき、松下電工の指定する仕様に従って別紙物件目録記載の半導体装置（以下「被告製品」という。）を開発し、これらを製造して、松下電工及び同社グループの他社に販売している。

本件特許発明 1 との対比において、被告製品が組み込まれた別紙回路目録 1 記載のランプ安定回路（以下「本件ランプ安定回路 1」という。）の構成を示すと、別紙第 1 図面のとおりである（平成 18 年 8 月 8 日付け被告準備書面 1 添付の〔被告説明図 3〕。なお、原告は、その後提出の平成 18 年 9 月 22 日付け準備書面（3）の 2 頁記載の図 1 で、改めて回路構成を図示しており、ブートストラップダイオード回路の内容を表示するかどうか、低位電力端子 - Hv と低位側電圧源との間に抵抗 R 3 があるかどうかなどの点において、相違する図面を提示しているものの、は、本件特許発明 1 との関係性を判断する上では、影響しないところであり、また、についても、平成 18 年 12 月 22 日付け訴え変更の申立書（2）の 7 頁において、R 3 は、低位電力端子 - Hv と低位側電圧源との間には存在せず、低位電力端子

- Hvと第2のMOSゲート型パワー半導体デバイスQ2との間に存在することを認めるに至っていることからすれば、本件ランプ安定回路1は、上記〔被告説明図3〕のとおり、特定するのが相当である。〕

本件特許発明2ないし4との対比において、被告製品が組み込まれた別紙回路目録2記載のランプ安定回路(以下「本件ランプ安定回路2」という。)の構成を示すと、別紙第2図面のとおりである(平成18年12月22日付け訴え変更の申立書(2)の7頁記載の図1)。

(5) 本件特許発明1と本件ランプ安定回路1との対比

本件ランプ安定回路1の構成は、別紙第1図面のとおりであり、これによれば、本件ランプ安定回路1は、交流からIC駆動用の直流を取り出す回路を備えているから、直流バス電源により負荷回路(ランプ回路)を駆動する回路である(構成要件1-A, 1-I)。

また、本件ランプ安定回路1は、直流バス電源に接続され、直流バス電源に接続された第1及び第2の直流端子と、負荷回路(ランプ回路)に対して出力信号を供給するための共通端子とを有するハーフブリッジの構成で接続された第1及び第2のMOSゲート型パワー半導体デバイスQ1, Q2と(構成要件1-B), 上記共通端子は、上記第1のMOSゲート型パワー半導体デバイスQ1及び第2のMOSゲート型パワー半導体デバイスQ2間のノードにおいて設けられており(構成要件1-C), 上記第1及び第2のMOSゲート型パワー半導体デバイスQ1, Q2をそれぞれ駆動するための第1及び第2の出力(Ho及びLoからの出力)と(構成要件1-D), 上記第1及び第2のMOSゲートパワー半導体デバイスQ1, Q2のうち一方のターンオンを、上記第1及び第2のMOSゲートパワー半導体デバイスQ1, Q2のうち他方のターンオフ後、遅延時間間隔の間、遅延させることにより、上記第1及び第2のMOSゲートパワー半導体デバイスQ1, Q2の同時駆動を防止するデッドタイム遅延回路と(構成要件1-E)を有する自己発振

駆動回路（構成要件 1 - G）を構成に含むものである。

したがって、本件ランプ安定回路 1 は、本件特許発明 1 の構成要件のうち、構成要件 1 - A ないし 1 - E、1 - G 及び 1 - I を充足する。

(6) 本件特許発明 2 ないし 4 と本件ランプ安定回路 2 との対比

本件ランプ安定回路 2 の構成は、別紙第 2 図面のとおりであり、これによれば、本件ランプ安定回路 2 は、電力回路であり（構成要件 2 - A、3 - A、4 - A、2 - K、3 - P、4 - R）、少なくとも 1 個の高位側 MOS ゲート・トランジスタ Q 1 と（構成要件 2 - B、3 - B、4 - B）、前記高位側 MOS ゲート・トランジスタ Q 1 に直列結合された、電源の高位電力端子 + H_v 及び低位電力端子 - H_v と並列にブリッジ回路を形成することが可能な少なくとも 1 個の低位側 MOS ゲート・トランジスタ Q 2 と（構成要件 2 - C、3 - C、4 - C）、前記高位側 MOS ゲート・トランジスタ Q 1 の伝導特性を変化させることが可能な出力を有する高位側ドライバ回路（構成要件 2 - D、3 - D、4 - D）と、前記高位側トランジスタ Q 1 及び低位側トランジスタ Q 2 を有するブートストラップ構成内に構築され、前記高位側ドライバ回路に動作電圧を供給する直列結合されたダイオード D 1 およびキャパシタ C 1 と（構成要件 2 - E、3 - E、4 - E）、前記低位側 MOS ゲート・トランジスタ Q 2 の伝導特性を変化させることが可能な出力を有する低位側ドライバ回路と（構成要件 2 - F、3 - F、4 - F）、前記低位側ドライバ回路に結合され、前記低位側ドライバ回路に動作電圧を供給する低位側電圧源であって、前記直列結合されたダイオード D 1 及びキャパシタ C 1 と直列な低位側電圧源と（構成要件 2 - G、3 - G、4 - G）、前記高位側 MOS ゲート・トランジスタ Q 1 及び低位側 MOS ゲート・トランジスタ Q 2 と直列に位置づけられ、前記高位側 MOS ゲート・トランジスタ Q 1 及び低位側 MOS ゲート・トランジスタ Q 2 内の伝導変化にตอบสนองして前記低位側 MOS ゲート・トランジスタ Q 2 を流れる電流を誘導する漂遊インダクタンス L と

(構成要件 2 - H , 3 - H , 4 - I) , 前記低位側及び高位側ドライバ回路の間で結合されたサブストレイト・ダイオードであって、前記サブストレイト・ダイオードのカソードは前記ダイオード D 1 と前記キャパシタ C 1 との接合点に接続されているサブストレイト・ダイオード D s u b と (構成要件 4 - H) を備えている。また、前記低位側電圧源及び前記ダイオード D 1 と直列結合された第 1 抵抗 R 1 と、前記低位電力端子 - H v 及び前記低位側電圧源と直列結合された第 2 抵抗 R 3 とを備え (構成要件 3 - K , 4 - M) , 前記漂遊インダクタンス L による前記誘導電流は持続時間を有し (構成要件 3 - L , 4 - N) , 前記第 1 抵抗 R 1 は第 1 抵抗値を有し、前記第 2 抵抗 R 3 は第 2 抵抗値を有し、前記キャパシタ C 1 はキャパシタンスを有し (構成要件 3 - M , 4 - O) , 前記第 1 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きく (構成要件 3 - N , 4 - P) , 前記第 2 抵抗値と前記キャパシタンスとの積は前記持続時間よりも十分に大きいこと (構成要件 3 - O , 4 - Q) を特徴とする。

したがって、本件ランプ安定回路 2 は、本件特許発明 2 の構成要件のうち、構成要件 2 - A ないし 2 - H 及び 2 - K を、本件特許発明 3 の構成要件のうち、構成要件 3 - A ないし 3 - H , 3 - K ないし 3 - P を、本件特許発明 4 のうち、構成要件 4 - A ないし 4 - I , 4 - M ないし 4 - R を充足する。

他方、前記低位側電圧源及び前記ダイオード D 1 と直列結合された第 1 抵抗 R 1 は、「前記低位側電圧源と前記ダイオード D 1 との間」に配置されていない点で構成要件 2 - I , 3 - I , 4 - J を文言解釈上充足せず、前記低位電力端子 - H v 及び前記低位側電圧源と直列結合された第 2 抵抗 R 3 は、「前記低位電力端子 - H v と前記低位側電圧源との間」に配置されていない点で構成要件 2 - J , 3 - J , 4 - K を文言解釈上充足しない。

2 本件の争点

(1) 本件ランプ安定回路 1 は、本件特許発明 1 の技術的範囲に属するか (本件

- ランプ安定回路 1 は，構成要件 1 - F ， 1 - H を充足するか)(争点 1) 。
- (2) 本件ランプ安定回路 1 は，本件特許発明 1 と均等か (争点 2) 。
 - (3) 本件特許 1 は無効とされるべきものか (争点 3) 。
 - (4) 本件特許権 1 に係る被告の責任原因 (争点 4)
 - (5) 本件ランプ安定回路 2 は，本件特許発明 2 と均等か (争点 5) 。
 - (6) 本件ランプ安定回路 2 は，本件特許発明 3 と均等か (争点 6) 。
 - (7) 本件ランプ安定回路 2 は，構成要件 4 - L を充足するか (争点 7) 。
 - (8) 本件ランプ安定回路 2 は，本件特許発明 4 と均等か (争点 8) 。
 - (9) 本件特許 2 は無効とされるべきものか (争点 9) 。
 - (10) 本件特許権 2 に係る被告の責任原因 (争点 10)
 - (11) 損害額 (争点 11)

3 争点に関する当事者の主張

- (1) 争点 1 (本件ランプ安定回路 1 は，本件特許発明 1 の技術的範囲に属するか (本件ランプ安定回路 1 は，構成要件 1 - F ， 1 - H を充足するか) 。)
について

ア 原告の主張

本件ランプ安定回路 1 は，本件特許発明 1 の構成要件をいずれも充足するから，本件特許発明 1 の技術的範囲に属する。

- a) 本件ランプ安定回路 1 が，本件特許発明 1 の構成要件のうち，構成要件 1 - A ないし 1 - E ， 1 - G 及び 1 - I を充足することは，上記 1 (5) のとおりである。
- b) 本件特許発明 1 の技術思想との関係では，構成要件 1 - F ， 1 - H の「外部タイミングコンデンサ」とは，シャットダウン回路の外部に設けられたもので，ランプ故障の検知に用いられ，シャットダウン等のタイミングを決定するコンデンサを意味することが明らかである。

被告製品は，ランプ故障を検知すると，SDピン (ピン 19) に接続

されているコンデンサ 11 の電圧が低下して、所定のしきい値を下回ると、Q1 及び Q2 をターンオン・ターンオフさせるための高圧側 (Ho) 及び低圧側 (Lo) の供給を停止する。これにより、ランプ故障時には Q1 及び Q2 の両方がターンオフする。このように、コンデンサ 11 は、シャットダウン回路の外部に設けられており、シャットダウンを開始するタイミングを決定している。

また、SD ピン (ピン 19) の電圧、すなわちコンデンサ 11 の電圧が一定値を上回ると、CLK ピン (ピン 6) の電圧は低い周波数で発振を開始し、CLK ピンの電圧のピークの 3 回目で CT ピン (ピン 9) が発振を開始し、回路は自己発振を開始する。このように、コンデンサ 11 は、シャットダウン回路の外部に設けられており、回路の起動のタイミングを決定している。

以上から明らかとなっており、コンデンサ 11 が「外部タイミングコンデンサ」(構成要件 1 - F, 1 - H) に該当し、本件ランプ安定回路 1 は、コンデンサ 11 上の電圧からなるロー論理レベル信号がしきい値電圧より低いときに、Q1 及び Q2 をターンオン・ターンオフさせるための高圧側及び低圧側出力の上記供給を停止させるための上記ロー論理レベル信号に接続されたシャットダウン回路を備えている。

そして、当該シャットダウン回路は、コンデンサ 11 上の電圧をしきい値電圧と比較するしきい値電圧検出回路を有している。

したがって、本件ランプ安定回路 1 は、本件特許発明 1 の構成要件 1 - F, 1 - H を充足する。

c) 被告は、「外部タイミングコンデンサ」とは、自己発振駆動回路の発振の周波数を定めるコンデンサを意味すると主張する。

しかし、本件特許発明 1 の特許請求の範囲には単に「外部タイミングコンデンサ」と記載されているだけであるから、当該記載から自己発振

駆動回路の発振の周波数を定めるコンデンサのみを意味すると限定解釈する理由はないし、特許請求の範囲に記載の発明は実施例に限定されるわけではなく、実施例の記載を根拠に限定解釈することは許されない。

また、本件特許発明1の特徴は、ランプ故障を検知すると、第1及び第2のMOSゲート型パワー半導体デバイスをターンオン及びターンオフさせるための出力の供給を停止させることにより、両方のMOSゲート型パワー半導体デバイスをターンオフさせるように動作する点にある。そして、ランプ故障を検知する手段として、抵抗やコンデンサを組み合わせて構成される故障検出回路を設け、故障検出回路の出力をロー論理レベル信号としてICに入力することは周知技術であり、ロー論理レベル信号をコンデンサ上の電圧の変化として検知することも周知技術である。したがって、本件特許発明1の技術思想との関係では、「外部タイミングコンデンサ」を自己発振駆動回路の発振の周波数を定めるコンデンサのみを指すと限定的に解釈すべき理由はない。

さらに、本件特許発明1については、平成11年1月7日付け拒絶理由通知書に照応してなされた平成11年7月29日付け補正（以下「本件補正」という。）において、シャットダウン回路が外部タイミングコンデンサの電圧に基づいて動作する旨を追加する補正がなされているものの、かかる補正及び同日付け意見書を参酌しても、「外部タイミングコンデンサ」を自己発振駆動回路の発振の周波数を定めるコンデンサに限定解釈すべき理由はない。すなわち、本件補正は、補正前の請求項から引用例を除外する目的で「上記ロー論理レベル信号」を限定したのではなく、その意義をより明確にするために、補正前と内容を変更することなく、「上記ロー論理レベル信号」の意義を明確化するために「外部タイミングコンデンサ上の電圧からなる」ものであることの記載を加えたものにすぎない。

d) 被告の後記イ b)の主張は、特開平6 - 188090号公報(甲8。以下「甲8公報」という。)に本件特許発明1と同様の“両方オフ”の構成が開示されているということに依拠している。

しかし、被告は、MOSトランジスタ(MOSゲート型パワー半導体デバイス)のシャットダウンと、負荷回路のシャットダウン(ランプ回路への電力供給の停止)を混同している。

本件明細書1記載のように、負荷回路をシャットダウンする(ランプ回路への電力供給の停止)方法の一つは、IC内の自己発振駆動回路の自己発振を停止することであるものの、それだけでは、H_o・L_oの一方がHighのままになってしまう場合があるから、両方のMOSトランジスタを確実にターンオフ(シャットダウン)することはできない。また、負荷回路をシャットダウンする他の従来技術としては、ICの電源を落とす方法もあるものの、例えば、高圧側のMOSトランジスタがオンした状態でICの電源が落ちると、高圧側のMOSトランジスタがオンのままになってしまいシャットダウンされない場合がある。

このように、ランプ故障時にランプに対する電力供給をシャットダウンする方法は従来技術において周知のものであったが、両方のMOSトランジスタを確実にターンオフし、回路の再起動時に回路の破壊を防止するようにする構成は従来技術には存在していなかった。

本件特許発明1は、ランプ故障を検知した際、又は、回路の再起動におけるスタートアップシーケンスにおいて、確実に両方のMOSトランジスタをターンオフするようにして、この問題を解決したものであり、これが本件特許発明1の特徴であり、本質的部分である。

甲8公報には、「B O S F E T 2 5 および 2 7 の着火を阻止することによって、ランプは完全にシャット・オフされる。」(【0023】)との記載があるものの、「着火の阻止」とは「ターンオン(着火)をしな

いようにする」という意味であると解され、MOSFET#1スイッチ回路25/MOSFET#2スイッチ回路27内の高圧側MOSFET（判決注・MOSトランジスタと同じ。）と低圧側MOSFETのスイッチングを停止して、高圧側MOSFETと低圧側MOSFETのターンオン処理をそれ以上繰り返すことを停止するという意味にすぎない。これは、この記載が通常動作時に関する記載であり、ランプ故障時に関する記載ではないことから明らかである。

また、ランプ故障を検知した場合の処理については、「このような誤りが検出されると、誤り検出器21はMOSFETゲート・ドライバー23にMOSFET切換え回路25および27への信号を変化させ、それによってランプへの電力は減少するか又は完全にシャット・オフされる。」（【0024】）と記載されているものの、これは、MOSFET#1スイッチ回路25/MOSFET#2スイッチ回路27のスイッチング周波数、すなわちMOSFETゲート・ドライバー23の発振周波数を増大させること、又は、MOSFETゲート・ドライバー23の発振を停止することを意味していると解される。なお、高圧側MOSFET及び低圧側MOSFETの両方が確実にターンオフするかどうかは、MOSFET#1スイッチ回路25/MOSFET#2スイッチ回路27の内部回路の構成に依存するものの、図1にはその内部回路の構成は一切記載されておらず、高圧側MOSFET及び低圧側MOSFETの両方が確実にターンオフするかどうかは一切不明である。

このように、甲8公報に開示されているのは、ランプ故障を検知すると、回路の（自己）発振の周波数を増大させることによりランプへの供給電力を減少させるか、あるいは（自己）発振を停止してランプへの供給電力をシャット・オフさせるという構成であり、両方のMOSFETを確実にターンオフするという構成は開示も示唆もされていない。

e) 被告は、構成要件 1 - F の「上記ロー論理レベル信号」が、請求項 1 の「ロー論理レベル信号」を指すものであると主張する。

しかし、請求項 5 は独立請求項であり、請求項 1 を参照する関係にならないから、被告の主張は特許法上採り得ない。請求項 5 には、「第 1 および第 2 の直流端子」、「負荷回路に対して出力信号を供給するための共通端子」、「第 1 および第 2 の MOS ゲート型パワー半導体デバイス」など、他にも請求項 1 と共通する用語があるが、これらには請求項 1 を参照すべく「上記」が付されていない。以上からすれば、構成要件 1 - F の「上記ロー論理レベル信号」の「上記」は単純な誤記であり、これをないものとして解すべきである。

また、発明の単一性要件から独立請求項相互も一般的発明概念を形成するように連関しているのであるから、各独立請求項が一定の共通性を有していることは当然である。しかし、独立請求項である以上は独立して一つの発明を構成するのであり、一方の独立請求項中の用語の意義について、他方の独立請求項中の用語にのみ係る要素（外部タイミングコンデンサの電圧からなるロー論理レベル信号に接続された入力制御端子を有するタイマ回路）まで付加した上で限定解釈した意義に解すべき理由はない。被告の主張は、この点で特許法の原則を無視したもので、採用の余地はない。

イ 被告の反論

本件ランプ安定回路 1 は、本件特許発明 1 の構成要件 1 - F , 1 - H を充足しない。

a) 構成要件 1 - F , 1 - H の「外部タイミングコンデンサ」とは、次に述べるとおり、本件明細書 1 全体及び出願経過における出願人（原告）の主張によれば、発振のタイミング（周波数）を決めるコンデンサを指すと解すべきである。

b) 本件特許発明1について、出願当初の明細書では、単に出力FETの両方をオフにするシャットダウン回路自体が発明内容であるかのように記載されつつ、実施例としては発振用のタイミングコンデンサを接続する端子(C_Tピン)によってICの中のシャットダウン回路(両方をオフにするもの)が起動する内容が記載されていた。

原告は、拒絶理由通知を受けた後、本件補正によって、クレームに、シャットダウン回路の起動が「外部タイミングコンデンサ」端子への信号による旨を追加記載したのである。本件特許発明1は、両方のFETをオフにするための回路をICの内部に設けるにあたって、他のピンと兼用することにより、ICのパッケージを従来と変える必要がない方法を提案し、しかもC_Tピンと兼用することによって、従来のICで不完全なシャットダウンをしていた場合と外部回路の付け方まで同じにできる場合があるようにしたものである。

拒絶理由通知の引用文献2(甲8公報)には“両方オフ”が示されており、本件特許発明1とこれとの相違点は、補正した「外部タイミングコンデンサ上の電圧からなる」ということ、すなわち“C_Tピン兼用”の点にある。甲8公報では、「BOSFET25および27の着火を阻止することによって、ランプは完全にシャットオフされる」(6欄30行目以下)とされている。この「BOSFET」とあるのは「MOSFET」の誤りであり、また、「MOSFET25および27は180電気度の間隔を置いて高電圧と接地との間に交互に着火され、高周波数出力は2つの絶縁変圧器29および31の入力に供給される。」(6欄6行目以下)との記載からすれば、「着火」はFETをオン、すなわち導通させることを意味しているから、この記載は“両方オフ”を意味している。原告の主張する周波数の調節だけでは、普通は「完全にシャットオフ」にはならない。原告も、本件補正の際の意見書(甲11。以下「本

件意見書」という。)では、上記引用文献2(甲8公報)について、「本引例のシャットダウン回路は、ランプの障害または除去による負荷電流変化に基づいてシャットダウンするものでありますが、本願発明のように、外部タイミングコンデンサ(C_Tピン)の電圧降下を検出し、これに基づいてトランジスタのゲート駆動信号をターンオフさせるものではありません。」(4頁10行目)として、“両方オフ”ではないとの主張はしていない。拒絶理由通知における引用文献1(特開平8-37092号公報。以下「甲7公報」という。)については、「引用文献1の回路は、不足電圧状態の発生時において、ハーフブリッジ接続されたトランジスタ(引用文献中、トランジスタ20,21)のスイッチング動作を停止させるようにのみ動作し、」(4頁2行目)として、“両方オフ”でない点を強く主張しているのと対照的である。

また、本件特許権1の請求項1では、シャットダウン回路の要件の前に、発振回路の時定数コンデンサ(タイミングコンデンサ)への言及があり、これを指して「前記」として、そのコンデンサの電圧によってIC中のシャットダウン回路を起動する旨が記載されている。そして、原告は、本件意見書(甲11)では、「請求項5(旧請求項6)におきましても請求項1と同様の補正を行いました。」(1頁19行目)として、本件特許発明1(請求項5)についても同じ趣旨の補正をしたと主張している。

- c) 被告製品のコンデンサ11は、ICのシャットダウンピン(ピン19)につながっており、ここにはランプの不具合を検知する外部回路の出力が入ってくる。コンデンサ11は、ノイズでシャットダウン回路が誤動作することを防ぐために、ノイズ電圧を吸収する趣旨で入れてあるものである。このピンは、IC内のシャットダウン回路のみにつながっており、本件特許発明1のような発振のためのコンデンサ接続と兼用にはな

っていない。発振用コンデンサをつなぐピンは、別のピン（ピン9，C
Tピン）である。また，コンデンサ11は，そもそも，タイミングを規
定するためのコンデンサではない（それでも，コンデンサである以上は，
電気を蓄える働きにより，その接続された箇所の電圧変動のタイミン
グに何らかの影響を与えることは必然である。）。したがって，コン
デンサ11は，構成要件1-F，1-Hの「外部タイミングコンデンサ」に
当たらない。

- d) 構成要件1-Fの「上記ロー論理レベル信号」とは，請求項1の「外
部タイミングコンデンサの電圧からなるロー論理レベル信号に接続され
た入力制御端子を有するタイマ回路と」における「ロー論理レベル信
号」を指しており，「外部タイミングコンデンサの電圧からなるロー論
理レベル信号に接続された入力制御端子を有するタイマ回路」の信号
である。すなわち，「タイマ回路」の入力制御端子と，シャットダウン
の「ロー論理レベル信号」との接続が規定されている。

被告製品のコンデンサ11及び19番ピン（シャットダウン・ピン）
は独立したものであり，発振のためのタイマ回路と接続されていない
から，コンデンサ11上の電圧からなる信号は，構成要件1-Fの「上記
ロー論理レベル信号」を充足しない。

原告は，「上記ロー論理レベル信号」の「上記」が誤記であると主張
する。しかし，本件明細書1の他の部分や本件意見書との関係でも，「上
記」とあってこそ内容的に整合する。

- (2) 争点2（本件ランプ安定回路1は，本件特許発明1と均等か。）について

ア 原告の主張

仮に，構成要件1-F，1-Hの「外部タイミングコンデンサ」が文言
上「自己発振駆動回路の発振周波数を定めるコンデンサ」を意味するとし
ても，本件ランプ安定回路1のコンデンサ11は，構成要件1-F，1-

Hの「外部タイミングコンデンサ」と均等であるから、本件ランプ安定回路1は本件特許発明1の技術的範囲に属する（予備的主張）。

- a) 本件ランプ安定回路1における自己発振駆動回路の発振周波数を定めるためのコンデンサは、コンデンサ2であり、ランプ故障を検知した際に所定のしきい値電圧と比較されるのは、ランプ故障検知用のコンデンサであるコンデンサ11上の電圧であるから、構成要件1-F、1-Hの「外部タイミングコンデンサ」が「自己発振駆動回路の発振周波数を定めるコンデンサ」を意味するとすれば、コンデンサ11は構成要件1-F、1-Hの「外部タイミングコンデンサ」に当たらない。

しかし、コンデンサ11と「外部タイミングコンデンサ」との相違は、本件特許発明1の本質的部分ではない。すなわち、本件特許発明1の本質的部分は、ランプ故障が発生した場合に、第1及び第2のMOSゲートパワー半導体デバイスの両方をターンオフすることにより、ランプ故障検知用のコンデンサとして、自己発振の周波数を定めるためのコンデンサを用いるか、それともランプ故障検知専用などの他の目的で設けられたコンデンサを用いるかは設計事項にすぎないからである。

被告は、本件特許発明1の本質的部分は、C_Tピンとシャットダウンピンを兼用して、両方のMOSトランジスタをオフにすることであると主張するようである。しかし、シャットダウン時にMOSトランジスタのゲートに電荷が蓄積されたままになりオンしたままになることが乙12号証記載のように希なことであるとしても、確実に故障を回避することにより製品の信頼性を高めることは重要な技術的課題である。確実に両方のMOSトランジスタをターンオフすることができないことが技術的課題として知られていたとしても、両方のMOSトランジスタを確実にターンオフすることが発明の本質的部分になり得ないということにはならない。また、本件明細書1及び出願経過のいずれにおいても、被告

主張のように、C_Tピンとシャットダウンピンを兼用することが従来技術との相違であるということは記載されていないし、出願経過において「外部タイミングコンデンサ上の電圧からなる」という文言を請求項に加えたのは、「上記ロー論理レベル信号」の意義を明確化しただけで、従前の技術的範囲を限定したものではない。

- b) ランプ故障を検知する手段として、故障検出回路の出力をロー論理レベル信号としてICに入力するために、コンデンサ上の電圧の変化として検知することは周知技術である。そして、自己発振の周波数を定めるコンデンサの他にコンデンサを設けて、当該コンデンサをランプ故障検知用のコンデンサとして利用しても、第1及び第2のMOSゲートパワー半導体デバイスの両方をターンオフし、回路の再起動時にMOSゲートパワー半導体デバイスの両方がオンになって回路を破壊することを防止するという本件特許発明1の目的を達することができ、同一の作用効果を有する。したがって、本件ランプ安定回路1のコンデンサ11は、本件特許発明1の「外部タイミングコンデンサ」と置換することが可能である。

被告は、被告製品はC_Tピンとシャットダウンピンを兼用しておらず、本件特許発明1のように8ピンのICパッケージに収めることができないし、異常時にC_Tピン電圧を下げる従来品を前提とした周辺回路に差し替えて使うこともできないから、本件特許発明1と同一の作用効果を奏するものではないと主張するようである。しかし、被告の主張する上記効果が本件特許発明1の作用効果であるとする根拠は、本件明細書1及び出願経過のいずれにも見出せない。本件特許発明1の作用効果は、ランプ故障等の異常発生時に両方のMOSトランジスタを確実にターンオフして回路の破壊等を防止することであり、この効果が被告製品にも存することは、被告も争っていない。

- c) 自己発振の周波数を定めるコンデンサの他にコンデンサを設けて、当該コンデンサをランプ故障検知用のコンデンサとして用いることは、当業者にとって容易であり、何らの困難性もない。重要なことは、コンデンサ上の電圧低下によりランプ故障を検知した後の処理、すなわち、第1及び第2のMOSゲートパワー半導体デバイスの両方をターンオフすることであり、ランプ故障検知用のコンデンサの種類を置換することは設計事項にすぎない。したがって、本件特許発明1の「外部タイミングコンデンサ」を本件ランプ安定回路1のコンデンサ11に置換することは容易に想到することができるものである。
- d) 本件特許発明1の「外部タイミングコンデンサ」を本件ランプ安定回路1のコンデンサ11に置換したとしても、ランプ故障時に第1及び第2のMOSゲートパワー半導体デバイスの両方をターンオフするという構成は、公知技術と同一又は当業者が出願時に容易に推考できたものとはいえない。
- 被告提出の先行文献のどれ一つとして、シャットダウンピンに接続されたコンデンサ上の電圧がしきい値より低くなることで異常状態を検知して両方のMOSトランジスタを確実にオフする構成を開示したものは存在しない。
- e) 本件補正は、補正前の「上記ロー論理レベル信号」の意義を明確化するためになされたもので、補正の前後でクレームから意識的に除外されたものはない。この理は、「外部タイミングコンデンサ」を自己発振駆動回路の発振周波数を定めるためのコンデンサと限定解釈したとしても、何ら異なるところはない。

イ 被告の反論

本件ランプ安定回路1の構成は、本件特許発明1の構成と均等とはいえない。

a) 原告は、本件特許発明1の本質的部分について、ランプ故障が発生した場合に、第1及び第2のMOSゲートパワー半導体デバイスの両方をターンオフすることにより、これにより、回路の再起動時にMOSゲートパワー半導体デバイスの両方が同時にオンになって回路を破壊することを防止している、と主張する。

しかし、単に回路として両方をオフにする構成を取ることは、従来から一般的になされていることである。本件明細書1でも、従来技術の説明として、不足電圧ロックアウト回路について、「図4の回路の欠点は、ソケット内でランプが交換されるときのように故障状態が終了したときに、チップに供給される電源電圧 V_{CC} がその不足電圧のしきい値以下に放電されているため、全体の電力上昇手順が繰り返されなければならないことである。実際には、回路はパワートランジスタ40、42の両方をオフさせるためにIC30の不足電圧ロックアウト回路122に依存している。」(【0020】)と記載して、これを認めている。

本件特許発明1は、これを避けるように、電源電圧ではなくて C_T ピン兼用で両方をオフにする回路を設けるというものである。請求項5が「外部タイミングコンデンサ上の電圧からなる上記ロー論理レベル信号」により起動するシャットダウン回路としているのは、この趣旨である。

“両方オフ”と“ C_T ピン兼用”の双方が、本件特許発明1の本質的部分である。

被告製品のシャットダウン回路は、「両方をターンオフ」する回路ではあるが、 C_T ピン兼用での起動ではなく、この違いは本質的である。

b) 被告製品は、 C_T ピン兼用での起動ではなく、36本の端子があり、パッケージとしては40本の端子を設けることができる大きさのものを使用しているから、本件特許発明1のように8ピンのICパッケージに収めることができない。また、被告製品は、異常時に C_T ピン電圧を下

げる，従来品を前提とした周辺回路に差し替えて使うこともできない。
このように，被告製品は，本件特許発明 1 と同一の作用効果を奏するものではない。

- c) 被告製品における“両方オフ”という構成だけなら先行技術にあり，又は，それから容易に想到し得るものである。シャットダウンの点については，被告製品は独立のピンを設けている当たり前の回路であるから，出願時公知の技術である。
- d) 本件補正の経過とその際に提出された本件意見書の内容に照らして，被告製品のようなシャットダウン用に独立のピンを設けた回路は，本件補正で除外されたものであり，意識的除外に当たる。

(3) 争点 3 (本件特許 1 は無効とされるべきものか。) について

ア 被告の主張

本件特許発明 1 は，原告主張の解釈（構成要件 1 - F の「外部タイミングコンデンサ上の電圧からなる上記ロー論理レベル信号」についての無限定な解釈）を前提とすると，「HIP5500 HIGH VOLTAGE(500V_{DC}) POWER SUPPLY DRIVER IC」と題する文献（乙 8。以下「乙 8 文献」という。），甲 7 公報，甲 8 公報，特開昭 6 3 - 1 7 5 3 9 3 号公報（乙 7。以下「乙 7 公報」という。），「PIC データブック」と題する文献（乙 9。以下「乙 9 文献」という。），米国特許第 5 5 5 0 4 3 6 号公報（乙 1 3。以下「乙 1 3 公報」という。），「SELF-OSCILLATING HALF-BRIDGE DRIVER」と題する文献（乙 1 4。以下「乙 1 4 文献」という。また，上記各文献ないし公報に記載された発明を「乙 8 発明」，「甲 7 発明」などという。）に記載された公知の発明と同一であり，若しくは，これに基づいて当業者が容易に発明をすることができたものであるから，特許法 2 9 条 1 項 1 号又は同条 2 項により特許を受けることができず，特許無効審判により無効にされるべきものである。したがって，同法 1 0 4 条の 3 第 1 項により，原告

の本件特許権 1 の行使は許されない。

a) 乙 8 文献による新規性の欠如について

乙 8 文献の 1 2 頁の図 1 1 (FIGURE11. DEMO BOARD SCHEMATIC) の「 V B U S 」がプラスに、「 C O M 」がマイナスに接続されている。すなわち、この極性の「直流バス電源」によるものであり、「負荷回路を駆動する回路」であるから、乙 8 発明は、構成要件 1 - A を充足する。

図 1 1 におけるプラスに接続された「 V B U S 」及びマイナスに接続された「 C O M 」が「直流バス電源に接続された第 1 および第 2 の直流端子」に当たり、「 Q 1 」と「 Q 2 」の間からつながる「 C 」のつながっている箇所が「負荷回路に対して出力信号を供給するための共通端子」に当たる。「 Q 1 」と「 Q 2 」が「第 1 および第 2 の M O S ゲート型パワー半導体デバイス」であり、これらは「ハーフブリッジの構成で接続され」ているから、乙 8 発明は、構成要件 1 - B を充足する。

図 1 1 における「 C 」端子は、「上記第 1 及び第 2 の M O S ゲート型パワー半導体デバイス間のノードにおいて設けられており」のとおり、「 Q 1 」と「 Q 2 」の間からつながっており、乙 8 発明は、構成要件 1 - C を充足する。

図 1 1 における「 1 9 」番端子の「 H O 」と、「 1 2 」番端子の「 L O 」が、それぞれ「第 1 および第 2 の出力」に当たり、乙 8 発明は、構成要件 1 - D を充足する。

乙 8 文献の 3 頁の図 3 (FIGURE3. OSCILLATORS WAVEFORMS) に見るとおり、「 t D E A D T I M E 」と記載された時間だけ遅れて、反対側がオンになる。すなわち、乙 8 発明には、「同時駆動を防止するデッドタイム遅延回路」が備えられており、構成要件 1 - E を充足する。

乙 8 文献の前記図 1 1 の「 C 4 」は、 I C の外部にあるコンデンサであり、これによって電圧変化のタイミングも影響を受けるので、原告主

張の解釈に従えば「外部タイミングコンデンサ」に当たり、このコンデンサの電圧が、原告主張の解釈に従えば「上記ロー論理レベル信号」に当たる。「低位側の低電圧状態（ V_{CC} と GND の間で検知される）は、低位側ドライバのラッチ回路を直ちにリセットし、 NOR 回路への入力を通じて『off』信号が高位側および低位側の両方のパワー $MOSFET$ へ送られるように働く。」(乙8文献6頁)との記載からすれば、「第1および第2の MOS ゲート型パワー半導体デバイス」の両方について「供給を停止」するものである。乙8文献の6頁左欄中程からの説明によれば、「Under-Voltage Lockout」回路（低電圧ロックアウト回路）は、「 $C4$ 」の電圧が所定の電圧より低いときに両方の MOS トランジスタをオフにするものであり、「シャットダウン回路」に当たるから、乙8発明は、構成要件1-Fを充足する。

乙8発明の回路も自己発振を元にして駆動する回路であり、5番ピン（ C_T 端子）に接続された外部コンデンサへの充電と放電によって発振をするための回路が内蔵されているから、構成要件1-Gを充足する。

図11における低電圧ロックアウト回路は、「 $C4$ 」という外部のコンデンサの電圧が所定より低い場合に両方の MOS トランジスタをオフにするものであり、この機能は「しきい値電圧検出回路」によっているから、原告主張の解釈に従えば、乙8発明は、構成要件1-Hを充足する。

乙8発明の回路は、構成要件1-Aないし1-Hをすべて充足する回路であるから、構成要件1-Iを充足する。

以上のとおり、原告主張の解釈を前提とすれば、乙8発明の低電圧ロックアウト回路は、本件特許発明1のすべての構成要件を充足するから、本件特許発明1は新規性がなく、無効である。

また、乙8文献の2頁の図2（FIGURE2. HIP5500 FUNCTIONAL

BLOCK DIAGRAM)によれば、その左上方の上から2番目の端子が「SD」とされており、シャットダウン起動のための端子である。これが比較器を経てNOR回路（OR回路の反転出力）のそれぞれの入力の一つとなっているので、結局、「SD」が起動すると、ドライブ出力（HOとLO）はいずれもオフになる。

このように、乙8文献には“両方オフ”が開示されているから、本件特許発明1は、この点でも新規性がなく、無効である。

原告は、両方をターンオフするように動作するか否か不明であると主張する。しかし、高圧側と低圧側のそれぞれについて、多入力のNOR回路（OR回路の反転出力）が入っていて、その入力の一つはSDピンからコンパレータを介して通じている。SDピンがアクティブになれば、それだけでこのNOR回路がアクティブになるので、両方のドライブはオフにならざるを得ない。

b) 甲7公報による新規性の欠如について

甲7公報の図2の「22」がプラス、「23」がマイナス側に接続されている。すなわち、甲7発明は、この極性の「直流バス電源」によるものであり、「負荷回路を駆動する回路」であるから、構成要件1-Aを充足する。

図2の「22」及び「23」が「直流バス電源に接続され、直流バス電源に接続された第1および第2の直流端子」に当たり、「20」および「21」のFETが「第1および第2のMOSゲート型パワー半導体デバイス」に当たる。これらは、その間のところで接続されて右側の負荷につながっており、「負荷回路に対して出力信号を供給するための共通端子とを有するハーフブリッジの構成で接続された」に当たるから（なお、この交点には結線を意味する「」が明示されていないが、結線されている趣旨であることは自明であり、現に、この図に対応する米国特

許第5550436号(乙13)の修正頁のFIG2では「 」が付されている。), 甲7発明は, 構成要件1-Bを充足する。

上記の点, すなわちICの「Vs」端子とコンデンサ「26」につながっている箇所が, 「上記共通端子」に当たり, 「上記第1及び第2のMOSゲート型パワー半導体デバイス間のノードにおいて設けられて」いるから, 甲7発明は, 構成要件1-Cを充足する。

図2のICの「Ho」と「Lo」が「上記第1および第2のMOSゲート型パワー半導体デバイスをそれぞれ駆動するための第1および第2の出力」に当たるから, 甲7発明は, 構成要件1-Dを充足する。

甲7公報の「バイアス回路106は, RSラッチ104, ロックアウト回路105及びハイサイド及びローサイドラインにあるデッドタイムディレイ回路107, 108に, バイアス出力を供給する。タイムディレイ回路107及び108は, ハイサイドまたはローサイドのスイッチの一方がオフとなった後, 他方がオンになるまでの間に, 約1マイクロ秒のデッドタイムまたは遅れを供給する。この遅れ時間は, パワーMOSFET20, 21が同時にオンになることにより形成される, いわゆるシュートスルー回路の発生を阻止する。」(【0021】)との記載によれば, 甲7発明は, 構成要件1-Eを充足する。

甲7公報の請求項8は「更に, 上記Vccピンに接続され, そのVccピン位置の電圧を測定し, 上記ラッチ回路手段及びハイサイド及びローサイドのデッドタイム回路に接続され, 該Vccピンの電圧が一定値以下になった時ラッチ回路手段及びディレイ回路を作動しないようにするための低電圧トリップ回路手段を含む請求項4記載の集積回路。」であり, 請求項4を介して請求項1の従属項である。この「ハイサイド及びローサイドのデッドタイム回路に接続され」との記載からすれば, この「低電圧トリップ回路」は, 両方がオフになるように働く回路である。

また、甲7公報の「RSラッチ104は、チップ回路に組み込まれたアンダーボルテージロックアウト回路105と接続されている。このように、もしV_{cc}が低くなった場合は、RSラッチ104が遮断される。」(【0020】)とされている。原告主張の解釈に従えば、電源に入っている「コンデンサ42」が「外部タイミングコンデンサ」に当たり、構成要件1-Fを充足し、もちろん構成要件1-Gも充足する。

甲7公報の「アンダーボルテージロックアウト回路105」は、「しきい値電圧と比較するしきい値電圧検出回路」に当たるから、甲7発明は、構成要件1-Hを充足する。

甲7公報の回路は、構成要件1-Aないし1-Hをすべて充足する回路であるから、甲7発明は、構成要件1-Iを充足する。

以上のとおり、原告主張の解釈を前提とすれば、甲7発明の低電圧トリップ回路ないし低電圧ロックアウト回路ないしアンダーボルテージロックアウト回路は、本件特許発明1のすべての構成要件を充足するから、本件特許発明1は、新規性がなく、無効である。

なお、原告は、審査段階での意見書(甲11)において、甲7発明について、電圧不足時の停止が「トランジスタ20、21」と両方のトランジスタについてであることを認め、「C_Tピン上での電圧降下に基いては活動化されず」との点で違いを主張していた。しかし、現在の原告主張の解釈のように「C_Tピン」の電圧との限定がないとすると、「低電圧トリップ回路」のように電源電圧で起動する回路も区別がされないことになるから、そのような解釈を前提とすれば、本件特許発明1は、当然に新規性がない。

c) 甲8公報による新規性の欠如について

上記(1)イ b)のとおり、甲8公報には“両方オフ”が開示されているから、原告主張の解釈を前提とすれば、甲8発明は、本件特許発明1の

すべての構成要件を充足する。よって、本件特許発明1は、新規性がなく、無効である。

d) 乙7公報による新規性の欠如について

乙7公報の第1図及び第2図を見ると、AND回路G1及び同G2の出力(AとB)がトランジスタのドライブになっており、これらのAND回路の入力は、発振器(OSC1)と並んで、第1図の2で示された回路からの出力が入っている。この2は、「放電灯脱着検出回路」であり(そこにはコンデンサC3も入っており、ノイズ除去のためのものであるが、タイミングにも影響を与えている)、これが働くと、AND回路G1及び同G2の機能により、発振器からの信号にかかわらず、両方オフが続く。なお、この例ではスイッチング素子は、トランジスタ(バイポーラ)で、本件特許発明1の「MOSゲート型半導体デバイス」ではないものの、この違いが本質的でないことは自明である。

このように、乙7公報には“両方オフ”が開示されているから、本件特許発明1は、新規性がなく、無効である。

e) 乙9文献による新規性の欠如について

乙9文献の「IR2110」を説明している部分の1頁の下の図を見ると、左側の中央に「SD」と記した11番端子があり、そこからシュミットトリガ回路(オンとオフの切替を確実にする回路)を経てNOR回路(OR回路の反転出力)につながっている。これが、H側とL側の両方についてなされているので、SD端子の働きにより、それだけで両側のドライブがオフになる。9頁左側の「機能説明」項の第2段落においても、「SD入力がhighになると2つの出力はターンオフし、」とされている。

このIC「IR2110」は、本件特許発明1と違って、発振回路を内蔵していないから、発振の時定数コンデンサを接続するCTピンはな

く、その兼用ということもない。しかし、蛍光灯点灯装置を主目的の一つとするもので（用途として「バラスト回路」と書いてある）、発振回路を当然に外付けするものであり、そうすれば、兼用以外の点では、本件特許発明1と同様であり、“両方オフ”の点はまったく同じである。

また、このSD端子は電圧を高めて起動させるもので、「ロー論理」ではないが、この違いは適宜選択すれば良いだけのものであり、発明としての意味はあり得ない。

このように、乙9文献には“両方オフ”が開示されているから、本件特許発明1は、新規性がなく、無効である。

原告は、SDピンがランプ故障検知に使用することが開示も示唆もされていないと主張するものの、「ランプ故障検知」要件は本件特許発明1の請求項にはない。過電流検知用としての使用例のみであるということも、請求項との関係では何ら意味のある議論ではない。

乙9文献のIR2110のSDピンの機能は、被告製品の19番ピンと同様であり、電圧を上げるか下げるかの違いはあるが、このピンの電圧をシャットダウンの電圧にすれば、高位側のドライブも低位側のドライブもいずれも低電圧になって、両方の外付けパワー素子（通常はMOSトランジスタ）がオフになる。IR2110のSDピンも、被告製品の19番ピンも、ノイズ除去用のコンデンサを付けるのが典型的な使い方である点も同様である。

また、乙9文献のIR2110にも、「UV detect」の回路があるので、この電源電圧に基づいてのオフの回路が適切に働く限り、両方のMOSトランジスタがオフになる。

このように、乙9文献には、「UV detect」の回路による“両方オフ”も開示されているから、本件特許発明1は、この点でも新規性がなく、無効である。

原告は、「UV detect」回路とシャットダウン回路とはまったく別であると主張する。しかし、実際のICにおいて、前者の回路と後者の回路とで、ドライブ両方をオフにする回路は同じ回路を使っている。本件特許発明1の実施品であるIR2153は、本件特許発明1の内容であるCTピンからのシャットダウン回路と、従来からの「UV detect」回路とをどちらも備えており、これらはいずれもデッドタイム遅延回路を通じて働くことになる。「UV detect」回路の方が、両方オフの点で不完全なのは事実であるが、それは電源電圧が落ちてしまうことで所定の機能が果たされなくなることが原因である。これを避けるためには、「UV detect」回路のように電源電圧低下で起動するのではないようにすればよい。そこで、8ピンのパッケージのままですべてを実現するべく、CTピン兼用にしようというのが、本件特許発明1である。独立したシャットダウンピンを持つだけの被告製品が侵害とされる道理がない。

f) 乙13公報による新規性の欠如又は容易想到性について

本件明細書1において従来技術の一つとしてあげられている乙13公報には、「正常な（あるいは異常な）パワー・ダウンの際に、供給電圧VccがUVCCコンパレーターの低い側のしきい値を下回るまで落ちると、出力信号は高位側および低位側のゲート・ドライバにスイッチングを停止するように命じて、HOとLOの両方を低い状態にセットします。これにより、低いゲート電圧で過度の自己発熱になることからパワーMOSFET20および21を保護します。」(9欄、「C.Powerdown」のセクション)と記載されている。この「UVCC」というのは、電源電圧の検知をする回路で、それが所定電圧よりも低くなるとドライブ出力を止めるように働き、これによって、電源電圧不足による不安定動作に起因する障害から、パワー素子などを保護するものである。この「UVCC」が機能すれば、「HOとLOの両方」が「低い状態にセット」

されるのであり、「UVCC」により“両方オフ”になることが分かる。この「UVCC」は電源端子の電圧（電圧不足）によって起動するもので、CTピン兼用での両方オフである本件特許発明1とは違うが、「外部タイミングコンデンサ」は発振用のコンデンサ（すなわち、CTピンに接続されるコンデンサ）に限られないとの原告主張を前提とすれば、先行技術と同じになってしまうのである。なお、電源端子にコンデンサを付するのは極めて当然の回路である。特にこの「UVCC」の関係では、電圧降下（すなわち、 dv/dt ）が急峻すぎると「UVCC」の回路が機能しないうちに電源電圧不足になってしまうので、それを避けるためにもコンデンサを入れるべきである（この意味でタイミング設定のためのコンデンサである）。

g) 乙14文献による新規性の欠如又は容易想到性について

乙14文献の1頁目の「Features」（特徴）によれば、本件特許明細書1において、従来技術として言及されている原告のIC「IR2151」には「Undervoltage lockout」（不足電圧ロックアウト）の機能が備えられている。乙14文献の4頁目の上欄に示されている「Functional Block Diagram」（機能ブロック図）において、「UV DETECT」（低電圧検知）とされている箇所がこの機能を果たす。この「UV DETECT」の出力は、高圧側と低圧側の両方の「DEAD TIME」回路に接続されており、両方をオフにすることが分かる。このことは、「Technical Overview of IR215x Products」と題する文献（乙15。以下「乙15文献」という。）に記載された本件特許発明1の実施品である「IR2153D」のブロック図との対比からも明らかである。

イ 原告の反論

本件特許発明1は、乙8文献、甲7公報、甲8公報、乙7公報、乙9文献、乙13公報、乙14文献に記載された公知の発明と同一ではなく、こ

れに基づいて当業者が容易に想到することができたものでもなく、特許法 29 条 1 項及び同条 2 項に該当するものではないから、特許無効審判により無効にされるべきものには当たらない。

a) 乙 8 文献は、「Copyright © Intersil Americas Inc. 2001. All Rights Reserved」との記載によれば、本件特許権 1 の優先日（1996 年 10 月 21 日）前に頒布されたものとは認められないから、これを根拠に新規性を欠くという被告の主張は失当である。

念のためにいえば、被告は、乙 8 文献の 12 頁の図のいかなる箇所が構成要件 1 - A の「直流バス電源」、「負荷回路を駆動する回路」に該当するか主張していない。また、低電圧ロックアウト回路と構成要件 1 - F の「シャットダウン回路」とはまったく別のものであるし、乙 8 発明のコンデンサ C 4 は、IC に供給される電源 V_{DC} 上の雑音を除去するための、いわゆるバイパスコンデンサ（パスコン）であり、ランプ故障の検知とは無関係であるから、「外部タイミングコンデンサ」に当たらず、コンデンサ C 4 上の電圧もランプ故障検知用に用いられていないから「ロー論理レベル信号」に当たらない。さらに、乙 8 文献には、「シャットダウン回路」も「外部タイミングコンデンサ」も開示されていないから、構成要件 1 - H が開示されていることはあり得ないし、「しきい値電圧検出回路」に関する記載もない。

また、乙 8 発明の回路の場合、回路の短絡を検知したときや IC の電源が落ちたときに確実に高圧側 MOSFET と低圧側 MOSFET の両方をターンオフするように動作するか否かは、IC 内部の構成に依存するものの、乙 8 文献の記載だけでは、そのような動作をするか否かが不明である。すなわち、乙 8 文献には、高圧側 MOSFET と低圧側 MOSFET の両方をターンオフする構成は開示も示唆もされていない。

なお、乙 8 発明の SD ピンは、回路の短絡を検知したときに、短絡に

よる大電流（過電流）で回路が破壊されることを防止するために用いるピンである。回路を過電流から保護するためには、回路の発振を停止すれば目的が達せられるので、この点でも、高圧側MOSFETと低圧側MOSFETの両方を確実にターンオフする構成を想起することはできない。

また、被告の主張は、構成要件1-Fの一部である「上記第1および第2のMOSゲート型パワー半導体デバイスをターンオンおよびターンオフさせるための高圧側および低圧側出力の上記供給を停止させる」という構成に限られており、構成要件1-Fのその他の点や構成要件1-Aないし1-Hについても、それに相当する構成の開示や示唆については何も主張されていない。

- b) 被告は、甲7公報の図2のいかなる箇所が構成要件1-Aの「直流バス電源」、「負荷回路を駆動する回路」に該当するか主張していない。また、低電圧トリップ回路（アンダーボルテージロックアウト回路105）は、乙8文献の低電圧ロックアウト回路と同様に、構成要件1-Fの「シャットダウン回路」とは異なるものであり、同様に、コンデンサ42は、いわゆるパスコンであり、「外部タイミングコンデンサ」には当たらない。さらに、甲7公報には、「シャットダウン回路」も「外部タイミングコンデンサ」も開示されていないから、構成要件1-Hが開示されていることはあり得ないし、コンデンサ42上の電圧をしきい値と比較していることに関する記載はない。
- c) 上記(1)ア d)のとおり、甲8公報には“両方オフ”，すなわち両方のMOSトランジスタを確実にターンオフするの構成は開示も示唆もされていないから、これを前提とする被告の主張は失当である。
- d) 乙7発明のスイッチング素子Tr1・Tr2は、MOSFET（MOSゲート型パワー半導体デバイス）ではなく、バイポーラ・トランジス

タである。ゲートの電圧の高・低によりオン・オフが制御されるMOSFETの場合、一旦ターンオンするとゲートをグラウンドに導通させて電荷を引き抜いてやらない限り、ターンオフしないという特徴があるのに対し、ベースからエミッタに電流が流れている間にオンになり、コレクタ・エミッタ間が導通するというバイポーラ・トランジスタ(NPN型)の場合、ベースを流れる電流が停止すれば、コレクタ・エミッタ間は遮断され、バイポーラ・トランジスタはオフになる。したがって、乙7公報の図1の回路では、発振制御回路4の発振が停止し、端子A・BからトランジスタTr1・Tr2のベースへの電流が止まれば、それで必ず両方のトランジスタはターンオフするから、スイッチング素子にMOSトランジスタを用いる場合とは異なり、高圧側スイッチング素子と低圧側スイッチング素子の両方を確実にターンオフしなければならないという課題自体が存在していない。

また、被告の主張は、構成要件1-Fの一部である「上記第1および第2のバイポーラ・トランジスタをターンオンおよびターンオフさせるための高圧側および低圧側出力の上記供給を停止させる」という構成に限られており、「MOSゲート型パワー半導体デバイス」や「外部タイミングコンデンサ」などの構成要件1-Fのその他の点や構成要件1-Aないし1-Hについても、それに相当する構成の開示や示唆については何も主張されていない。

- e) 乙9文献のIR2110は、ICの電源が落ちた場合、HOまたはLOがHighのままになり、高圧側MOSトランジスタまたは低圧側MOSトランジスタへの供給が停止しないという問題がある。また、乙9も、SDピンをランプ故障検知に使用することは開示も示唆もされていない。SDピンの使用例として記載されているのは、過電流検知用としての使用例のみである。

したがって、乙9文献の記載から高圧側MOSトランジスタと低圧側MOSトランジスタの両方を確実にターンオフする構成を想起することはできない。

また、被告は、例えば構成要件1-Gの自己発振駆動回路などの開示や示唆が乙9にはないことを無視しているなど、本件特許発明1の構成要件すべての主張が欠けている。

f) 被告は、乙9文献には、「UV detect」回路があるから“両方オフ”になると主張する。しかし、「UV detect」回路は、ICの起動時にICへの供給電圧が一定値以上に上昇するまで回路を動作させず、かつ動作中にICへの供給電圧が一定値以下になった場合に回路を停止するための回路であり、ICが不安定な電圧で動作することによる誤動作や回路破壊を防止するためのものである。このように、「UV detect」回路はシャットダウン回路とはまったく別のものである。本件明細書1の中においても、IC30が「UV detect」回路を内蔵している場合でも、両方のMOSトランジスタを確実にオフするシャットダウン回路の必要性が述べられている。また、「UV detect」回路が備わっていたとしても、両方のMOSトランジスタを確実にオフできず、一方のMOSトランジスタがオンのままになってしまうという問題が存在することも、本件明細書1に明記されているとおりである（【0022】）。そもそも被告の主張は、「UV detect」回路が本件特許発明1の構成要件のいずれに相当すると主張するのかさえ明らかではない。

g) 乙13公報、乙14文献及び乙15文献に関する被告の主張は、これらの文献にも「UV detect」回路（UVCC）に関する記載があるということに尽きる。しかし、「UV detect」回路が本件特許発明1の無効事由となるものではないことは、上記f)のとおりである。

なお、乙14文献は、その5頁末尾に記載されているように平成13

年3月30日付けの文献であり、本件特許発明1の優先日である平成8年10月21日より後に刊行されたものであるから、公知文献に該当しない。

(4) 争点4（本件特許権1に係る被告の責任原因）について

ア 原告の主張

- a) 被告製品は、松下電工の指定した仕様に基づいて製造されており、松下電工の製造販売する本件ランプ安定回路1に組み込んで利用される専用部品である。

したがって、被告製品は、本件特許発明1の実施品である本件ランプ安定回路1の生産にのみ用いる物に該当する。

よって、被告が被告製品を生産、譲渡若しくは輸入又は譲渡等の申出をする行為は、特許法101条1号の間接侵害に該当し、本件特許発明1の特許権を侵害するものである。

被告は、被告製品の他の用途、すなわちランプ故障時に高圧側MOSトランジスタと低圧側MOSトランジスタの両方を確実にターンオフするようなランプ安定回路以外の実用的な用途を一切挙げていない。また、被告製品のSDピン（ピン19）はランプ故障検知用のピンであり、SDピンに接続されたコンデンサ11上の電圧低下によりランプ故障を検知したときは高圧側MOSトランジスタと低圧側MOSトランジスタを確実にターンオフするように動作するのであるから、被告製品は本件特許発明1の実施品の生産にのみ用いる物であることが明白である。

- b) 被告製品は、松下電工の指定した仕様に基づいて製造されており、松下電工の製造販売する本件ランプ安定回路1に組み込んで利用される専用部品であるから、本件ランプ安定回路1の生産に用いられるものであり、かつ日本国内において広く一般に流通しているものではない。

また、被告製品は、ランプ故障検知によりSDピン（ピン19）に接

続されているコンデンサ 11 の電圧が低下して所定のしきい値を下回ると、MOS トランジスタ Q1 及び Q2 をターンオン・ターンオフさせるための高圧側 (Ho) 及び低圧側 (Lo) の出力の供給を停止し、MOS トランジスタ Q1 及び Q2 の両方を確実にターンオフするように構成されているから、ランプ故障時に第 1 及び第 2 の MOS ゲート型パワー半導体デバイスの両方を確実にターンオフするようにすることで、ランプ故障時に駆動回路の構成部品が破壊されることを防止する、という本件特許発明 1 の課題の解決に不可欠なものである。

そして、被告は、遅くとも平成 17 年 6 月 9 日付けの原告から被告に宛てた書面 (甲 15。以下「甲 15 書面」という。) により、被告の製造販売する IC が本件特許権 1 を侵害するものであることを認識していた。

したがって、遅くとも平成 17 年 6 月 9 日以降に被告製品を生産、譲渡若しくは輸入又は譲渡等の申出をする行為は、特許法 101 条 2 号の間接侵害に該当し、本件特許発明 1 の特許権を侵害するものである。

被告製品が特定の特許権を侵害する製品 (直接侵害品) の生産に用いられているという裸の事実を認識すれば 2 号の「悪意」に該当するのであり、それ以上に直接侵害か間接侵害かという厳密な法的構成の理解までは不要であるし、本件特許発明 1 の請求項を読めば、松下電工のランプ安定回路に組み込まれた被告製品が間接侵害を構成するということが甲 15 書面の意図であることは何人にも明白である。

- c) 本件ランプ安定回路 1 は、松下電工の指定した仕様に基づいて製造される被告製品を回路基板に取り付けたものであり、本件特許発明 1 の技術的範囲に属するものである。

したがって、被告が被告製品を生産、譲渡若しくは輸入又は譲渡等の申出をする行為は、松下電工と客観的及び主観的に関連共同して、本件

特許発明 1 の特許権を直接侵害する行為に該当する（予備的請求原因）。

被告は、民法 7 1 9 条 1 項の共同不法行為の成立を争っている。しかし、被告製品は、ランプ安定回路の制御に用いる専用 IC として、ランプ安定回路を製造する松下電工の指定した仕様に基づき設計されている松下電工製品の専用部品であること、被告製品の SD ピン（ピン 1 9）はランプ故障検知用のピンであり、SD ピン（ピン 1 9）に接続されたコンデンサ 1 1 上の電圧低下によりランプ故障を検知したときは高圧側 MOS トランジスタと低圧側 MOS トランジスタの両方を確実にターンオフするように動作し、被告製品には本件特許発明 1 の実施品の生産に用いる以外の実用的な用途が存在しないことからすれば、被告が被告製品を松下電工に供給する行為は、松下電工と行為を分担して本件特許権 1 を侵害するものであることは明らかであるし、被告は松下電工の行為及び意図を認識していたと解される。

- d) 仮に被告の行為が民法 7 1 9 条 1 項の共同不法行為に該当しないとしても、同条 2 項の共同不法行為（幫助）に該当する。

上記 c) 及び の事実を照らせば、被告が被告製品を松下電工に供給する行為は、松下電工による直接侵害を容易ならしめており、被告にはその事実の認識もあるからである。

特許法 1 0 3 条の過失の推定規定の趣旨は、特許権侵害における過失の立証の困難さに鑑みたものであるから、その適用対象から他者と共同して侵害した者を除外すべき理由はなく、「他人の特許権（又は専用実施権）を侵害した者」には、単独で侵害した者だけでなく、他者と共同して侵害した者も含まれる。また、原被告間においては、被告が原告特許権を侵害したことを理由に米国において訴訟が提起され、被告が原告に対して賠償金を支払ったことが以前にあったのであるから、被告は、原告が米国のみならず日本においても、被告会社の製品分野に関する多

数の特許権を保有していることを熟知していたのであり、原告保有の特許を調査すべき高度の義務を負っていたといえる。したがって、特許法103条の適用の有無にかかわらず、被告には過失が認められる。さらにいえば、被告は、遅くとも平成17年6月9日付けの甲15書面により、被告製品が使用されている松下電工の本件ランプ安定回路1が本件特許権1を侵害するものであることを認識したから、遅くともこの時点以降の行為には故意が認められる。

イ 被告の反論

- a) 上記ア a)は否認する。被告は、松下電工との契約上の義務として、被告製品を他に販売することはできない。しかし、被告製品は、物として、あるいは技術的には、松下電工用でなくても、インバータ回路ICとして一般的に使用可能である。また、被告は、厳密には、同社グループの他社にも供給している。
- b) 上記ア b)は否認する。甲15書面はIC自体が侵害であるとするものであるのに対し、本件訴訟では松下電工の回路が直接侵害であるとする主張であって、IC自体が侵害とはならないことは原告自身も認めるところであるから、甲15書面は2号間接侵害のためのものとして失当である。また、平成17年6月9日以降の行為による損害額の主張がなされておらず、原告の主張には不備がある。
- c) 上記ア c)は否認する。原告の主張するところでも被告は侵害行為自体を分担してはいないから、共同不法行為（民法719条1項）であるわけがない。幫助（同条2項）を主張するのが本意かとも思われるが、やはり被告は松下電工の行為を意図も認識もしていないから幫助にも当たらないし、また過失もない。幫助者は「侵害した者」でないから特許法103条の文言に当たらず、過失は推定されない。
- d) 上記ア d)は否認する。

(5) 争点5 (本件ランプ安定回路2は、本件特許発明2と均等か。)について

ア 原告の主張

本件ランプ安定回路2の抵抗R1は、構成要件2-Iの「第1電流制限要素」に文言上該当しないものの、R1は、「第1電流制限要素」と均等である。

また、本件ランプ安定回路2の抵抗R3は、構成要件2-Jの「第2電流制限要素」に文言上該当しないものの、R3は、「第2電流制限要素」と均等である。

したがって、本件ランプ安定回路2は、本件特許発明2の技術的範囲に属する。

a) 本件特許発明2の本質的部分は、誘導電流の流れる経路に電流制限要素(抵抗)を設け、電圧スパイク V_{1s} による誘導電流を制限する点にある。より具体的には、構成要件2-Iの「第1電流制限要素」(R_{bs})を低位側電圧源とブートストラップ回路のダイオード D_{bs} ・キャパシタ C_{bs} 間に設け、また、構成要件2-Jの「第2電流制限要素」(R_s)を低位電力端子と低位側電圧源間に設けることで、電圧スパイク V_{1s} による誘導電流を制限する点にある。

すなわち、本件特許発明2の本質的部分は、二つのトランジスタ間の漂遊インダクタンス L により生ずる電圧スパイク V_{1s} により励起される有害な誘導電流を制限するために、「第1電流制限要素」(R_{bs})と「第2電流制限要素」(R_s)を誘導電流の流れる経路に設けることにある。

まず、構成要件2-Iは、「第1電流制限要素」(R_{bs})をブートストラップ・ダイオード D_{bs} の低位側、すなわち低位側電圧源 V 側に設けることを規定しているものの、「第1電流制限要素」(R_{bs})をブートストラップ・ダイオード D_{bs} の高位側、すなわちブートストラ

ップ・キャパシタ C_{bs} 側に設けても、本件特許発明2と同様の目的を実現することができる。すなわち、本件特許発明2において本質的なのは、「第1電流制限要素」(R_{bs})を誘導電流が流れる経路である低位側電圧源とブートストラップ回路 $D_{bs} \cdot C_{bs}$ 間に設けることにあり、「第1電流制限要素」(R_{bs})をブートストラップ・ダイオード D_{bs} の高位側に置くか、低位側に置くかの相違は、本質的部分ではない。

したがって、本件ランプ安定回路2の抵抗 R_1 は、ブートストラップ・ダイオード D_1 の高位側、すなわちブートストラップ・ダイオード D_1 とブートストラップ・キャパシタ C_1 の間に設けられているが、当該構成と構成要件2-Iの相違は、本件特許発明2の本質的部分ではない。

次に、構成要件2-Jは、「第2電流制限要素」(R_s)を低位電力端子の低位側、すなわち低位側電圧源側に設けることを規定しているものの、「第2電流制限要素」(R_s)を低位電力端子の高位側、すなわち低位側MOSトランジスタ Q_2 側に設けても、本件特許発明2と同様の目的を実現することができる。すなわち、本件特許発明2において本質的なのは、「第2電流制限要素」(R_s)を誘導電流が流れる経路である低位側MOSトランジスタ Q_2 と低位側電圧源 V 間に設けることにあり、「第2電流制限要素」(R_s)を低位電力端子の高位側に置くか、低位側に置くかの相違は、本件特許発明2の本質的部分ではない。

本件ランプ安定回路2の抵抗 R_3 は、低位電力端子の高位側、すなわち低位側MOSトランジスタ Q_2 と低位電力端子の間に設けられているが、当該構成と構成要件2-Jの相違は、本件特許発明2の本質的部分ではない。

被告は、第2電流制限要素の位置が本質的であると主張するものの、その根拠は何ら述べられておらず、失当である。本件特許発明2は、漂

遊インダクタンスによる誘導電流成分を減少させることが本質的な部分であって、第2電流制限要素をどこに接続するのかに意義があるのではなく、どの経路に挿入するのかに意義がある。

- b) 上記 a)のように、構成要件2 - Iの「第1電流制限要素」(R_{bs})をブートストラップ・ダイオード D_{bs} の高位側に置き、構成要件2 - Jの「第2電流制限要素」(R_s)を低位電力端子の低位側に置いても、二つのMOSトランジスタ $Q_1 \cdot Q_2$ 間の漂遊インダクタンス L により生ずる電圧スパイク V_{1s} により励起される有害な誘導電流を制限するという本件特許発明2の目的を達することができ、同一の作用効果を奏する。

したがって、本件ランプ安定回路2の抵抗 R_1 及び抵抗 R_3 は、それぞれ本件特許発明2の構成要件2 - Iの「第1電流制限要素」及び構成要件2 - Jの「第2電流制限要素」と置換可能である。

- c) 構成要件2 - Iの「第1電流制限要素」(R_{bs})をブートストラップ・ダイオード D_{bs} の高位側に置く代わりに、低位側に置くことは、当業者にとって容易であり、何らの困難性もない。同様に、構成要件2 - Jの「第2電流制限要素」(R_s)を低位電力端子の低位側に置く代わりに、高位側に置くことも、当業者にとって容易であり、何らの困難性もない。

したがって、本件特許発明2の構成要件2 - Iの「第1電流制限要素」及び構成要件2 - Jの「第2電流制限要素」をそれぞれ本件ランプ安定回路2の抵抗 R_1 及び抵抗 R_3 に置換することは、当業者が容易に想到することができるものである。

- d) 電圧スパイク V_{1s} により励起される有害な誘導電流を制限することを目的として、ブートストラップ・ダイオード D_{bs} の高位側又は低位側、及び低位電力端子の高位側又は低位側に電流制限要素を設けるとい

う構成は、公知技術と同一又は当業者が出願時に容易に推考できたもの
とはいえない。

- e) 本件特許発明 2 は、一度の拒絶理由通知を受けることもなく、出願当
初明細書のまま特許が付与されている。

したがって、出願手続において本件ランプ安定回路 2 を意識的に除外
した等の特段の事情はない。

イ 被告の反論

本件ランプ安定回路 2 の構成は、本件特許発明 2 の構成と均等とはいえ
ない。

- a) そもそも、本質的部分について、電流制限要素の位置を規定されてい
るとおりとするのでなければ、発明としてあまりにナンセンスである
(「電流制限要素」によって電流を制限するのが発明だ、というのはナン
センスというほかない。)

しかも、原告が構成要件 2 - J の「第 2 電流制限要素」として現在主
張しているものについては、本件明細書 2 にはその接続しか書いていな
いに等しい。すなわち、原告は、本件明細書 2 の発明の詳細な説明で「第
2 電流制限要素」として説明されているものは請求項 7 の「第 3 電流制
限要素」とし、請求項 1 の「第 2 電流制限要素」は、発明の詳細
な説明の「R s」であるとする。この対応関係は、各請求項の規定する
接続からは確かにそうではある。しかし、本件特許発明 2 は、接続だけ
が意義があるのであり、しかも、この「第 2 電流制限要素」R s につい
ては、本件明細書 2 の中に何らの効果の説明もない。原告の効果につい
ての議論は、本件明細書 2 に根拠を有していない。

このように、原告主張の「第 2 電流制限要素」(R s) は、ただ接続
だけで規定されている要素であるのに、それを無視する原告の侵害論は
あり得ない。

b) 本件ランプ安定回路2の抵抗R3は、問題の電流の制限をしないから、この点でも相違するし、構成要件2-Iの「第2電流制限要素」と同一の作用効果を奏しない。

そもそも、原告は、漂遊インダクタンスの働きによる「誘導電流」として、あたかも積極的に電流が流れるかのように主張している。しかし、この主張は誤りである。実際には、高位側MOSトランジスタ(Q1)がオフになった際には、負荷のインダクタンスのために、それでも負荷回路の電流が流れ続けようとするので、それが低位側のダイオード(低位側寄生ダイオードD2)を通して流れる(これが回生電流である。)。漂遊インダクタンスは、原告主張の電流の方向とは逆方向に、この低位側寄生ダイオードからの電流が増えようとするのに対して、その急激な増加を妨げる働きをする。そこで、出力の点の電圧「 V_s 」が、低位電力端子「-Hv」よりさらにマイナスに振れることになる。これに従ってブートストラップ・ダイオードを通じての充電がされるので、そのままではブートストラップ・コンデンサの充電も過剰になる。これが本件明細書2の説く問題点である。また、充電が過剰というだけでなく、それが急激になされる点が、電源回路上のノイズとなるのが問題ともなり得る。

そして、本件明細書2の示す「電流制限要素」は、いずれも、こうした充電電流を制限するものである。しかし、本件ランプ安定回路2の抵抗R3は、低位側MOSトランジスタのソースと低位電力端子-Hvとの間に入っているから、違うものである。高位側MOSトランジスタQ1がオフになる瞬間については、R3の存在は、むしろ低位側ダイオードからの電流を妨げるものであり、この点は、漂遊インダクタンスと同様である。この結果、 V_s がより一層下がることになり、ブートストラップ・コンデンサの過剰充電を助長する。このように、本件ランプ安定

回路2の抵抗R3は、構成要件2-Jの「第2電流制限要素」とは逆の働きをするのである。

- c) 被告製品は、次に述べるとおり、特開平2-253595号公報(乙10。以下「乙10公報」という。)に開示された発明(以下「乙10発明」という。)と「同一」であるから、ボールスプライン事件最高裁判決の第4要件「対象製品等が、特許発明の特許出願時における公知技術と同一又は当業者がこれから右出願時に容易に推考できたものではなく、」に当たらない。

乙10公報の第4図は、一種の電力回路であり、構成要件2-Aに当たる。第4図の上段の中程にある「Q2」が高位側MOSトランジスタであり、構成要件2-Bに当たる。「Q3」が低位側MOSトランジスタであり、構成要件2-Cに当たる。図の右下の「IC4」のピン7の出力及びそれにつながる「G5」「BF2」によって構成される回路は、高位側MOSトランジスタである「Q2」をドライブするもので、構成要件2-Dに当たる。同じく右下に見える「D5」がブートストラップのためのダイオードで、その横のコンデンサ「C20」がそのキャパシタであり、これらが構成要件2-Eに当たる。「IC4」のピン1の出力及びそれにつながる「G3」「BF1」によって構成される回路は、低位側MOSトランジスタである「Q3」をドライブするもので、構成要件2-Fに当たる。図の「Vcc」は、低位側電圧源であり、構成要件2-Gに当たる。

構成要件2-Hは、原告の議論によれば、この種の回路においては当然に漂遊インダクタンスが存在し、それを指すというのであるから、乙10公報でも同様に当然に認められる。

乙10公報の第4図の右下の「R28」は、ブートストラップ・ダイオード「D5」に直列に入った抵抗である。これが構成要件2-Iの「第

「第1電流制限要素」に当たる。なお、構成要件2-Iは、ダイオードと「第1電流制限要素」との順番を規定しており、乙10は構成要件2-Iとは順番が異なるが、被告製品と同じ順番である。

構成要件2-Jについては、仮に被告製品の回路が構成要件2-Jを充足するとの原告主張の解釈を前提とするのであれば、第4図の「R9」（低位側MOSトランジスタ「Q3」のソースの抵抗）が構成要件2-Jの「第2電流制限要素」に当たる。

(6) 争点6（本件ランプ安定回路2は、本件特許発明3と均等か。）について

ア 原告の主張

- a) 構成要件3-I, 3-Jは、それぞれ構成要件2-I, 2-Jと同じであるから、争点5において述べたのと同じ理由により（上記(5)ア）、本件ランプ安定回路2の抵抗R1は、構成要件3-Iの「第1電流制限要素」と均等であり、抵抗R3は、構成要件3-Jの「第2電流制限要素」と均等である。

したがって、本件ランプ安定回路2は、本件特許発明3の技術的範囲に属する。

- b) 被告は、構成要件3-N, 3-Oについて、「前記持続時間」は相当に短く、これに比べて、第1ないし第2抵抗値と前記キャパシタンスとの「積」が十分に大きいのは、常識的な値の抵抗及びコンデンサを入れた場合には自明であると主張する。

しかし、被告の主張は証拠に基づいておらず、単に被告の主観的意見を述べているにすぎない。また、持続時間が「相当に」短いとか、抵抗及びコンデンサの「常識的な値」など、被告の主張は具体性・客観性を欠いている。さらに、後出の乙20文献は、本件特許2の優先日（1997年4月23日）前に頒布されたものとは認められない。後出の乙23文献の4-16頁の回路図からは、楕円で囲まれた抵抗が低位側電圧

源及びブートストラップ・ダイオードと直列結合され、ブートストラップ・ダイオードを通じてブートストラップ・キャパシタに流れ込む漂遊インダクタンスによる誘導電流成分を減少させる位置に接続されているか否かが不明である。

イ 被告の反論

- a) 構成要件 3 - I , 3 - J は、それぞれ構成要件 2 - I , 2 - J と同じであるから、第 4 要件につき下記 b) に述べる点を付け加えるほか、争点 5 において述べたのと同じ理由により（上記(5)イ）、本件ランプ安定回路 2 の構成は、本件特許発明 3 の構成と均等とはいえない。
- b) 乙 10 公報の第 4 図の「R 2 8」及び「R 9」が構成要件 3 - K のとおりそれぞれ抵抗であること、構成要件 3 - L のとおり漂遊インダクタンスによる誘導電流が持続時間を有すること、乙 10 公報の第 4 図の「R 2 8」、「R 9」、「C 2 0」が構成要件 3 - M のとおりそれぞれ抵抗値とキャパシタンスを有することは、いずれも自明である。

構成要件 3 - N の「第 1 抵抗値と前記キャパシタンスとの積」及び構成要件 3 - O の「第 2 抵抗値と前記キャパシタンスとの積」は、乙 10 公報には直接の記載がない。しかし、同構成要件における「前記持続時間」とは、単なる配線の有するインダクタンスによる誘導の時間であって、相当に短いものである。これに比べてこの「積」が十分に大きいことは、常識的な値の抵抗及びコンデンサを入れた場合には自明である。また、積と持続時間の関係についても、被告製品の回路と乙 10 公報の第 4 図の回路とは同様の回路であって違いはない。念のため、「SP600 and SP601 an HVIC MOSFET/IGT Driver for Half-Bridge Topologies」と題する文献（乙 20。以下「乙 20 文献」という。）を参照すれば、その図 1 のブートストラップ・ダイオードの直列の抵抗「R_{BS}」の抵抗値は 3 . 5 であり、ブートストラップ・コンデンサの容量は、0 . 2 2

μF である。すなわち、「積」は $3.5 \times 0.22 \mu F$ で、 $0.77 \mu sec = 770 nsec$ （これが時定数）である。持続時間は乙20文献の場合でも10nsecもない。乙10公報の場合も、その内容としては、当然に同様に積が持続時間よりも十分に大きなものである。なお、乙20文献の版面はともかくとして、この内容の文書は、「Application Note April 1994 AN8829.2」の記載の1994年4月ころには公開されていたことは間違いなし、そもそも、乙20文献は、乙10公報などの回路の当然の内容と特性を確認するためのものにすぎない。「Intelligent Power ICs FOR COMMERCIAL, INDUSTRIAL AND AUTOMOTIVE APPLICATIONS 1994」と題する文献（乙23。以下「乙23文献」という。）にも同じ内容が記載されている。

(7) 争点7（本件ランプ安定回路2は、構成要件4-Lを充足するか。）について

ア 原告の主張

本件ランプ安定回路2の抵抗R3は、低位電力端子-Hvとサブストレイト・ダイオードDsubとの間で直列に設けられている。

本件ランプ安定回路2においては、漂遊インダクタンスLによる誘導電流が、低位側MOSトランジスタQ2、低位電力端子-Hv、サブストレイト・ダイオードDsubを経由して、ブートストラップ・キャパシタC1に流れ込む。抵抗R3は、この誘導電流が流れる経路に設けられているから、誘導電流の成分を減少させる。

したがって、抵抗R3は、構成要件4-Lの「第3電流制限要素」に該当し、本件ランプ安定回路2は構成要件4-Lを充足する。

なお、「第3電流制限要素」の設けられる位置については、請求項の文言上、低位電力端子の高位側か低位側かという限定は付されていない。また、請求項7の文言上、一つの抵抗が「第2電流制限要素」と「第3電流

制限要素」を兼用することを排除する記載はない。

イ 被告の反論

本件ランプ安定回路 2 の抵抗 R 3 は、「前記サブストレイト・ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させる...電流制限要素」としての働きはなく、むしろブートストラップ・コンデンサを過剰充電するのを助長する働きを持つから、構成要件 4 - L の「第 3 電流制限要素」に当たらない。

したがって、本件ランプ安定回路 2 は構成要件 4 - L を充足しない。

(8) 争点 8 (本件ランプ安定回路 2 は、本件特許発明 4 と均等か。) について

ア 原告の主張

a) 構成要件 4 - J , 4 - K は、それぞれ構成要件 2 - I 及び 3 - I , 2 - J 及び 3 - J と同じであるから、争点 5 及び争点 6 において述べたのと同じ理由により (上記 (5) ア , (6) ア) , 本件ランプ安定回路 2 の抵抗 R 1 は、構成要件 4 - J の「第 1 電流制限要素」と均等であり、抵抗 R 3 は、構成要件 4 - K の「第 2 電流制限要素」と均等である。

また、仮に構成要件 4 - L の「第 3 電流制限要素」と構成要件 4 - K の「第 2 電流制限要素」が文言上は別個の抵抗でなければならないとしても、下記 b) のとおり、均等が成立する。

したがって、本件ランプ安定回路 2 は、本件特許発明 4 の技術的範囲に属する。

b) 本件特許発明 4 の本質的部分は、電圧スパイク V_{1s} による誘導電流の流れる経路に電流制限要素 (抵抗) を設けて誘導電流を制限する点にあり、「第 2 電流制限要素」と「第 3 電流制限要素」を別個の抵抗とするか、一つの抵抗で兼用するかの相違は、本質的部分ではない。

誘導電流の二つの経路にそれぞれ別個に抵抗を設ける代わりに、経路の共通部分に一つの抵抗を設けても、二つのトランジスタ Q 1 ・ Q 2 間

の漂遊インダクタンスLにより生ずる電圧スパイクV_{1s}により励起される有害な誘導電流を制限するという本件特許発明4の目的を達することができ、同一の作用効果を奏するから、置換可能性も認められる。

誘導電流の二つの経路にそれぞれ別個に抵抗を設ける代わりに、経路の共通部分に一つの抵抗を設けることは、当業者にとって容易であり、困難性はないから、置換容易性も認められる。

電圧スパイクV_{1s}により励起される有害な誘導電流を制限することを目的として、誘導電流の二つの経路に電流制限要素を設けることは、「第2電流制限要素」と「第3電流制限要素」を兼用するか否かにかかわらず、公知技術と同一又は当業者が出願時に容易に推考できたものとはいえない。

本件特許発明4は、一度の拒絶理由通知を受けることもなく、出願当初明細書のまま特許が付与されているから、出願手続において本件ランプ安定回路2を意識的に除外した等の特段の事情はない。

イ 被告の反論

- a) 構成要件4-J, 4-Kは、それぞれ構成要件2-I及び3-I, 2-J及び3-Jと同じであるから、第4要件につき下記b)に述べる点を付け加えるほか、争点5及び争点6において述べたのと同じ理由により(上記(5)イ, (6)イ)、本件ランプ安定回路2の構成は、本件特許発明4の構成と均等とはいえない。
- b) 乙10公報のICは、IC内部での素子間の分離を、動作時の電圧によってpn接合が逆方向に電圧がかかるようにpn接合を設けることによって実現している接合分離型ICである。接合分離型ICにおいては、その分離の原理から当然に、サブストレイト・ダイオード(分離のためのpn接合自体がダイオードとなっているもの)が存在する。乙10公報のICのサブストレイト・ダイオードのカソードは、ICのピン6(高

位側の電源プラス側)に接続されており，アノードはピン2のGNDに接続されているから，これが構成要件4-Hに当たる。

本件ランプ安定回路2のR3が「第3電流制限要素」に当たるという原告の主張に従えば，乙10公報の第4図の「R9」が構成要件4-Lの「第3電流制限要素」に当たる。

したがって，原告の主張に従えば，本件ランプ安定回路2は，乙10公報に開示された発明と同一である。

c) 上記アb)は否認する。

(9) 争点9(本件特許2は無効とされるべきものか。)について

ア 被告の主張

上記(5)イc)，(6)イb)，(8)イb)のとおり，本件特許発明2，本件特許発明3，本件特許発明4は，原告主張の解釈を前提とすれば，乙10公報に記載された公知の発明と同一であり，若しくは，これと乙20文献又は乙23文献に記載された発明に基づいて当業者が容易に発明することができたものであるから，特許法29条1項1号又は同条2項により無効にされるべきものである。したがって，同法104条の3第1項により，原告の本件特許権2の行使は許されない。

イ 原告の反論

本件特許発明2，本件特許発明3，本件特許発明4は，乙10公報に記載された公知の発明と同一ではなく，これと乙20文献又は乙23文献に記載された発明に基づいて当業者が容易に想到することができたものでもなく，特許法29条1項及び同条2項に該当するものではないから，特許無効審判により無効にされるべきものには当たらない。

a) 乙10公報の第4図には，第1電流制限要素に該当する抵抗は記載されておらず，かつ，高位側のMOSトランジスタQ2及び低位側のMOSトランジスタQ3には，本件特許発明2のダイオードD1，D2に該

当する素子も記載されていない。また、Q 2 及びQ 3 の間に存在する漂遊インダクタンスに関する記載もない。

構成要件 2 - J , 3 - J , 4 - K の「第 2 電流制限要素」は、本件明細書 2 に記載のとおり、ダイオード D 2 に流れるランピング電流により発生する電圧スパイクを制限するためのものであるから(【 0 0 1 2 】)、ダイオード D 1 , D 2 のない乙 1 0 の回路に設けられた抵抗 R 2 8 が第 2 電流制限要素に該当するか否かは不明であり、また、当業者が電圧スパイクの発生に伴う問題点を想起することはできない。

- b) 乙 1 0 発明が構成要件 3 - N 及び 4 - P , 構成要件 3 - O 及び 4 - Q を充足しないこと、乙 2 0 文献が公知文献とはいえないこと、乙 2 3 文献の抵抗が電流制限要素に該当するか否かは不明であることは、上記(6)ア b) , (8)ア a) のとおりである。
- c) 乙 1 0 公報には構成要件 4 - L の「第 3 電流制限要素」に相当する構成は開示されていない。

(10) 争点 1 0 (本件特許権 2 に係る被告の責任原因) について

ア 原告の主張

- a) 本件ランプ安定回路 2 は、松下電工の指定した仕様に基づいて製造された被告製品を回路基板に取り付けたものであり、本件特許発明 2 , 本件特許発明 3 , 本件特許発明 4 の技術的範囲に属する。

したがって、被告が被告製品を生産、譲渡若しくは輸入又は譲渡等の申出をする行為は、松下電工と客観的及び主観的に関連共同して、本件特許発明 2 , 本件特許発明 3 , 本件特許発明 4 に係る特許権を直接侵害する行為に該当する。

被告は、民法 7 1 9 条 1 項の共同不法行為の成立を争っている。しかし、被告製品は、ランプ安定回路の制御に用いる専用 I C として、ランプ安定回路を製造する松下電工の指定した仕様に基づき設計されてい

る松下電工製品の専用部品であること、被告製品は、ランプへの電力供給を制御するための重要な部品であり、ランプ安定回路から被告製品を取り除けばランプは動作（点灯）しえないという必要不可欠の中核的な部品であることからすれば、被告が被告製品を松下電工に供給する行為は、松下電工と行為を分担して本件特許権 2 を侵害するものであることは明らかである。また、被告は遅くとも訴状送達時（平成 18 年 4 月 17 日）において松下電工の行為及び意図を認識していた。

- b) 仮に、被告の行為が民法 719 条 1 項の共同不法行為に該当しないとしても、同条 2 項の共同不法行為（幫助）に該当する。

上記 a) 及び の事実には照らせば、被告が被告製品を松下電工に供給する行為は、松下電工による直接侵害を容易ならしめており、遅くとも訴状送達時（平成 18 年 4 月 17 日）以降、被告にはその事実の認識もあるからである。

幫助の場合にも特許法 103 条が適用されることは、上記(4)ア d)で述べたとおりである。また、原被告間の過去の米国における特許権侵害訴訟や、原被告の製品分野が競合していることを被告が知っていたという事情には照らせば、被告は原告保有の特許を調査すべき高度の義務を負っていたから、特許法 103 条の適用の有無にかかわらず、被告には過失が認められる。さらにいえば、被告は、遅くとも訴状送達（平成 18 年 4 月 17 日）により、被告製品が使用されている松下電工の本件ランプ安定回路 2 が本件特許権 2 を侵害するものであることを認識したから、遅くともこの時点以降の行為には故意が認められる。

- c) 被告は、共同不法行為については差止請求が失当であると主張する。

しかし、差止請求権（特許法 100 条）は、特許権が排他的支配を内容とする権利であることにより設けられた権利である。単に損害賠償請求が可能だけでは特許発明の実施を独占することはできず、差止請求

が認められて初めて独占が実現できる。

だとすれば、「自己の特許権（又は専用実施権）を侵害する者」は、単独で侵害した者だけでなく、他者と共同して侵害した者も含まれると解すべきである。特許法の条文上もこう解することが自然であるし、また複数主体が共同して特許権を侵害した場合に各行為主体に対して差止請求権を行使できないとすれば、特許発明の独占を直接実現する途がなくなるからである。これは、民法719条1項及び2項に等しく妥当する。

したがって、民法719条1項及び2項のいずれについても、差止請求権が成立する。

イ 被告の反論

a) 本件特許権1と同様に、いかなる意味でも被告は侵害行為を分担しておらず、共同不法行為であるわけがない。また、被告の行為は、幫助にも当たらないし、過失もない。本件特許権2については、どう解釈しても周辺回路を内容とするものであり、周辺回路を知ることなくICを供給しているだけの被告が責任を問われる理由はない。

b) 共同不法行為を責任原因とする差止請求は失当である。

共同不法行為について差止めが認められるとの原告の主張は、異端である。

(11) 争点11（損害額）について

ア 原告の主張

被告は、平成15年8月以降訴え提起の日までの間において、被告製品を製造販売し、その販売金額の合計は14億円を下らず、その利益の額は4億円を下らない。

よって、原告は、被告による本件特許権1及び本件特許権2の侵害により、少なくとも上記金額の損害を被ったものであり、一部請求として金4

億円及び不法行為の後の日（訴状送達の日翌日）である平成18年4月18日から支払済みまで年5分の割合による遅延損害金の支払請求権を有する。

イ 被告の反論
争う。

第3 当裁判所の判断

1 争点1（本件ランプ安定回路1は，本件特許発明1の技術的範囲に属するか（本件ランプ安定回路1は，構成要件1-F，1-Hを充足するか。））について

(1) 構成要件1-F，1-Hの「外部タイミングコンデンサ」について，原告は，シャットダウン回路の外部に設けられたもので，ランプ故障の検知に用いられ，シャットダウン等のタイミングを決定するコンデンサを意味すると主張し，被告は，発振のタイミング（周波数）を決めるコンデンサを指すと主張している。そこで，本件明細書1の発明の詳細な説明を参照すると，「外部タイミングコンデンサ」あるいは「タイミングコンデンサ」及びこれらに関連する記載として，次の各記載がある（甲3。判決注・下線は当裁判所が付加した。）。

ア「本発明の一態様において，集積回路は，第1および第2の直流端子と，負荷回路に出力信号を供給する共通端子とを有するハーフブリッジ回路において接続された第1および第2のMOSゲート型パワー半導体デバイスを駆動する回路であり，共通端子を第1のMOSゲート型パワー半導体デバイスと第2のMOSゲート型パワー半導体デバイスの間のノードに設けたシリコン基板上に形成された集積回路である。その集積回路は，外部タイミングコンデンサの電圧からなるロー論理レベル信号に接続された入力制御端子を有するタイマ回路と，タイマ回路に接続され，第1および第2のMOSゲート型パワー半導体デバイスをオンおよびオフに切り換える周

波数を制御し、また、入力制御端子に印加される信号に応じて切り換わる出力を供給する第1のラッチ回路と、第1のラッチ回路にそれぞれが接続され、第1のラッチ回路の上記出力の切り換わりに従い、遅延時間間隔の間、上記ラッチ出力信号の伝達を遅延させ、第1および第2のMOSゲート型パワー半導体デバイスの同時導通を防止する、高圧側のデッドタイム遅延回路および低圧側のデッドタイム遅延回路と、高圧側デッドタイム遅延回路および低圧側デッドタイム遅延回路にそれぞれ接続され、入力制御端子に印加された信号に応じて第1および第2のMOSゲート型パワー半導体デバイスをオンおよびオフさせるための高圧側および低圧側出力端子をそれぞれ有する高圧側ドライバ回路および低圧側ドライバ回路と、外部タイミングコンデンサに接続され、外部タイミングコンデンサの電圧がしきい値電圧より低いときに、高圧側および低圧側出力の供給を停止するシャットダウン回路とからなる。シャットダウン回路は、外部タイミングコンデンサの電圧をしきい値電圧と比較するしきい値電圧検出回路を備え、しきい値電圧検出回路は高圧側及び低圧側のデッドタイム遅延回路に出力を供給する第2のラッチ回路に接続されている。」(【課題を解決するための手段】【0025】)

イ「チップ30は8ピンDIPまたは表面マウントパッケージ(surface mount package)の中に収容されてもよく、以下のようなピン出力を有する：

V_{CC} - 直流電源 V_{BUS} からチップ動作電圧を受けるためのピン。

C_T - タイミングコンデンサ14とタイミング抵抗16との間のノードに接続された単一入力制御ピン。ピン C_T での信号は H_0 と L_0 の両出力を制御する。」(【従来の技術】【0010】)

ウ「ゲート駆動ICは自己発振しているため、ゲート駆動出力 L_0 および $H_0 - V_s$ のうちの1つは図2に示す短いデッドタイムの期間を除いて常時オンとなる。通常の動作状態では、MOSFET40あるいはMOSFE

T 4 2 のいずれかがオンとなる。結果として、例えば図 3 に示すように、単純にタイミングコンデンサ 1 4により外部にグランドまで分路を形成することによりゲート駆動 IC をオフすることは、回路を保護するのには充分でない。」(【発明が解決しようとする課題】【0 0 1 5】)

エ「1 4...タイミングコンデンサ」(【符号の説明】)

オ「抵抗 1 6 およびコンデンサ 1 4は、次式で定まる発振周波数を制御する： $f = 1 / (1.4 R_{16} C_{14}) \dots (1)$ 」(【従来の技術】【0 0 1 1】)

カ「この基本回路の欠点は、もし、ランプが壊れるか(その動作寿命が尽きたときのように)もしくは回路から取り外されたとき、回路内の他の構成部品が破滅的に故障するかもしれないことである。それゆえ、ゲート駆動 IC 3 0 の使用者は、故障の状態を検出して IC をオフする別個の外部回路要素を設計しなければならない。好ましくは、ゲート駆動 IC の両出力は、ターンオフ状態のもとでゲート駆動 IC をオフする。」(【発明が解決しようとする課題】【0 0 1 4】)

キ「図 3 は、ランプが取り外されたときに入力制御コンデンサ 1 4のグランドへの分路を形成するためのトランジスタ 6 0 を含む、図 1 を改変した回路を示す。」(【発明が解決しようとする課題】【0 0 1 6】)

ク「本発明は、上記課題を解決すべくなされたものであり、その目的とするところは、ランプを駆動する集積回路において、駆動出力の双方が不能になることによりランプが故障したとき、または、ランプが取り外されたときに、駆動回路の構成部品を損失から保護する安定器集積回路を提供することにある。また、ランプ交換時において、ランプのパワースイッチを切り換えなくとも、自動的にランプ駆動回路を再起動する安定器集積回路を提供することを目的とする。」(【発明が解決しようとする課題】【0 0 2 3】)

ケ「以下、添付の図面を用いて本発明に係る安定器集積回路の実施形態を説

明する。本発明は、図3に示すような単純な回路を用いて、そのIC内部の回路構成を改変することにより実現できる。」(【発明の実施の形態】【0030】)

コ「図5は、図3の回路に包含されるのに好適な本発明に係るICチップ30の回路ブロック図である。チップ30の8本のピンが図5においても同様に用いられる。図5に示される全ての回路ブロックは共通のシリコンチップに典型的に集積化される。」(【発明の実施の形態】【0031】)

サ「本発明は、これらの機能の全てを、前述の特許において開示されたIR2155やIR2151のICのようにIC内部で実現しているが、さらに、C_Tピンを使用した新しいシャットダウン機能も備えている。本発明によれば、以下の2つのさらなる回路ブロックが追加されている。すなわち、(1) C_T検出用の第3のコンパレータ118および(2) シャットダウンラッチ回路124が追加されている。入力ピンC_Tは、C_Tピン電圧が分圧回路112により供給される所定のしきい値(V_{R3}として示される)よりも低くなるを検出する第3のコンパレータ118の負入力に接続される。そのとき、第3のコンパレータ118は、その出力をシャットダウンラッチ回路124および低圧側のデッドタイム遅延回路130に供給する。シャットダウンラッチ回路124の出力は、次に、高圧側のデッドタイム遅延回路126の入力に供給される。」(【発明の実施の形態】【0039】)

シ「第3のコンパレータ118が状態を変化させるときのしきい値電圧V_{R3}は、自己発振に対して用いられるしきい値電圧V_{R2}より低い値に選択される。その動作例を図6に示す。ここでは、V_{R1}およびV_{R2}の値は、それぞれ $2/3 V_{CC}$ 、 $1/3 V_{CC}$ に選択され、また、V_{R3}の値は便宜上、最初は $1/6 V_{CC}$ に選択されている。なお、 $V_{R3} < V_{R2} < V_{R1}$ の関係を満たすかぎり、他の特別な比率が選択されてもよい。」(【発明

の実施の形態】【0040】)

ス「C_Tピン電圧がV_{R3}を越えると、(1) 低圧側ゲート駆動出力L_oはデッドタイム遅延時間t_d経過後、「ハイ」になり、低圧側MOSFET 42をオンし、(2) バイアス回路132は、発振コンパレータ(Nコンパレータ)114、Pコンパレータ116および第3のコンパレータ118、高圧側のデッドタイム遅延回路(TEADH回路)126および低圧側のデッドタイム遅延回路(TEADL回路)130に電力を供給するように制御され、(3) R_Tピンは発振ラッチ(シャットダウンラッチ回路)124により「ハイ」に保持され、(4) C_Tピンは抵抗16を介して充電し続ける。」(【発明の実施の形態】【0043】)

セ「通常動作の間、C_Tピン電圧がV_{R3}を越えた後では、自己発振が生じ、ハーフブリッジ回路の出力V_sが台形状の出力で切り換わる。」(【発明の実施の形態】【0044】)

ソ「さらに、R_Tピンが「ハイ」から「ロー」の電位へ切り換わることで、抵抗16により、2/3V_{cc}のしきい値(分圧回路112ブロックにより設定される)から1/3V_{cc}のしきい値(これもまた分圧回路112ブロックにより設定される)までコンデンサ14の放電が開始される。」(【発明の実施の形態】【0047】)

タ「もし、通常動作時に、コンデンサ14の放電を触発する故障が発生すると、ゲートドライバ出力の両方が不能になり、ハーフブリッジの出力は発振を停止する。故障状態が終了すると、R_Tピンの電圧は自動再起動のために「ハイ」のままに保持される。」(【発明の実施の形態】【0048】)

チ「もし、ランプの取り外しによる故障状態で、かつ、図3の回路が用いられている場合、C_Tピンは放電され、また両ゲートドライバ出力はシャットダウンする。ランプが交換されたときは、図3に示すトランジスタ60はオフし、コンデンサ14は再度充電を行う。」(【発明の実施の形態】【0

049】)

ツ「本発明のランプを駆動する集積回路によれば、ランプを駆動する駆動回路の駆動出力の双方が不能になりランプが故障したとき、または、ランプが取り外されたときに、駆動回路の構成部品を損失から保護する。また、ランプ交換時において、本集積回路が自動的にランプ駆動回路を再起動するため、ユーザはランプのパワースイッチを切り換える必要がない。」(【発明の効果】【0052】)

(2) 本件明細書1においては、上記のとおり、構成要件1-F、1-Hの「外部タイミングコンデンサ」について、「本発明の一態様において」との留保が付されているものの、「外部タイミングコンデンサ」の電圧からなるロー論理レベル信号が、第1及び第2のMOSゲート型パワー半導体デバイスをオン及びオフに切り替える周波数を制御する第1のラッチ回路と接続されているタイマ回路に入力されること、並びに、外部タイミングコンデンサの電圧をしきい値電圧と比較し、外部タイミングコンデンサの電圧がしきい値電圧より低いときに、高圧側及び低圧側出力の供給を停止すること(シャットダウン回路)が記載されている(上記ア)。したがって、「本発明の一態様」における「外部タイミングコンデンサ」とは、第1及び第2のMOSゲート型パワー半導体デバイスをオン及びオフに切り替える周波数を制御する第1のラッチ回路と接続されているタイマ回路に接続されており、かつ、「外部タイミングコンデンサ」の電圧が、しきい値電圧より低いとシャットダウン回路が起動されるものである。

また、本件明細書1において、「タイミングコンデンサ」とされているものはコンデンサ14において他になく(上記ウ、エ)、コンデンサ14と抵抗16は、発振周波数を制御するものとされ(上記オ・従来例についての記載であるものの、図1及び図3からすれば、この記載は、本件特許発明1にも当てはまるものである。)、タイミングコンデンサ14とタイミング抵抗

16 との間のノードに接続された C_Tピンでの信号が H_o と L_o の両出力を制御するものとされている（上記イ・従来例についての記載であるものの、図1及び図3からすれば、この記載は、本件特許発明1にも当てはまるものである。）。そして、本件明細書1の実施例においては、起動後、C_Tピン電圧がしきい値電圧 V_{R3} を越えると、自己発振が生じ（上記セ）、C_Tピン電圧がしきい値電圧 V_{R1} に達すると、しきい値電圧 V_{R2} に達するまで、コンデンサ14が放電するものとされ（上記シ、ソ）、また、ランプの取り外しによる故障状態で、図3の回路が用いられている場合、C_Tピンは放電され、C_Tピン電圧が所定のしきい値より低くなったときは、第3のコンパレータ118の出力がシャットダウンラッチ回路124及び低圧側のデッドタイム遅延回路130に供給され、次いで、シャットダウンラッチ回路124の出力が高圧側のデッドタイム遅延回路126に供給され、その結果、両ゲート出力はシャットダウンし、さらに、故障状態が解消されたとき（ランプが交換されたとき）は、コンデンサ14が再度充電を行うものとされている（上記サ、チ）。

そうすると、本件明細書1に記載された実施例においては、少なくとも構成要件1-F、1-Hにいう「外部タイミングコンデンサ」とは、コンデンサ14のことであって、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサであり、かつ、その電圧がしきい値電圧より低いとシャットダウン回路を起動するものであることは明らかである。

本件明細書1における上記実施例が、上記アの「本発明の一態様」として記載された【課題を解決するための手段】を具体化したものであり、本件明細書1には、上記実施例以外の実施例の記載が全くないことからすれば、本件特許発明1における「外部タイミングコンデンサ」は、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサであり、かつ、その電圧がしきい値電圧より低いとシャットダウン回路を起動するものであ

ると認めるのが相当である。

(3) 本件特許発明 1 の「外部タイミングコンデンサ」についての上記解釈は、本件特許発明 1 についての次の出願の経過からも裏付けられるところである。すなわち、本件特許発明 1 については、平成 11 年 1 月 7 日付けで、進歩性がない旨の拒絶理由通知が出され（甲 6）、これを受けて、原告から本件補正がなされ、本件意見書が提出されているものであり（甲 10、11）、本件意見書には、次の記載がある（甲 11）。

ア「請求項 1 におきましては、引例との差異をより明確にするため、シャットダウン回路が外部タイミングコンデンサの電圧に基いて動作する旨を追加する補正を行いました。」（1 頁 9 行～11 行）

イ「請求項 4（旧請求項 5）におきましては、請求項 1 との対応を正確にするため『外部タイミングコンデンサ』を『上記外部タイミングコンデンサ』に変更しました。」（1 頁 16 行～18 行）

ウ「請求項 5（旧請求項 6）におきましても請求項 1 と同様の補正を行いました。」（1 頁 19 行）

エ「本願発明は、障害が発生し、外部タイミングコンデンサ 14 の電圧すなわち外部タイミングコンデンサに接続される IC のピン（C_Tピン）の電圧が所定のしきい値レベルより低くなった場合に、スイッチングトランジスタに対するゲート駆動信号を不能にすることによって、スイッチングトランジスタを完全にシャットダウンするものです。これによりスイッチングトランジスタの破壊のような IC に対して非常に有害な状況の発生を確実に防止するという効果を有します。」（1 頁 21 行～26 行）

オ「引用文献 1 の回路は、不足電圧状態の発生時において、ハーフブリッジ接続されたトランジスタ（引用文献中、トランジスタ 20、21）のスイッチング動作を停止させるようにのみ動作し、C_Tピン上での電圧降下に基いては活動化されず、トランジスタのゲート駆動信号をターンオフする

というような動作は行ないません。」(4頁2行～6行)

カ「本引例のシャットダウン回路は、ランプの障害または除去による負荷電流変化に基いてシャットダウンするものでありますが、本願発明のように、外部タイミングコンデンサ(C_Tピン)の電圧降下を検出し、これに基いてトランジスタのゲート駆動信号をターンオフさせるものではありません。」(4頁10行～14行)

キ「本願発明は、障害が発生し、外部タイミングコンデンサ14に接続されるC_Tピンの電圧が所定のしきい値レベルより低くなったときに、図6に示すようにスイッチングトランジスタ40,42に対するゲート信号H₀,L₀を不能状態(ロー)にすることによって、スイッチングトランジスタ40,42の完全なシャットダウンを可能とするものです。このように障害発生を外部タイミングコンデンサ14の電圧(すなわちC_Tピン)の電圧により検出し、スイッチングトランジスタ40,42を完全にシャットダウンするという点はいかなる引例においても開示されておらず、また、示唆もされておられません。」(4頁22行～29行)

ク「以上、説明しましたように、本願発明の特徴である、障害発生時に外部タイミングコンデンサの電圧(すなわちC_Tピンの電圧)が所定のしきい値レベルより低くなった場合に、スイッチングトランジスタに対するゲート駆動信号を不能にすることによって、それらのスイッチングトランジスタを完全にシャットダウンするための構成は、上記のいかなる引例においても開示されておらず、また、示唆もされておられません。また、本願発明は、障害発生時にスイッチングトランジスタを完全にシャットダウンすることにより、障害から回路を確実に保護できるという点において引例に対して優れた効果を有しております。」(6頁7行～14行)

本件意見書の上記記載は、請求項1及び請求項4の「外部タイミングコンデンサ」が抵抗との組み合わせにより自己発振駆動回路の発振周波数を定め

るコンデンサであることを当然の前提として（このことは、請求項 1 における「外部タイミングコンデンサの電圧からなるロー論理レベル信号に接続された入力制御端子を有するタイマ回路と、上記タイマ回路に接続され、上記第 1 および第 2 の MOS ゲート型パワー半導体デバイスをオンおよびオフに切り換える周波数を制御し、また、上記入力制御端子に印加される上記信号に応じて切り換わる出力を供給する第 1 のラッチ回路と」との記載、及び、請求項 4 における「請求項 1 に記載の集積回路において、上記タイマ回路は、上記 MOS ゲート型パワー半導体デバイスがオンおよびオフされる周波数を制御するための第 2 の入力制御端子を有し、上記第 1 および第 2 の入力制御端子は上記タイマ回路の発振周波数を設定するための上記外部タイミングコンデンサおよび外部タイミング抵抗に接続されることを特徴とする集積回路。」との記載から明らかである。）、同「外部タイミングコンデンサ」がその電圧の低下により、シャットダウン回路を起動させる機能も兼ね備えることを明示したものである。そして、本件特許発明 1（請求項 5）についても請求項 1 と同様の補正をしているものと述べている以上、本件特許発明 1 における「外部タイミングコンデンサ」を請求項 1 及び請求項 4 における「外部タイミングコンデンサ」と別異なるものと解すべき理由はない。

- (4) 原告は、本件特許発明 1 の特許請求の範囲には単に「外部タイミングコンデンサ」と記載されているだけであるから、当該記載から自己発振駆動回路の発振の周波数を定めるコンデンサのみを意味すると限定解釈する理由はないし、特許請求の範囲に記載の発明は実施例に限定されるわけではないから、実施例の記載を根拠に限定解釈することは許されない、と主張する。しかし、本件明細書 1 には、上記のような発明の開示しかなく、それ以外の発明の開示がないこと、及び、本件意見書の上記記載に照らせば、本件特許発明 1 の「外部タイミングコンデンサ」を、抵抗との組み合わせにより自己発振駆動回路の発振周波数を定めるコンデンサであり、かつ、その電圧がしきい値電

圧より低いとシャットダウン回路を起動するものであると解すべきであり、原告の上記主張は採用し得ない。

- (5) 本件ランプ安定回路 1 においては、コンデンサ C 2 が抵抗 R 2 との組み合わせにより発振周波数を定めており、コンデンサ C 1 1 は、その電圧がしきい値電圧より低いとシャットダウン回路を起動させるものであるとしても、発振周波数を定めているものではない。

そうすると、本件ランプ安定回路 1 のコンデンサ C 1 1 は、構成要件 1 - F , 1 - H にいう「外部タイミングコンデンサ」には当たらず、本件ランプ安定回路 1 は、構成要件 1 - F , 1 - H を充足しないから、本件ランプ安定回路 1 は、本件特許発明 1 の技術的範囲に属しないものと認められる。

- 2 争点 2 (本件ランプ安定回路 1 は、本件特許発明 1 と均等か。) について

上記 1 (1)ないし(4)によれば、本件特許発明 1 は、ランプが取り外されたときに、高圧側及び低圧側の MOS ゲート型パワー半導体デバイスのゲート駆動 IC の両出力をターンオフ状態にすることにより、駆動回路の構成部品を損失(故障)から保護することを目的としたものであり(上記 1 (1)カ, ク), そのために、外部タイミングコンデンサに接続された C_Tピンを使用した新しいシャットダウン機能を備えたものである(上記 1 (1)サ, 構成要件 1 - F)。

すなわち、第 3 のコンパレータにより、外部タイミングコンデンサに接続された C_Tピン電圧が自己発振に対して用いられるしきい値電圧 V_R 1 及び V_R 2 のいずれよりも低い値として選択されたしきい値電圧 V_R 3 よりも低くなったことを検出したときは、第 3 のコンパレータがその出力をシャットダウンラッチ回路及び低圧側のデッドタイム遅延回路に供給し、シャットダウンラッチ回路の出力が高圧側のデッドタイム遅延回路に供給され、両ゲートドライバ出力がシャットダウンする(上記 1 (1)サ, シ, タ, チ)。

そして、このような C_Tピン電圧の降下に基づいて高圧側及び低圧側の MOS ゲート型パワー半導体デバイス(スイッチングトランジスタ)に対するゲー

ト駆動信号をターンオフさせること（それにより，高圧側及び低圧側のMOSゲート型パワー半導体デバイスを完全にシャットダウンすること）が，本件特許発明1の特徴であることは，拒絶理由通知（甲6）に対する本件意見書（甲11）において，他ならぬ原告自身によって，再三にわたり述べられているところである（上記1(3)エないしク）。また，原告は，外部タイミングコンデンサの電圧とC_Tピンの電圧とを同じ値を示すものとした上で（上記1(3)エ，力ないしク），拒絶理由通知に示された引例との差異をより明確にするため，シャットダウン回路が外部タイミングコンデンサの電圧に基づいて動作する旨を追加する本件補正を行って（上記1(3)ア，ウ），特許査定を受けたものである。

以上によれば，本件特許発明1は，外部タイミングコンデンサの電圧，すなわち外部タイミングコンデンサに接続されるC_Tピンの電圧が所定のしきい値電圧より低くなったときに，高圧側及び低圧側のMOSゲート型パワー半導体デバイスに対するゲート駆動信号をターンオフすること（それにより，高圧側及び低圧側のMOSゲート型パワー半導体デバイスを完全にシャットダウンすること）をその発明の本質的特徴とするものであることが認められる。

したがって，本件ランプ安定回路1においては，外部タイミングコンデンサが接続されたC_Tピンとは異なるピン（SDピン）によって，外部タイミングコンデンサC₂とは別のコンデンサC₁₁にシャットダウン回路が接続されているのに対し，本件特許発明1においては，シャットダウン回路がC_Tピンによって外部タイミングコンデンサに接続されているという差異は，本件ランプ安定回路1と本件特許発明1との本質的な差異である。

よって，本件ランプ安定回路1の構成は，本件特許発明1と均等なものであると解することはできない。

3 争点5（本件ランプ安定回路2は，本件特許発明2と均等か。）について

(1) 本件明細書2には，以下の記載がある（甲4）。

ア「請求項 6 に記載の電力回路において、前記第 1 抵抗は約 1 オームの抵抗値を有し、前記第 2 抵抗は約 2 オームの抵抗値を有することを特徴とする電力回路。」(【請求項 8】)

イ「分路抵抗 (shunt resistor) R_s を、 $-H_v$ ノードと高電圧ゲート・ドライバ回路の V_{ss} 端子との間に含めてもよい。」(【関連技術】【0009】)

ウ「電力回路には、また、低位側電圧源とダイオードとの間で直列結合され、ダイオードを通じてキャパシタに流れ込む漂遊インダクタンスによる誘導電流の成分を減少させる第 1 電流制限要素と、低位電力端子と低位側電圧源との間で直列結合され、ダイオードを通じてキャパシタに流れ込む漂遊インダクタンスによる誘導電流の成分を減少させることが可能な第 2 電流制限要素とが含まれる。」(【本発明の概要】【0022】)

エ「図 2 に、電流制限要素 (望ましくは抵抗) R_{bs} および R_{e2} が含まれていることを除き、図 1 のハーフ・ブリッジ回路と実質的にほぼ同一のハーフ・ブリッジ電力変換回路 10 を示す。」(【発明の実施の形態】【0025】)

オ「具体的には、第 1 電流制限要素 R_{bs} は、 D_{bs} に直列接続する形で含まれ、 V_{ls} により誘導される電流の流れを制限する。 R_{bs} は、 $R_{bs} \cdot C_{bs} \gg t_1$ となるように選ぶことが望ましい。ここで、 t_1 は、電流が D_2 内で di/dt の割合でランプ状に増大する期間である。しかしながら、 R_{bs} は、通常動作の際の C_{bs} の充電要件により決定される上限を有することに注意されたい。(International Rectifier Corporation から入手可能な) I R P T 2 0 5 6 C 高電圧ゲート・ドライバ回路を使用したアプリケーションにおいては、約 1 オームの抵抗値を有する R_{bs} がうまく動作した。」(【発明の実施の形態】【0026】)

カ「第 2 電流制限要素 R_{e2} は、サブストレイト・ダイオード D_{sub} と直列の形で含まれることが望ましい。 R_{e2} は、図に示すように、 $-H_v$

と高電圧ドライバ回路のV s o端子との間に位置づけることが望ましい。
しかしながら，R e 2には他にも適切な位置があり，それは，例えば高電
圧ドライバ回路のV b端子と，D b sとC b sとの接合点との間である。」
（【発明の実施の形態】【0027】）

キ「R e 2は， $R e 2 \cdot C b s \gg t 1$ となるように選ぶことが望ましい。
ここで，t 1は，電流がD 2内でd i / d tの割合でランプ状に増大する
期間である。しかしながら，R e 2は，通常動作の際のQ 2のゲート駆動
タイミング要件により決定される上限を有することに注意されたい。I R
P T 2 0 5 6 C高電圧ゲート・ドライバ回路を使用したアプリケーション
においては，約2オームの抵抗値を有するR e 2がうまく動作した。」（【発
明の実施の形態】【0028】）

ク「本発明の望ましい実施形態における電流制限要素を採用した電力変換回
路は，下層電流I s u bを制限することにより，漂遊インダクタンスの両
端に生ずる電圧スパイクに対する耐性（immunity）を向上させる点で有利
である。同様に，本発明に基づく電力変換回路はd i / d tの割合に対す
る高い耐性を有し，これにより大きいI G B Tを使用して高い電力定格を
得ることができる。加えて，本発明はブートストラップ電源V c cを高位
側ドライバと組み合わせて使用することを可能にし，低コストおよび回路
サイズ縮小をもたらす。」（【発明の実施の形態】【0030】）

(2) 上記(1)の記載によれば，本件明細書2においては，構成要件2 - Jの「第
2電流制限要素」について，低位電力端子と低位側電圧源との間で直列結合
されるという配置と，ダイオードを通じてキャパシタに流れ込む漂遊インダ
クタンスによる誘導電流の成分を減少させることが可能であるという機能と
を持つものであることが開示されているにとどまり（上記(1)ウ），それ以
上に詳細な説明はなされていない。なお，上記(1)カのとおり，本件明細書
2の記載上は，R e 2が第2電流制限要素とされており，上記(1)エ，キの

ようにそれを前提としたと思われる記載も認められるものの（上記(1)エの「電流制限要素（望ましくは抵抗） R_{bs} および R_{e2} 」は、第2電流制限要素が第2抵抗である旨の構成要件3-K、4-Mを意識した記載であり、上記(1)キの第1文及び第2文は、第2電流制限要素たる第2抵抗の抵抗値とキャパシタンスとの積が漂遊インダクタンスによる誘導電流の持続時間よりも十分に大きい旨の構成要件3-O、4-Qを意識した記載であり、上記(1)キの第4文は、第2電流制限要素たる第2抵抗が約2オームの抵抗値を有する旨の請求項8（上記(1)ア）を意識した記載であると解される。）、上記(1)カに記載された R_{e2} の配置は、構成要件2-J記載の第2電流制限要素の配置と明らかに異なるものであり、むしろ構成要件4-L記載の第3電流制限要素に相当するものであると認められる。したがって、上記(1)カ及びキの記載は第2電流制限要素について説明したものと解することはできない。

- (3) 本件明細書2は、「第2電流制限要素」に関し、上記のとおり、矛盾した記載を包含するものであるものの、仮に、第2電流制限要素に関する一部の記載（上記(1)カ、キ）を構成要件4-Lの「第3電流制限要素」に関する記載であり、「第2電流制限要素」とあるのは「第3電流制限要素」の誤記であると善解して本件明細書2を理解すれば、構成要件2-Jの「第2電流制限要素」は、「前記低位電力端子と前記低位側電圧源との間で直列結合され」という配置と、「前記ダイオードを通じて前記キャパシタに流れ込む前記漂遊インダクタンスによる前記誘導電流の成分を減少させることが可能」という機能とによって規定されているものであって、図2における抵抗 R_s がこれに該当するものである。そして、この場合でも、本件ランプ安定回路2の低位電力端子-Hvと低位側MOSトランジスタとの間にあるシャント抵抗 R_3 が、構成要件2-Jで規定されている「第2電流制限要素」の配置とは、その配置を異にするものであることは明らかである。さら

に、それにもかかわらず、両者が均等であるというためには、まず、本件ランプ安定回路2の抵抗R3がダイオードを通じてキャパシタに流れ込む漂遊インダクタンスによる誘導電流の成分を減少させることが可能であるという機能を奏するかどうかを慎重に検討することが必要であるというべきである。

この点について、被告は、高位側MOSトランジスタQ1がオフになる瞬間については、回生電流が低位側ダイオードを通して流れ続けようとするため、本件ランプ安定回路2の抵抗R3は、漂遊インダクタンスと同様に、低位側ダイオードからの電流を妨げ、その結果、Vsがより一層低下することになり、ブートストラップ・コンデンサの過剰充電を助長するものであるから、むしろ「第2電流制限要素」とは逆の働きをしている旨主張し、これに沿う証拠として乙19号証を提出している。そして、乙19号証は、本件特許発明2の「第2電流制限要素」と本件ランプ安定回路2の抵抗R3とのこのような働きの差異は、構成要件2-Jの「第2電流制限要素」の配置ではハーフブリッジ回路の主電流（回生電流も含む。）が流れないのに対し、本件ランプ安定回路2の抵抗R3にはハーフブリッジ回路の主電流（回生電流も含む。）が流れることによるとし、本件ランプ安定回路2での実測によっても、R3が構成要件2-Jの「第2電流制限要素」の逆の働きをしていることが確認できたというものである。

しかるに、原告は、本件ランプ安定回路2の抵抗R3が抵抗であることを指摘するにとどまり、抵抗R3がダイオードを通じてキャパシタに流れ込む漂遊インダクタンスによる誘導電流の成分を減少させることが可能であるという機能を奏する旨を何ら立証していない。

そうすると、本件特許発明2の構成要件2-Jの「前記低位電力端子と前記低位側電圧源との間で直列結合され」た「第2電流制限要素」を、本件ランプ安定回路2の低位電力端子-Hvと低位側MOSトランジスタとの間に

あるシャント抵抗R3という構成と置き換えても、本件特許発明2の目的を達することができ、同一の作用効果を奏するものであることは、未だ立証されていないというほかない。

よって、本件ランプ安定回路2の構成は、その余の点について判断するまでもなく、本件特許発明2と均等なものであると解することはできない。

4 争点6（本件ランプ安定回路2は、本件特許発明3と均等か。）について
本件特許発明3の構成要件3-Jは、本件特許発明2の構成要件2-Jと同一であるから、上記3と同一の理由により、本件ランプ安定回路2の構成は、本件特許発明3と均等なものであると解することはできない。

5 争点8（本件ランプ安定回路2は、本件特許発明4と均等か。）について
本件特許発明4の構成要件4-Kは、本件特許発明2の構成要件2-Jと同一であるから、上記3と同一の理由により、本件ランプ安定回路2の構成は、本件特許発明4と均等なものであると解することはできない。

6 結論

よって、原告の本訴請求は、その余の点について判断するまでもなく、いずれも理由がないから、主文のとおり判決する。

東京地方裁判所民事第46部

裁判長裁判官 設 樂 隆 一

裁判官 関 根 澄 子

裁判官 古 庄 研

(別紙)

物 件 目 録

下記の型式番号により特定される下記 1 ~ 2 の半導体装置。

1 . M C Z 4 0 0 1 P

2 . M C Z 4 0 0 2 P

(別紙)

回路目録

- 1．松下電工株式会社製ランプ製品HFAシリーズ，HHFZシリーズ，SLAZシリーズ及びHF AZシリーズに使用されている，型式番号MCZ4001P及びMCZ4002Pの半導体装置が組み込まれているランプ安定回路
- 2．松下電工株式会社製ランプ製品型式番号HFA8080に使用されている，型式番号MCZ4001P及びMCZ4002Pの半導体装置が組み込まれているランプ安定回路