

平成17年(ワ)第8874号 不当利得返還請求事件

平成17年(ワ)第15841号 不当利得返還請求事件

口頭弁論終結日 平成18年5月26日

判 決

原告	松下電器産業株式会社
訴訟代理人弁護士	牧野利秋
同	鈴木修
同	下田憲雅
同	弓削田博
同	磯田直也
補佐人弁理士	住吉勝彦
被告	ビシエイジャパン株式会社 (以下「被告ビシエイジャパン」という。)
被告	株式会社トーメンエレクトロニクス (以下「被告トーメンエレクトロニクス」という。)
被告	菱電商事株式会社 (以下「被告菱電商事」という。)
被告ら訴訟代理人弁護士	片山英二
同	長沢幸男
同	北原潤一
同	寺尾鮎子
同	岡本尚美
被告ら訴訟代理人弁理士	萩原誠

主 文

- 1 原告の請求をいずれも棄却する。
- 2 訴訟費用は原告の負担とする。

## 事 実 及 び 理 由

### 第 1 請 求

1 被告ビシェイジャパン及び被告トーメンエレクトロニクスは、原告に対し、連帯して、6億5000万円及びこれに対する平成17年12月28日から支払済みまで年5分の割合による金員を支払え。

2 被告ビシェイジャパン及び被告菱電商事は、原告に対し、連帯して、2億8500万円及び平成17年12月28日から支払済みまで年5分の割合による金員を支払え。

3 被告ビシェイジャパンは、原告に対し、6500万円及びこれに対する平成17年12月28日から支払済みまで年5分の割合による金員を支払え。

### 第 2 事 案 の 概 要

本件は、被告らによる被告商品の販売等が原告の有していた特許権を侵害したとして、原告が被告らに対し、その不当利得の返還を求めたのに対し、被告らが、構成要件の非充足、特許権の無効等を主張して争った事案である。

#### 1 前 提 事 実

##### (1) 当 事 者

ア 原告は、電子機器、電子部品等の製造及び販売を業とする株式会社である。

原告は、平成13年4月4日、松下電子工業株式会社を吸収合併し、後記本件特許権及び不当利得返還請求権を含む本件特許権に関する一切の権利を承継取得した。

イ 被告ビシェイジャパンは、半導体製品等に関連する技術サービスに関する業務及び販売促進に関する業務の受託等を目的とする株式会社である。

シンガポール法人Vishay Intertechnology Asia Pte Ltd (以下「ビシェイアジア社」という。)は、米国法人Siliconix Incorporated (以下「シリコニクス社」という。)が日本国外において製造、販売するトランジスタ等の電子部品等を日本向けに輸出している。

被告ビシェイジャパンは、ビシェイアジア社の子会社である。

ウ 被告トーメンエレクトロニクス及び被告菱電商事(以下、両社を「被告商社ら」という。)は、いずれも、半導体、電子部品等の日本国内への輸入及び販売等を業とする株式会社である。

(争いのない事実、弁論の全趣旨)

(2) 本件特許権

ア 松下電子工業株式会社は、以下の特許権を取得した(以下、この特許権を「本件特許権」と、その発明を「本件特許発明」といい、別紙特許公報掲載の明細書及び図面を「本件特許明細書」という。)

特許番号	第1761945号
発明の名称	縦型構造電界効果トランジスタ
出願日	昭和57年7月5日
登録日	平成5年5月28日
存続期間満了	平成14年7月5日

特許請求の範囲

(100)面を有するシリコン基板の表面に、長手方向が<110>方向と45°の角度をなす矩形形状の凹部が形成され、前記矩形形状の凹部の側面をなす(010)または(001)面をチャンネルとして用いる縦型構造電界効果トランジスタ。

イ 構成要件の分説

本件特許発明を構成要件に分説すると、以下のとおりである(以下、各構成要件を「構成要件A」のように表記する。)

- A (100)面を有するシリコン基板の
- B1 表面に、長手方向が<110>方向と45°の角度をなす
- B2 矩形形状の凹部が形成され、
- C1 前記矩形形状の凹部の側面をなす(010)または(001)面を
- C2 チャンネルとして用いる
- D 縦型構造電界効果トランジスタ。

(以上, 争いのない事実)

(3) 被告商品

ア シリコニクス社は, 日本国外で, 別紙被告商品目録記載の商品(以下, 同目録「第1 商品番号」(1)ないし(150)記載の商品を併せて「被告商品」という。)を製造していた。

イ 被告商品の基板の構造は, 同目録第2の「1 対象商品」で例示されている商品(1)ないし(5)の基板構造(同目録第3の各対象商品の「(9)対象商品の基板構造を説明する図面」のとおり)のいずれかに該当する。

ウ 被告商品の構成は, いずれも次のとおりである。

a シリコン元素からなる基板を有し, その基板の表面は(1 0 0)面であり,

b 1 前記シリコン基板表面に形成されている凹部の長手方向は[0 0 1]方向または[0 1 0]方向をなし,

b 2 凹部の断面の形状は, 開口部から下部にかけて側面が約1度から5度内側に傾斜し, 凹部の下部は丸みを帯びており,

c 1 前記凹部の側面は(0 1 0)面または(0 0 1)面から約1度から5度傾斜し,

c 2 同側面はトランジスタのチャンネルとしての機能を有する,

d 縦型構造電界効果トランジスタ。

(以上, 争いのない事実)

(4) 被告商品の構成要件充足性

被告商品の構成 a は本件特許発明の構成要件 A を, 構成 b 1 は構成要件 B 1 を, 構成 c 2 は構成要件 C 2 を, 構成 d は構成要件 D を, それぞれ充足する。

(争いのない事実)

(5) 被告商品が日本国内に輸入される際の取引態様

ア 被告商品を日本に向けて輸出していたのは, 平成8年1月1日から平成11年までは, シンガポール法人Vishay Asia Pte Ltd (同社の平成5年以前の商号

は「Siliconix Asia Pacific Pte Ltd」であり、同年から平成10年までの商号は「Temic(S) Pte Ltd」であった。)であり、平成11年から平成14年7月5日までは、ビシェイアジア社(以下、併せて「ビシェイアジア社ら」という。)であった。

イ 被告トーメンエレクトロニクスは、平成8年1月1日から平成14年7月5日までの間、被告商品のうち、別紙輸入商品一覧表の「トーメン」欄に「○」と記載された商品を輸入した。

ウ 被告菱電商事は、平成10年1月1日から平成14年7月5日までの間、被告商品のうち、別紙輸入商品一覧表の「菱電」欄に「○」と記載された商品を輸入した。

(以上、争いのない事実)

## 2 争点

- (1) 構成要件充足性
- (2) 本件特許権は無効か
- (3) 被告ビシェイジャパンの行為
- (4) 被告商社らの行為
- (5) 原告の損失及び被告らの利得

## 3 争点に関する当事者の主張

- (1) 構成要件充足性

### ア 原告の主張

- (7) 構成要件B2, C1の「矩形状の凹部」の意義

#### a まとめ

構成要件B2, C1の「矩形状」は、以下の理由から、凹部の断面形状が完全に垂直で下部の2つの角が直角をなす厳密な意味での長方形に限られず、側面が垂直線から10°又はそれよりも緩い角度の傾斜を有しているものを包含し、かつ下部の2つの角が丸い形状であるものを包含する概念である。

したがって、被告商品の構成b2は、本件特許発明の構成要件B2を充足する。

b 当業者の認識，理解

(a) 本件特許発明は，縦型電界効果トランジスタ(縦型MOSFET)に関するものであり，また，本件特許明細書には，シリコン基板上に設けられる溝は，反応性イオン・エッチング法や反応性イオン・ビーム・エッチング法によってシリコン基板上に形成されることが記載されている(本件特許明細書2欄21行～24行)。

したがって，本件特許請求の範囲の解釈は，電界効果トランジスタ及びシリコン基板にエッチングにより溝を形成する当業者の認識，理解に基づいてされなければならない。

(b) 本件特許発明が属する技術分野では，シリコン基板の表面に設けられる凹部の長手方向の断面形状を表現するに当たって，下部の両角が直角でなく，また溝の側面が $10^\circ$ 程度の傾きを有していても，断面側面が開口部からある程度の長さほぼ垂直下方に伸びているものにつき，模式図面では断面の側面が垂直下方に伸び，下部が直角で構成される図面が用いられ，その形状について「rectangular grooving」(長方形の溝)，「rectangular trenches」(長方形の溝)，「垂直な壁面を有する凹所」などの表現が用いられている(甲9～13，64，65，87，乙7)。

(c) 反応性イオン・エッチング法によりエッチングを行う場合，反応性イオンには，シリコン基板に対して垂直に入射するものに加え，斜めに入射するものがあり(甲8の105頁2行～9行)，シリコン基板に設けられる凹部の側壁にえぐれが生じるとともに，凹部の断面形状の下部はU字型になるなど，厳密な意味での長方形にならないのが一般的である。

(d) 本件特許発明は，V字形断面の溝の「\」面及び「/」面をチャンネルとして使用する従来技術に対し，(100)面を有するシリコン基板に対し(010)面又は(001)面をチャンネルとして使用するということであるから，当業者にとって，チャンネルとして使用しない溝の底部の形状は関係ない。

また，当業者にとって，従来技術であるV字型断面の溝の「\」面及び「/」面

は、特定の結晶面に対してほとんどエッチングが進まない「異方性ウェットエッチング」を用いて形成され、基板表面の(100)面から垂直下部方向に伸びる面{011}面から高い精度で35.3°内側に傾斜していることは技術常識である。したがって、当業者は、反応性イオン・エッチング法等を用いて形成される「矩形状」の凹部の断面側面の意味を、従来技術のV字型断面形状の溝の側面が形成する35.3°という角度を有するチャンネル面との対比で理解する。

c 日本語としての通常の意味

「矩形状」の「矩形」とは長方形を意味し、「ある形」プラス「状」という表現は、「厳密にはある形状ではないが、ある形のような、ある形状に類する形」を意味する一般的慣用表現であるから、「矩形状」とは、厳密な意味での長方形と、長方形のような形状であるものの両方を意味する。

(イ) 構成要件C1の「(010)または(001)面」の意義

構成要件C1の「(010)または(001)面」は、構成要件B2、C1の「矩形状の凹部」の側面を意味するところ、上記(ア)のとおり、「矩形状の凹部」の側面は、表面である(100)面から厳密に垂直下部に伸びておらず、若干の傾きが存在するものを含むから、垂直面より若干の傾きを有している側面であっても、「(010)または(001)面」に含まれる。

したがって、被告商品の構成c1は、本件特許発明の構成要件C1を充足する。

(ウ) 均等による侵害

仮に被告商品の「凹部の下部は丸みを帯びて」いる形状が「矩形状の凹部」に該当しないとしても、被告商品の構成b2は、均等により、構成要件B2を充足する。

a 発明の本質的部分

本件特許発明は、シリコン基板の表面に設けられた矩形状の凹部の側面をなす(010)面又は(001)面をチャンネルとして使用することにより、パワーMOSFETのオン抵抗を小さくすることができるという顕著な作用効果を奏するものであって、「(010)または(001)面をチャンネルとして用いる」構成が、本件特

許発明の本質的部分である。

したがって、凹部の断面下部の形状は、本件特許発明の本質的部分ではない。

b 置換可能性

本件特許発明においてパワーMOSFETのオン抵抗を小さくするという顕著な作用効果をもたらすのは、(0 1 0)面又は(0 0 1)面をチャンネルとして使用することによるものであり、チャンネルとして使用しない凹部断面下部の形状は作用効果に何ら影響しない。

したがって、本件特許発明における矩形状の凹部の断面下部を、「直角である形状」から「丸みを帯びている形状」に置き換えても、本件特許発明の目的である顕著な作用効果は同様に実現される。

c 置換容易性

チャンネルとして使用しない凹部の断面下部の形状は意味を有さないため、シリコン基板上に設けられた凹部の断面下部の形状が丸みを帯びているMOSFETのチャンネルのオン抵抗が、従来技術である溝の「\」面及び「/」面をチャンネルとして使用する「V」字溝のMOSFETと比較して低いことは、被告らによる侵害行為時までには周知となっていた。

したがって、本件特許発明における矩形状の凹部の断面下部形状を「直角である形状」から「丸みを帯びている形状」に置き換えることは、当業者であれば容易に想到することができた。

d 容易推考性

後記被告らの主張(ウ) dは否認する。

イ 被告らの主張

(ア) 構成要件B 2, C 1の「矩形状の凹部」の意義

a 原告の主張(ア) a (まとめ)は否認する。

b (a) 原告の主張(ア) b (当業者の認識, 理解) (a)は明らかに争わない。

(b) 同 b (b)は否認する。

本件特許権の出願時以前に頒布された刊行物である特開昭55-148438号公報(乙7。以下「刊行物1」という。)においても、側面が若干傾斜している形状を「実質的にU形の…」(5頁右上欄14行)と表現したり、簡略図面において長方形として描いているのであって(第2図~第4図,第8図~第12図),このような形状が「矩形状」と表現されり,その側面がミラー指数によって表現された例はない。

(c) 同b(c)は明らかに争わない。

(d) 同b(d)は否認する。

従来のV字型の溝の側面の角度が高い精度で $35.3^\circ$ 傾斜していることが技術常識であるならば,本件特許明細書の「…シリコン・エッチングは第2図b…に示すように,(100)表面に対して垂直にエッチングを行う。この時,直方体にエッチングされた側面は,第2図bに示すようにそれぞれ(010),(001)面となり,(100)面と等価な面である。」(2欄15行~21行),「次に,先に述べたようにシリコン基板を表面に対して垂直に,かつp形層3を貫通するまでエッチングする(第3図b参照)。この時,エッチング部の底面は(100)面で側面は,(010)と(001)面である。」(3欄14行~18行)との記載,並びに断面形状が文字どおりの長方形に描かれた第2図b,第3図bに接した当業者は,上記記載のみをサポートとする特許請求の範囲の「矩形状」の意義について,「高い精度で(100)面に対して垂直」と理解する。

c 同c(日本語としての通常の意味)は否認する。

「矩形」は長方形を意味し,「~状」とは「~という形・状態」を意味するから,「矩形状の凹部」とは,「凹部が長方形という形状をしていること」を意味する。

(i) 構成要件C1の「(010)または(001)面」の意義

同(i)は否認する。

(ii) 均等による侵害

a 同(ii)a(発明の本質的部分)は否認する。

b 同(ウ) b (置換可能性)は否認する。

本件特許発明に原告主張の顕著な作用効果が存在することは、何ら証明されていないし、チャンネルとして使用しない凹部の断面下部の形状がオン抵抗に影響しないことも、証明されていない。

c 同(ウ) c (置換容易性)は否認する。

d 被告商品は、後記(2)ア(ウ)のとおり、本件特許権の出願時における公知技術と周知の知見に基づいて、容易に想到することができた。

(2) 本件特許権は無効か

ア 被告らの主張

(7) 旧特許法36条5項違反

a (a) 原告は、本件特許発明の構成要件B2にいう「矩形状の凹部」には、被告商品のように、凹部の断面形状が①側面が垂直線から10°又はそれよりも緩い角度の傾斜を有しており、②断面下部の2つの角が丸い形状であるものを包含する旨主張する。

(b) そうであれば、本件特許明細書の特許請求の範囲の記載は、上記凹部の側面が何度まで傾斜するものが「矩形状の凹部」に該当するのかについて、外延が不明確であり、本件特許明細書の他の部分にもこれを明確にする記載はないから、結局、本件特許発明の技術的範囲は不明確である。

したがって、本件特許明細書の特許請求の範囲の記載は、昭和60年法律第41号による改正前の特許法(以下「旧特許法」という。)36条5項(「…特許請求の範囲には、発明の詳細な説明に記載した発明の構成に欠くことができない事項のみを記載しなければならない…」)に違反する。

b (a) 本件特許明細書には、従来技術の課題について、第1図に示される従来例の縦型構造MOSFETでは、チャンネル面として(111)面を使用するため電子移動度が小さく、チャンネル抵抗が増大し、オン抵抗が大きくなるとの問題点があったと記載されるとともに、本件特許発明の特徴について、「縦型MOSFET

Tにおいて表面準位密度が小さく、電子移動度の大きな(100)面と、等価な面を用いる新しい構造を提供するものである。」(1欄24行～27行)、すなわち、「(100)面を有するシリコン基板の表面に、長手方向が<110>方向と45°の角度をなす矩形形状の凹部が形成され、前記矩形形状の凹部の側面をなす(010)面または(001)面をチャンネルとして用いるものである。」(2欄1行～5行)とされ、さらに、本件特許発明の効果について、「パワーMOSFETのオン抵抗をさらに小さくすることができる効果がある。」(2欄6行、7行)と記載されている。

しかし、MOSFETには、電子をキャリアとするn型とホール(正孔)をキャリアとするp型の2種類があるところ、p型MOSFETの場合、キャリア移動度(ホール移動度)は{100}面よりも{110}面や{111}面の方が大きいから、上記記載は当てはまらない。

(b) したがって、p型MOSFETの場合、本件特許発明の構成によって本件特許明細書に記載された効果が達成されないから、本件特許明細書の特許請求の範囲の記載は、旧特許法36条5項に違反する。

(イ) 旧特許法36条4項違反

a 構成要件B2にいう「矩形形状の凹部」は、少なくとも文字どおりの「長方形の凹部」を含むところ、文字どおりの長方形の凹部を形成することは、実際には不可能か、極めて困難である。しかも、本件特許明細書には、矩形形状の凹部を形成する手段としての反応性イオン・エッチング法等の条件設定について何ら記載されていない。

したがって、本件特許明細書の特許請求の範囲に含まれる実施態様のうち、文字どおりの矩形形状の凹部を有する構成については、本件特許出願時における当業者が、本件特許明細書の記載に基づいて容易に実施することができない。

よって、本件特許明細書の発明の詳細な説明には、当業者が本件特許発明を容易に実施することができる程度に、その発明の目的、構成及び効果が記載されているとはいえず、旧特許法36条4項に違反する。

b 上記(ア) bのとおり，p型MOSFETについて，本件特許明細書の記載に基づき，同明細書記載の効果を奏するものを製造することは不可能であるから，本件特許明細書の記載は，旧特許法36条4項に違反する。

(ウ) 特許法29条2項違反

a 刊行物1

本件特許権の出願時以前に頒布された刊行物1(乙7)には，次の記載がある(下線部は被告らが付した。)

(a) 米国特許第3975221号の明細書はV形の溝を用いたVMOSFETについて記載しており，このトランジスタは表面拡散されたドレイン領域及び共通基板に於けるソース領域を有している。…米国特許第3412297号，第4003126号，第4084175号，及び第4116720号の明細書；1977

IEEE International Solid-State Circuits Conference, Digest of Technical Papers, 第74頁，第75頁及び第239頁に於けるT. J. Rodgersによる”VMOS Memory Technology”と題する論文；並びに…は，VMOSFET構造体の変形及びその様な構造体の製造方法について記載している。

V形溝はシリコンの異方性食刻によって形成される。その方向性を示す食刻は，シリコンの<100>面を<111>面よりも相当に速い速度で食刻して，鋭いのみ形のV形溝の形状寸法を生ぜしめる。上記のRodgersによる論文は，VMOSセルの記憶ノードが埋込まれたN+型拡散領域である，VMOSランダム・アクセス記憶セルについて記載している。…各セルに於て，V形溝が埋込まれたN+型記憶ノードの上部に食刻されている。V形溝の4つのすべての側壁が読取又は書込動作中に導通する。その結果，チャンネル幅とチャンネル長との比が極めて大きくなり，又はVMOS素子のターン・オン・インピーダンスが極めて小さくなる。(2頁右上欄下から3行～3頁左上欄1行)

(b) 本発明による方法に従って，複数の垂直な又は垂直線から僅かに傾斜したU形溝を有する，相互に誘電体分離されたMOSFETの高密度のマトリックス

が達成される。(3頁左上欄下から5行～2行)

(c) 相互に誘電体分離された高密度のMOSFET素子のマトリックスを形成するための本発明による方法は反応性イオン食刻技術を用いている。反応性イオン食刻技術は、VMOSの製造方法に於て用いられている異方性食刻よりも相当に有利である。…上記の反応性イオン食刻方法は食刻されている単結晶シリコンの結晶方向に依存せず、U形溝の深さは所望の任意の深さでよい。(3頁右上欄下から3行～左下欄下から6行)

(d) 第1図乃至第6図は高密度のMOSFET素子構造体のマトリックスを形成するための本発明による1つの方法を示している。第1図に示されている構造体は、説明のためP型として示されている単結晶シリコン基板10、該基板10上のP型層12、及び該P型層12上のN+型層14を含む。本発明による方法に於て、基板10、層12、及び層14のすべて又は幾つかは示された導電型と反対の導電型を有し得る。この構造体は種々の技術によって製造され得るが、好ましい技術に於ては、 $1 \times 10^{14}$ 乃至 $1 \times 10^{15}$ 原子/ccのドパント濃度及び100乃至25  $\Omega$  cmの導電率を有する $\langle 100 \rangle$ 結晶方向のP型単結晶シリコン基板10が設けられる。(4頁右上欄9行～左下欄3行)

(e) 次に、第3図に示されている如く、誘電体表面層20、層14、及び層12を経て基板10中に延びる反応性イオン食刻された実質的にU形の第2開孔又は溝22が形成される。反応性イオン食刻されたU形の第2開孔22は前述の特願昭51-79995号及び米国特許第4104086号の明細書に記載されている如き方法によって形成される。シリコンのための塩素の種を含む好ましい食刻液は誘電体表面層即ち2酸化シリコン層20を単結晶シリコンよりも遅く食刻する。所望ならば、2酸化シリコン層20を食刻するためにフォトレジスト・マスク(図示せず)及び化学的食刻を用い、それから2酸化シリコン層20をマスクとして用いてシリコンを反応性イオン食刻することも出来る。その結果、垂直線から僅かに傾斜した、好ましくは2乃至10度傾斜した、実質的にU型の第2開孔が形成される。

誘電体分離領域 1 8 の間の各単結晶シリコン領域は第 2 開孔 2 2 によって実質的に 2 分される。それらの第 2 開孔 2 2 内の表面上にゲート誘電体層 2 4 を形成するために、基体が 9 7 0 °C の酸素及び／若しくは蒸気であり得る酸化雰囲気に対して曝される。(5 頁右上欄 1 2 行～左下欄 1 3 行)

(f) 第 4 図は、本発明による 1 つの方法に従って形成された構造体を示している。第 4 図に示されている構造体を形成するためには、ゲート誘電体層即ち 2 酸化シリコン層 2 4 で被覆された第 2 開孔 2 2 中に、ドーパされた多結晶シリコン層 2 6 を付着することが必要である。ドーパされた多結晶シリコン層は典型的には  $\text{SiH}_4$ ,  $\text{N}_2$ , 及び  $\text{PH}_3$  の如きドパント材料を用いた化学的気相付着によって付着される。…FET のためのチャンネルは P 型領域 3 4 である。ドーパされた多結晶シリコン層で充填された第 2 開孔即ちドーパされた多結晶シリコン層 2 6 はゲート電極である。(5 頁左下欄下から 3 行～右下欄下から 2 行)

(g) 第 5 図は第 4 図の平面図であり、第 4 図は第 5 図の線 4 - 4 に於ける縦断面図である。

第 4 図及び第 5 図に示されている素子構造体の動作を、第 4 図乃至第 6 図を参照して説明する。書込動作に於て、ワード線 2 8 に正電圧が加えられて、チャンネル 3 4 が導通する。(6 頁左上欄 3 行～8 行)

(h) 第 7 図乃至第 1 4 図は、単一チャンネル側壁の FET 素子を有する MOSFET・RAM 素子構造体を形成するための本発明によるもう 1 つの方法を示している。…第 7 図は一連のエピタキシャル及び／若しくは拡散工程が施された後の構造体を示している。この構造体は、任意の適当な結晶方向を有し得る P+型単結晶シリコン基板 6 0, 上記基板 6 0 上の第 1 N+型層 6 1, 上記 N+型層 6 1 上の P 型層 6 2, 及び上記 P 型層 6 2 上の第 2 N+型層 6 3 を含む。(6 頁左下欄 4 行～下から 5 行)

(i) 次に、第 1 1 図に示されている如く、誘電体表面層 6 8, 層 6 6, 層 6 3, 層 6 2, 及び層 6 1 を経て P+型基板 6 0 中に延びる実質的に U 形の第 2 開孔

又は溝70が反応性イオン食刻により形成される。反応性イオン食刻された第2開孔70は、前述の特願昭51-79995号及び米国特許第4104086号の明細書に開示されている如く、又先に本発明による1つの方法に於て第3図に関連して記載されている如く、形成される。第2開孔70は垂直線から僅かに傾斜した、好ましくは2乃至10度傾斜した、実質的にU形の開孔である。誘電体分離領域64の間の各単結晶シリコン領域は第2開孔70によって実質的に2分される。実際に於て、第2開孔70は、或る誘電体領域から他の誘電体領域へ延びているので、2分された単結晶領域を相互に分離する。この概念は後に、説明する第13図から容易に理解され得る。次に、2酸化シリコン層即ちゲート誘電体層72を形成するために、基体が例えば970℃の酸素又は蒸気であり得る酸化雰囲気に対して曝される。…その結果形成された構造体が第11図に示されている。(7頁左上欄下から4行～左下欄8行)

(j) 第12図及び第13図はこの方法に於ける最終工程を明確に示している。典型的には、先に第4図に関連して述べた如く化学的気相付着により付着されたドーパされた多結晶シリコン表面層74が、ゲート誘電体層72を内部に有する第2開孔70中及び2酸化シリコン層68上に形成される。好ましくはN+型にドーパされた多結晶シリコン表面層74中に所望のワード線のパターンを限定するために、フォトリソグラフィ技術が用いられる。(7頁左下欄9行～下から3行)

(k) 第13図は、最上層が部分的に除去されて示されている、集積回路構造体の上面図である。第12図は第13図の線12-12に於ける縦断面図である。N+型にドーパされた多結晶シリコン層66はメモリのビット線である。第1N+型層61及び第2N+層63はMOSFETのソース/ドレイン領域である。P型層62は第N+型層61(被告ら注・「第1N+型層61」の誤記)及び第2N+層63を相互に分離し、MOSFETチャンネルのための領域を与える。P+型基板60と第1N+型層61との間の接合はメモリ・セルのキャパシタである。(7頁右下欄2行～12行)

b 刊行物1の開示事項

(a) 開示事項

以上の記載によれば、刊行物1には、「(100)面を有するシリコン基板の表面に、矩形状の凹部が形成され、前記矩形状の凹部の側面をチャンネル面として用いる縦型構造電界効果トランジスタ」(以下「刊行物1 MOSFET」という。)が開示されている。

そして、刊行物1では、刊行物1 MOSFETにおいて、矩形上の凹部の長手方向をどの方向に選択するかについては特に限定がない。

(b) (100)面を有するとの点について

原告は、刊行物1の9頁の第4図に図示された構成のMOSFET素子構造は、本件特許発明のMOSFETとはその構造を全く異にする構造体であると主張するが、本件特許明細書の第1図から第6図の実施例では、ゲート電圧の印加の有無によってチャンネル電流の制御が行われているから、電界効果トランジスタである。そして、この素子の基板を示す第1図について、上記a(d)のとおり、(100)面を表面とする基板を用いるのが望ましいと明確にされている。

また、本件特許明細書の第7図から第14図に記載された実施例についても、上記のa(h)の記載、上記第1図から第6図の実施例において(100)面を表面とする基板を用いるのが好適とされていること、本件特許出願時において、MOSFETは(100)面を表面とする基板を用いることが最も一般的であったことからすれば、(100)面を表面とする基板を用いることが実質的に開示されているか、少なくとも当業者が容易に想到できたことである。

c 刊行物2

本件特許出願前に頒布された刊行物である特公昭42-21446号公報(乙8。以下「刊行物2」という。)には、次の記載がある(下線部は被告らが付した。)

(a) さらに本発明の目的はキャリア易動度の大きい、従って高周波特性の改善された絶縁ゲート型電界効果トランジスタを提供するにある。(2頁左欄13

行～15行)

(b) そして本発明は半導体基体表面が絶縁物被膜で覆われて成る半導体装置において、前記被膜で覆われた前記基体の表面は {100} 面, {110} 面あるいはそれらの面の近傍の面に平行な結晶面を有し、該面の表面キャリア密度は到達し得る最小の値を有することを基本的特徴とする。(2頁左欄18行～23行)

(c) …従がって以下の実施例においてはこの測定が容易な絶縁ゲート型いわゆるMOS型電界効果トランジスタを例にとって本発明の説明を行う。

第2図に示すようにP型Si基板1上にSiO<sub>2</sub>被膜2を成長せしめ該絶縁被膜2上に金属電極3を設ける。この際SiO<sub>2</sub>被膜2を設けることによって基板表面上にはチャンネル層4が誘起される。また上記基板1の中にN型領域5を形成しおのおのに端子電極6および7を取付ける。この状態で端子6および7間のコンダクタンスGを測定する。ここにおいてコンダクタンスGは次の式で表わされる。

$$G = (q \cdot NDS - Q) \mu d \cdot W / L \quad (1)$$

q : 電子電荷      NDS : 表面ドナー数

Q : 電極3の電荷       $\mu d$  : 表面の電子移動度

…上述のごとき式に基きまず {111} 面結晶に比し {110} あるいは {100} 面結晶の優位性を明らかにするため、次に示すシリコン単結晶を用いて、それぞれ電界効果型トランジスタを製造した場合について述べると、第2図に示すようなP型Si比抵抗100Ω・cmの結晶1を用いて該結晶1上に約1500ÅのSiO<sub>2</sub>被膜2を成長せしめさらにその上にアルミニウムを蒸着してゲート電極3とする半導体結晶1表面にはチャンネル層4が生じている。さらに結晶1に7μの間隔をもって長さ1600μ、深さ約10μのN型領域5を形成しおのおのにソース電極6およびドレイン電極7を設ける。(2頁左欄30行～右欄25行)

(d) 上述の処理を施した電界効果トランジスタのゲート電圧VGとコンダクタンスGとの間の関係をグラフにとると第3図に示すようになる。同図においてaは {100}, bは {110}, cは {111} 面を使用したものである。表面の

電子移動度  $\mu d$  との関係をも含めてその結果を表わすと第 1 表のようになる。なお第 3 図におのおのにはそれぞれ 3 本の曲線が示されているがそれらは各試料集団から 3 個ずつ抽出して測定した結果であり、一方第 1 表は各試料集団の平均値を示している。

第 1 表

結晶面 \ 定数	$V_{GO}$	$N_{DS} \text{ min.}$	$\mu d$
1 1 1	-5.5 V	$8.3 \times 10^{11} / \text{cm}^2$	$150 \text{ cm}^2 / \text{V} \cdot \text{sec}$
1 1 0	-9.3 "	$5.0 \times 10^{11} / \text{cm}^2$	$320 \text{ cm}^2 / \text{V} \cdot \text{sec}$
1 0 0	-2.3 "	$3.5 \times 10^{11} / \text{cm}^2$	$530 \text{ cm}^2 / \text{V} \cdot \text{sec}$

…また電子移動度  $\mu d$  が大きいことは、ゲート電圧変化に対するコンダクタンス変化の大きいこと即ち電圧感度が大なることを意味しており、特に MOS 型の電界効果型トランジスタを製造する上に有利である。以上の実験から {1 1 0} 面あるいは {1 0 0} 面結晶を半導体装置として用いた方が {1 1 1} 面の半導体装置に比べて、優れた特性および効果を示すことが解釈できるであろう。(2 頁右欄下から 1 1 行～3 頁左欄 1 6 行)

(e) 第 4 図および第 5 図に従来および本発明の MOS 型電界効果型トランジスタの特性を示す。第 5 図から明らかなように本発明によれば異なる  $V_G$  におけるおのおのの曲線間の間隔がずっと広がる。このことは本発明が従来のものよりも相互コンダクタンス  $g_m$  が増加することを示しており、高利得のものが得られる。また電流電圧特性曲線のドレイン電圧の低電圧領域での立上りが従来のものに比して鋭く、従って高感度のものが得られることは言うまでもない。…以上のことから、本発明にかかる {1 1 0} 面または {1 0 0} 面結晶を絶縁被膜で半導体表面が保護された半導体装置に用いることは極めて有利なことは充分理解できよう。(3 頁右欄 1 6 行～下から 5 行)

d 刊行物 2 の開示事項

(a) 刊行物 2 には、チャンネル層として {1 0 0} 面を用いるプレーナ MO

S F E Tが記載され、また、 $\{100\}$ 面は $\{111\}$ 面や $\{110\}$ 面よりも電子移動度( $\mu d$ )が大きく(第1表「 $\mu d$ 」欄参照)、「電子移動度 $\mu d$ が大きいことは、ゲート電圧変化に対するコンダクタンス変化の大きいこと即ち電圧感度が大なることを意味しており、特にMOS型の電界効果型トランジスタを製造する上に有利である。」旨記載されている。

(b) 電子移動度及びチャンネル抵抗における $\{100\}$ 面の優位性は、本件特許出願前の刊行物である次の2つの刊行物にも示されている。

「Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors」(LDMOS, VDMOS及びVMOSパワートランジスタのオン抵抗モデル化)と題する昭和55年2月のIEEEの論文(乙12),

「Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces」(熱酸化シリコン表面における反転層及び堆積層の電子移動度)と題する昭和55年8月のIEEEの論文(乙13)

(c) このように、 $\{100\}$ 面は電子移動度が大きく、MOS型電界効果トランジスタ(MOSFET)においてチャンネルとして使うのに適した面であることは、本件特許権の出願時において技術常識であった。

e 刊行物1MOSFETと本件特許発明との対比

(a) 一致点と相違点

刊行物1MOSFETと本件特許発明とを対比すると、両者は、「(100)面を有するシリコン基板の表面に、矩形状の凹部が形成され、前記矩形状の凹部の側面をチャンネル面として用いる縦型構造電界効果トランジスタである点」において一致し、矩形上の凹部の長手方向について、刊行物1MOSFETでは何ら限定されていないのに対し、本件特許発明では $[010]$ 方向又は $[001]$ 方向と限定されている点で相違する。

(b) 相違点の検討

当業者が刊行物1MOSFETを実際に作製しようとする場合、矩形状の凹部の

長手方向を選択する必要があるところ、刊行物1 MOSFETにおいて、矩形上の凹部の長手方向についてどの向きを選択も許容されていることからすれば、上記凹部の長手方向を〔0 1 0〕方向又は〔0 0 1〕方向とすることは、単なる設計事項に属するものであり、何の困難性もない。

加えて、当業者は、刊行物1 MOSFETを実際に作製するに当たって、矩形上の凹部の長手方向を選択する際、刊行物2に記載されたとおり、「{1 0 0}面は{1 1 1}面や{1 1 0}面よりも電子移動度が大きく、電子移動度が大きいことは、ゲート電圧変化に対するコンダクタンス変化の大きいこと、すなわち電圧感度が大きいことを意味するから、特にMOS型電界効果トランジスタを製造する上で有利であること」を技術常識として理解している。そして、チャンネルの機能や物理は、プレーナ型MOSFETでも縦型MOSFETでも基本的に同じであるから、チャンネル面が{1 0 0}面である(0 1 0)面や(0 0 1)面になるように凹部の方向を選択する動機がある。

さらに、(1 0 0)面を有する基板の表面に設けられた矩形上の凹部の側面であるチャンネル面を(0 1 0)面や(0 0 1)面とするには、矩形上の凹部の長手方向を〔0 1 0〕方向又は〔0 0 1〕方向にすればよいことも技術常識である。

したがって、本件特許発明は、刊行物1 MOSFETにおいて矩形上の凹部の長手方向を〔0 1 0〕方向又は〔0 0 1〕方向に選択しただけのものであり、本件特許出願時における当業者が、刊行物1 MOSFETと技術常識に基づき、容易に想到することができたものである。

#### f まとめ

したがって、本件特許発明は進歩性を欠くから、本件特許権は特許法29条2項に違反して与えられたもので、特許無効審判により無効にされるべきものと認められるから、同法104条の3第1項により、本件特許権の行使は許されない。

#### g 刊行物1に刊行物2を組み合わせることの困難性に対する反論

##### (a) 技術課題の相違

RAM用MOSFETであっても、チャンネル抵抗が小さい方が素子の動作速度が早くなるため望ましいことは当然であって、このことは、刊行物1の「その結果、チャンネル幅とチャンネル長との比が極めて大きくなり、又はVMOS素子のターン・オン・インピーダンスが極めて小さくなる。」(2頁右下欄下から3行～3頁左上欄1行)との記載からも明らかである。

また、チャンネル抵抗を小さくするという課題は、より寸法の小さいメモリを作るために素子の集積度を上げるという課題と両立し得る。

なお、本件特許発明の対象は、「縦型構造電界効果トランジスタ」であって、パワーMOSFETに限定されていない。

#### (b) 溝の方向についての技術常識

本件特許出願時において、シリコン基板上に本件特許発明のように凹部を設ける場合、シリコン基板表面を(100)面とし、長手方向を<110>方向と平行とするのが技術常識であったとしても、それは特定の意図を持たずに設計した場合のことであって、オン抵抗の低減化のために{100}面がチャンネル面になるように方向を選択することは、技術的思想の創作としては、格別の困難なく想到し得たといふべきである。

しかも、本件特許出願前に頒布された刊行物である特開昭57-84176号公報(乙11)には、①(100)面を表面とするシリコン基板状のデバイスの長手方向を{110}面のオリエンテーションフラットに対して45°傾けること、及び②(100)面を表面とするシリコン基板において、{100}面をオリエンテーションフラットとし、これに対して垂直又は平行にデバイスを形成することが記載されており、長手方向を<110>方向と平行とするのが技術常識であり、それ以外の選択が困難であったということはできない。

#### (c) 選択可能な溝の方向

当業者は、刊行物1MOSFETを実施するに当たり、必ずチャンネル面の選択という作業に直面する。

そして、その現実的な選択肢は、(100)面を表面とする基板を用いた場合、{100}面と{110}面の2通りだけである。

(d) 電子の輸送経路との認識

前記(ア) bのとおり、p型MOSFETの場合、原告主張の課題は、本件特許発明の構成によって解決することができない。このように、明細書記載の課題を解決することができない構成を包含する特許発明の進歩性を判断する場合において、公知技術と特許発明との課題の共通性や特許発明の作用効果を進歩性を肯定する事情として考慮することはできない。

しかも、当業者が、刊行物1記載の積層体が有するチャンネル領域を単にキャリアの輸送経路と認識するだけではなく、電子の輸送経路であると認識することは、容易なことであった。

(e) 刊行物2等

原告は、縦型構造の電界効果トランジスタにおいては、そのチャンネル面を{111}面とすることが技術常識であった旨主張するが、上記技術常識はウェットエッチングによって溝を形成する場合のことであり、反応性イオンエッチングや反応性イオンビームエッチングの技術がMOSFETに適用可能であることが知られるようになった後である本件特許出願時には、上記技術常識は当てはまらない。

また、刊行物2は、単にシリコン基板の表面を{100}面とすることを開示するにとどまらず、この{100}面が{110}面や{111}面と比べて電子移動度が高く、チャンネル面として好ましいことも開示している。

しかも、基板の表面であっても、溝の側面であっても、チャンネル面を電子が移動するというメカニズムは同一である以上、{100}面が電子移動度が高いとの上記知見を縦型MOSFETのチャンネルに適用することは容易なことであった。

h 商業的成功等に対する反論

(a) 原告は、商業的成功の点を主張するが、本件特許発明はパワーMOSFETに限定されていないし、商業的成功が仮に認められるとしても、上記容易推考

の判断を左右するものではない。

(b) IBM等が本件特許発明と同一内容の発明を公表していなかったとしても、当業者にとって容易に想到可能な発明が公表されず、実施もされないことはいくらでも存在するから、発明の公表や実施がなかったことは、何ら当該発明の進歩性を裏付けるものではない。

イ 原告の主張

(ア) 旧特許法36条5項違反

a 被告らの主張(ア) aのうち、(a)は認め、(b)は否認する。

前記(1)アのとおり、本件特許発明における「矩形状」とは、側面が垂直線から $10^\circ$ よりも緩い角度の傾斜を有しているものを包含すること等は、当業者であれば一義的に理解できることである。

b 同(ア) bのうち、(a)は認め、(b)は否認する。

本件特許発明は、n型MOSFETに関するものであり、p型MOSFETを含まない。この点は、被告らが指摘する本件特許明細書の記載箇所、及び本件特許出願時のパワーMOSFETはごく一部の例外を除きすべてn型であったことは当業者の常識であったことから明らかである。

(イ) 旧特許法36条4項違反

a 同(イ) aは否認する。

旧特許法36条4項は、請求項に係る発明をどのように実施するかにつき、明細書において、発明の実施の形態のうち少なくとも1つが記載されていることを求めているにすぎない。本件特許明細書には、本件特許出願時における当業者が本件特許発明の実施の形態のうち少なくとも1つを実施するに十分な事項が開示されており、当業者がこれに基づいて「矩形状の凹部」を形成できたことは明らかである。

b 同(イ) bは否認する。

前記(ア) bのとおり、本件特許発明はp型MOSFETを含まない。

(ウ) 特許法29条2項違反

a 同(ウ) a (刊行物 1)は認める。

b (a) 同(ウ) b (刊行物 1 の開示事項) (a)のうち、刊行物 1 に「シリコン基板の表面に、矩形状の凹部が形成され、前記矩形状の凹部の側面をチャンネル面として用いる縦型構造電界効果トランジスタ」が開示されていることは認めるが、「(100)面を有する」との点は否認する。

刊行物 1 では、刊行物 1 MOSFETにおいて、矩形上の凹部の長手方向をどの方向に選択するかについて特に限定がないことは、否認する。

(b) 刊行物 1 の記載のうち、4 頁右上欄 1 2 行～左下欄 3 行の記載(前記被告らの主張(ウ) a (d))は、第 4 図に図示された MOSFET 素子構造体の形成方法に関する記載であるところ、その素子構造は、「ソース領域」も「ドレイン領域」も設けられておらず、「ビット線」と「チャンネル」との間に p n 接合が形成されているにすぎず、本件特許発明の MOSFET とは構造が異なり、本件特許発明の容易想到性を判断する基礎となり得ない。

さらに、上記部分には、「この構造体は…好ましい技術に於ては、… $\langle 100 \rangle$  結晶方向の P 型単結晶シリコン基板 10 が設けられる。」(4 頁右上欄 1 8 行～同左下欄 3 行)と記載されており、(100)面ではない他の結晶面方位のシリコン基板も何ら排除されていない。

(c) 本件特許発明の進歩性欠如の根拠の主引用例とするのであれば、その構造が一応本件特許発明のものと一致する第 1 2 図に図示された積層体を選択すべきであるが、その形成に用いられる基板は、「任意の適当な結晶方向を有し得る P 型単結晶シリコン基板 60」(前記被告らの主張(ウ) a (h))であり、(100)結晶面であるという記載はない。

c 同(ウ) c (刊行物 2)は認める。

d 同(ウ) d (刊行物 2 の開示事項)のうち、(a)及び(b)は認め、(c)は否認する。

e (a) 同(ウ) e (刊行物 1 MOSFET と本件特許発明との対比) (a) (一致点と相違点)のうち、(100)面を有する点で一致することは否認し、その余は認める。

上記 b のとおり、刊行物 1 には、(1 0 0)面を有することは開示されていない。

(b) 同(ウ) e (b) (相違点の検討)は否認する。

f 同(ウ) f (まとめ)は争う。

g 刊行物 1 に刊行物 2 を組み合わせることの困難性

(a) 技術課題の相違

本件特許発明は、高電圧・大電流を制御するパワー MOS F E T について、チャンネル抵抗を低減して発熱を防止するために、電子移動度が大きい面をチャンネルとしてチャンネル抵抗をより小さくすることを目的としているのに対し、刊行物 1 は、RAM 用 MOS F E T について、より小さい寸法で、信頼性の良好な MOS F E T を作製することを目的としている。

そのため、刊行物 1 には、矩形上の凹部の断面側面がいかなる面方位を有するかという点が開示されておらず、チャンネル抵抗を技術課題としていないから、刊行物 1 の記載から、電子移動度の大きな面をチャンネル面として使用し、オン抵抗を小さくするという発想が生じることはあり得ない。

刊行物 1 中のターン・オン・インピーダンスが小さくなる旨の記載は、V 形溝ゲート構造の優位性を主張するための記載でしかなく、チャンネル抵抗の低減という技術的課題の認識が可能であったことを示す記載ではない。

(b) 溝の方向についての技術常識

シリコン基板上に本件特許発明のような凹部を設けるためには、反応性イオン・エッチング法や反応性イオン・ビーム・エッチング法によって削る部分を特定するため、フォトリソグラフィ技術が用いられる。この技術は、シリコン基板上にフォトレジストを塗布し、その上に置かれたフォトマスクの上から紫外光線を透過させて露光し、フォトマスク上のマスクパターンをシリコン基板上に転写する技術である。

フォトリソグラフィ技術において、シリコン基板とフォトマスクとを正確に重ね合わせるために利用されるのが、オリエンテーションフラット、すなわちシリコン

基板面内の結晶方位関係を示すためにシリコン基板の一部に設けられた平面である。(100)面をシリコン基板の表面とする場合、半導体に関するSEMI規格がオリエンテーションフラットと定める(110)面と等価な面の中から、(01 $\bar{1}$ )面をオリエンテーションフラットとし、かつそのオリエンテーションフラットの(01 $\bar{1}$ )面をx軸に設定し、その結果、x軸が[011]方向と平行となり、y軸が[01 $\bar{1}$ ]方向と平行となるのが技術常識であった。すなわち、本件特許権の出願時において、凹部となる部分の形状は、 $\langle 110 \rangle$ 方向と平行とするのが技術常識であった。

したがって、本件特許発明の構成要件B1のように、「長手方向が $\langle 110 \rangle$ 方向と45°の角度をなす」ことは、本件特許出願時の技術常識に反することであった。

#### (c) 選択可能な溝の方向

電子移動度との関係から、凹部側面の面方位として、{100}面、{110}面及び{111}面などの面指数の小さな「低指数面」に限るとしても、その面方位には種々の組合せが可能であって、選択肢として{100}面又は{110}面しかなく、いずれの結晶面を壁面とするかは単なる設計事項であるとすることはできない。

#### (d) 電子の輸送経路との認識

プレーナ型素子における(100)面の電子移動度の優位性という技術常識に基づいて本件特許発明をするには、刊行物1記載の積層体が有するチャンネル領域を単にキャリアの輸送経路と認識するだけでなく、電子の輸送経路であると認識することが必要である。

しかし、刊行物1に記載の積層体においては、矩形状凹部の側面に形成されるチャンネルは単なるキャリアの輸送経路でしかなく、キャリアは電子でも正孔でもよいとされている(乙7の8頁右上欄2行～7行)。

#### (e) 刊行物2等

刊行物2は、シリコン基板の表面をチャンネルとするプレーナ型MOSFETにおけるチャンネル面を{100}面に形成することを開示しているだけであって、縦型MOSFETのチャンネル面に対する動機付けが存在しない。

また、縦型MOSFETにおいては、そのチャンネル面を{111}面とすることが技術常識であった。なお、その当時、既に反応性イオンエッチング技術は存在しており(甲87, 88)、チャンネル面を{111}面とすることは、技術的制約によるものではなかった。

しかも、プレーナ型MOSFETは、凹部(矩形状及びV字形)の側部をチャンネルとして用いる縦型MOSFETと比較して、簡単に製造することができるという利点があり、これを放棄してまで、刊行物2及びIEEE論文(乙12, 13)に開示されている発明を刊行物1MOSFETに適用することは容易に想到できることではなく、大きな阻害要因が存在した。

#### h 商業的成功等

(a) 本件特許発明が特許出願され、公表された結果、パワーMOSFET分野の開発動向は大きくその流れを変え、パワーMOSFETの主流は(001)面又は(010)面をチャンネルとする縦型MOSFETとなった。本件特許発明は、出願当時は注目されていなかった技術を飛躍的に進化させ、その後の主流技術とならしめるとともに、商業的成功を収めたパイオニア発明である。

(b) さらに、刊行物2が昭和42年に、刊行物1が昭和55年に公開された後、MOSFETの開発に各社がしのぎを削っていたにもかかわらず、本件特許出願時まで、IBMの技術者を含め、だれも本件特許発明を着想することができなかつたということは、本件特許発明が刊行物1と刊行物2の組合せから容易に想到できるものではなく、進歩性を有することを裏付けている。

#### (3) 被告ビシェイジャパンの行為

##### ア 原告の主張

##### (ア) 自ら販売

被告ビシェイジャパンは、平成8年1月1日から平成14年7月5日まで、日本国内で、自ら被告商品を販売した。

(イ) 商社への販売

被告ビシェイジャパンとビシェイアジア社らは、共同して、上記期間中、日本国内で、被告商社らを含む商社に対し、被告商品を販売した。

(ウ) 商社による販売に対する被告ビシェイジャパンの関与

被告商社らを含む商社は、上記期間中、シンガポールのビシェイアジア社らから購入した被告商品を日本国内で販売していたところ、被告ビシェイジャパンは、実質上ビシェイアジア社らの一部として、商社と共謀の下、被告製品のユーザーに対する販売を行い、少なくとも商社によるユーザーへの販売を補助し、容易にさせた(幫助行為)。

(エ) 被告ビシェイジャパンによる被告商品の販売促進活動

a 被告ビシェイジャパンは、上記期間中、日本国内で、被告商品のカタログ中の問い合わせ欄に自己の連絡先を掲載し、カタログを配布するなど、商社による販売を前提に被告商品の内容を説明するなどしていた。

b 被告ビシェイジャパンは、被告商品を直接日本国内で販売していたから、上記aの行為は、いずれも本件特許発明に係る物の「譲渡の申出」に該当する。

c 上記(ウ)のとおり、被告ビシェイジャパンは、商社と共同して本件特許権を実施していると評価できるところ、上記aの行為は、被告ビシェイジャパンにとって自己の譲渡に関する行為であり、本件特許発明に係る物の譲渡の申出(特許法2条3項1号)に該当する。

d この点は、被告ビシェイジャパンの行為を「幫助」と評価した場合も同様である。

なぜなら、譲渡を自ら行う者であろうが、共同実施者又は幫助者であろうが、特許権者にとって、自己の特許権が侵害されることには変わりはないから、「譲渡等の申出」の主体を「譲渡を自ら行う者」に限定する必要はないからである。

イ 被告ビシェイジャパンの主張

(ア) 原告の主張(ア)(自ら販売)は否認する。

(イ) 同(イ)(商社への販売)は否認する。被告商社らを含む商社は、ビシェイアジア社らから被告商品を輸入していた。被告ビシェイジャパンは、日本のユーザーに対し、被告商品の情報提供や、販売促進、品質サポート等の活動を行っていたにすぎない。

(ウ) 同(ウ)(商社による販売に対する被告ビシェイジャパンの関与)は否認する。

(エ) 同(エ)(被告ビシェイジャパンによる被告商品の販売促進活動)のうち、aは認め、b～dは否認する。

特許法2条3項1号にいう「譲渡等の申出」とは、譲渡を自ら行うことを予定して、その準備行為たる申出を行うことを意味するところ、被告ビシェイジャパンによる上記aの活動は、被告商品の販売を自ら行うことを予定するものではない。

(4) 被告商社らの行為

ア 原告の主張

(ア) 被告トーメンエレクトロニクスは、平成8年1月1日から平成14年7月5日まで、別紙輸入商品一覧表の「トーメン」欄に「×」と記載された被告商品も日本国内に輸入し、日本国内の顧客に販売していた。

(イ) 被告菱電商事は、平成10年1月1日から平成14年7月5日まで、別紙輸入商品一覧表の「菱電」欄に「×」と記載された被告商品も日本国内に輸入し、日本国内の顧客に対し販売していた。

イ 被告トーメンエレクトロニクスの主張

原告の主張(ア)は否認する。

ウ 被告菱電商事の主張

原告の主張(イ)は否認する。

(5) 原告の損失及び被告らの利得

ア 原告の主張

a (a) 被告ビシェイジャパンが販売した被告商品の総売上額は、200億円を下らない。

(b) このうち、被告トーメンエレクトロニクスが被告ビシェイジャパンと共謀して販売した被告商品の総売上額は、130億円を下らない。

(c) また、被告菱電商事が被告ビシェイジャパンと共謀して販売した被告商品の総売上額は、56億5000万円を下らない。

b 本件特許権の実施料率は、5%を下らない。

c (a) よって、原告は、被告ビシェイジャパンの行為により、実施料相当額10億円の損失を被り、これによって同被告は、法律上の原因なく、同額の利得を得た。

$$200 \text{ 億円} \times 5\% = 10 \text{ 億円}$$

(b) このうち、被告トーメンエレクトロニクスとの共謀に基づく実施行為による損失が6億5000万円、被告菱電商事との共謀に基づく実施行為による損失が2億8500万円、被告ビシェイジャパン単独又は被告商社ら以外の商社との共謀に基づく実施行為による損失が6500万円となる。

$$130 \text{ 億円} \times 5\% = 6 \text{ 億} 5000 \text{ 万円}$$

$$56 \text{ 億} 5000 \text{ 万円} \times 5\% = 2 \text{ 億} 8250 \text{ 万円 (原告に計算違いがある。)}$$

$$13 \text{ 億} 5000 \text{ 万円} \times 5\% = 6750 \text{ 万円 (原告に計算違いがある。)}$$

d よって、原告は、不当利得返還請求として、

(a) 被告ビシェイジャパン及び被告トーメンエレクトロニクスに対し、連帯して6億5000万円及びこれに対する訴えの変更申立書送達の日翌日である平成17年12月28日から支払済みまで民法所定の年5分の割合による遅延損害金の支払、

(b) 被告ビシェイジャパン及び被告菱電商事に対し、連帯して2億8500万円及び同遅延損害金の支払、

(c) 被告ビシェイジャパンに対し、6500万円及び同遅延損害金の支払

求める。

イ 被告ビシェイジャパンの主張

原告の主張は否認する。

被告ビシェイジャパンは、日本国内で被告物件の輸入、譲渡又は譲渡の申し出を行ったことはないから、原告に返還すべき利得は存在しない。

ウ 被告トーマンエレクトロニクスの主張

原告の主張は否認する。

エ 被告菱電商事の主張

原告の主張は否認する。

### 第3 当裁判所の判断

#### 1 特許法29条2項違反(進歩性の欠如)について

##### (1) 刊行物1の記載事項

ア 争いのない事実

本件特許出願前である昭和55年11月19日に公開された刊行物1(乙7)に、「シリコン基板の表面に、矩形状の凹部が形成され、前記矩形状の凹部の側面をチャンネル面として用いる縦型構造電界効果トランジスタ」が開示されていることは、当事者間に争いが無い。

イ 「(100)面を有する」との点について

(ア) 証拠(乙7)によれば、刊行物1に以下の記載があることが認められる(一部は、当事者間に争いが無い。 )。

a 第1図乃至第6図は高密度のMOSFET素子構造体のマトリックスを形成するための本発明による1つの方法を示している。…好ましい技術に於ては…<100>結晶方向のP-型単結晶シリコン基板10が設けられる。P型層12が好ましくはエピタキシャル成長によって基板10に成長される。…N+型層14はP型層12の場合と同様なエピタキシャル成長技術によって形成され得るが、…N+型層14は前の工程で成長されたP型エピタキシャル層中に全面拡散又はイオン注

入を行うことにより形成されることが好ましい。(4頁右上欄9行～左下欄下から3行)

b 第7図乃至第14図は、単一チャンネル側壁のFET素子を有するMOSFET・RAM素子構造体を形成するための本発明によるもう1つの方法を示している。…第7図は一連のエピタキシャル及び/若しくは拡散工程が施された後の構造体を示している。この構造体は、任意の適当な結晶方向を有し得るP+型単結晶シリコン基板60、上記基板60上の第1N+型層61、上記N+型層61上のP型層62、及び上記P型層62上の第2N+型層63を含む。…層61、62、及び63は、既に第1図乃至第6図において示されている本発明による1つの方法に関して記載されている如く、従来のエピタキシャル成長によって形成され得る。(6頁左下欄4行～右下欄1行)

(イ) 上記記載によれば、刊行物1の第1図～第6図に開示された実施例では、好ましい例として、 $\langle 100 \rangle$ 結晶方向のP-型単結晶シリコン基板10をエピタキシャル成長技術、全面拡散又はイオン注入によって形成するのであるから、その表面が(100)面であることが開示されていると認められる。

また、刊行物1の第7図～第14図に開示された縦型MOSFETについても、上記のとおり第1図～第6図の実施例において(100)面を表面とする基板を用いることが好適な例とされている上、層の形成は第1図～第6図の実施例と同じエピタキシャル成長によって形成され得るとされているから、その表面が(100)面であることが開示されていると認められる。

(ウ) 以上によれば、刊行物1には、シリコン基板の表面が(100)面を有することについても開示されているというべきである。

そうすると、刊行物1MOSFETは、「(100)面を有するシリコン基板の表面に、矩形状の凹部が形成され、前記矩形状の凹部の側面をチャンネル面として用いる縦型構造電界効果トランジスタ」となる。

(2) 一致点と相違点

本件特許発明と刊行物1 MOSFETとを対比すると、両者は、「(100)面を有するシリコン基板の表面に、矩形状の凹部が形成され、前記矩形状の凹部の側面をチャンネル面として用いる縦型構造電界効果トランジスタ」である点で一致するが、本件特許発明は、凹部が形成される方向が $\langle 110 \rangle$ 方向と $45^\circ$ の角度であるのに対し、刊行物1 MOSFETには、その点の記載がない点で相違する。

### (3) 相違点の検討

#### ア 刊行物2について

(ア) 刊行物2の記載事項(前記第2, 3(2)ア(ウ)c)は、当事者間に争いがない。

(イ) 刊行物2は、チャンネル層として{100}面を用いるプレーナMOSFETにおいて、{100}面は{111}面や{110}面よりも電子移動度( $\mu_d$ )が大きいこと、電子移動度 $\mu_d$ が大きいことは、ゲート電圧変化に対するコンダクタンス変化の大きいことを意味しており、特にMOS型の電界効果型トランジスタを製造する上に有利であることを開示しており、刊行物2の発行時期からすると、これらの技術事項は、本件特許出願時において、半導体の技術分野において、技術常識となっていたものと認められる。

#### イ 容易推考

したがって、当業者であれば、上記(イ)の知見を縦型MOSFETに適用することが可能であると考え、刊行物1 MOSFETのチャンネルとして、矩形状の凹部の側面となり得る側面の中から(100)面と等価な(010)面や(001)面を選択することは、容易に想到することができたことと認められる。

#### ウ 原告の主張に対する判断

(ア) 原告は、本件特許発明が高電圧・大電流を制御するパワーMOSFETのチャンネル抵抗をより小さくすることを目的としているのに対し、刊行物1 MOSFETにおいては、チャンネル抵抗を低減するという技術課題が生じない旨主張する。

しかしながら、まず、本件特許発明は、その特許請求の範囲の記載から明らかな

ように、パワーMOSFETに限定されていない。

次に、刊行物1がターン・オン・インピーダンスについて言及していること(乙7の2頁右下欄18行以下)等から明らかなように、RAM用MOSFETであってもチャンネル抵抗を小さくし、素子の動作速度を早くすることは、当然の技術的課題であったと考えられる。そして、この技術課題は、原告が主張するより小さい寸法で、信頼性の良好なMOSFETを作製するという刊行物1の目的と矛盾するものではないと認められる。

よって、原告の上記主張は、理由がない。

(イ) 原告は、半導体の製造に際し使用されるフォトリソグラフィ技術や基準となるオリエンテーションフラットを理由に、凹部となる部分の形状は、 $\langle 110 \rangle$ 方向と平行とするのが技術常識であった旨主張する。

しかしながら、原告のこの点の主張は、その主張自体、半導体の製造に際し使用されるフォトリソグラフィ技術や基準となるオリエンテーションフラットからすると、他の技術的課題の点を考慮しなければ、凹部となる部分の形状を $\langle 110 \rangle$ 方向と平行とした方が製造上容易であったというものにすぎず、刊行物2に現れている技術常識に基づき、矩形状の凹部の側面となり得る側面の中から $(010)$ 面や $(001)$ 面を選択することを妨げる事情とは考えられない。よって、原告の上記主張は、理由がない。

(ウ) 原告は、シリコン基板面に垂直な結晶面は無数にあり得る旨主張するが、この点も、チャンネル抵抗を低減するという技術課題を持って解決手段を探し、刊行物2に現れた技術常識に接した場合に、矩形状の凹部の側面となり得る側面の中から $(010)$ 面や $(001)$ 面を選択することを妨げる事情とはいえず、原告の上記主張は、理由がない。

(エ) 原告は、プレーナ型素子における $(100)$ 面の電子移動度の優位性という技術常識に基づいて本件特許発明をするには、刊行物1記載の積層体が有するチャンネル領域が電子の輸送経路であると認識することが必要である旨主張する。

仮に、本件特許発明がn型MOSFETに限定されているとしても、前記ア(イ)のとおり、刊行物2に開示されているのは「電子移動度」についての有利さであるから、当業者であれば、この有利さを電子をキャリアとするn型MOSFETにのみ適用があると理解することに困難があったとは認められず、原告の上記主張は、理由がない。

(ウ) 原告は、刊行物2は、シリコン基板の表面をチャンネルとするプレーナ型MOSFETにおけるチャンネル面を{100}面に形成することを開示しているだけである旨主張するが、前記ア(イ)のとおり、刊行物2(乙8)には、チャンネル層として{100}面を用いるプレーナ型MOSFETにおいて、{100}面は{111}面や{110}面よりも電子移動度( $\mu d$ )が大きいことだけでなく、電子移動度 $\mu d$ が大きいことは、ゲート電圧変化に対するコンダクタンス変化の大きいことを意味しており、特にMOS型の電界効果型トランジスタを製造する上に有利であることを開示しているから、原告のこの点の主張は理由がない。

原告が主張する、縦型MOSFETにおいてはチャンネル面を{111}面とすることが技術常識であった点や、プレーナ型MOSFETは簡単に製造することができるという利点があったとの点も、そもそも刊行物1MOSFETがチャンネル面を{111}面としておらず、プレーナ型でもないから、刊行物1MOSFETに、刊行物2に現れた技術常識を組み合わせることを妨げる事由とは考えられず、原告の上記主張は、理由がない。

(カ) 原告は、商業的成功、長く要望されていた課題の点を主張する。しかしながら、本件特許発明は原告が商業的成功を主張するパワーMOSFETに限定されるものではないし、商業的成功は、仮にそのような事実が認められるとしても、必ずしも発明の困難性とは異なる要素によることがあること、当業者にとって容易に想到可能な発明が、本件に即していえば、プレーナ型MOSFETに注力していた等の理由で、関心が持たれず、実施もされなかったことが考えられることからすると、これらの二次的考慮要素を併せ考慮しても、前記結論を左右するものではない

といわなければならない。

(4) まとめ

以上によれば、本件特許発明は、刊行物1 MOSFETに、刊行物2に表れた技術常識を組み合わせることにより、当業者が容易に発明することができたものであり、特許法29条2項に違反し無効なものであるから、原告は、同法104条の3第1項により、本件特許権を行使することができない。

2 結論

よって、原告の請求は、その余の点について判断するまでもなく、いずれも理由がないから棄却することとし、主文のとおり判決する。

東京地方裁判所民事第40部

裁判長裁判官

市 川 正 巳

裁判官

大 竹 優 子

裁判官

頼 晋 一