

別紙1

(1) TFT部

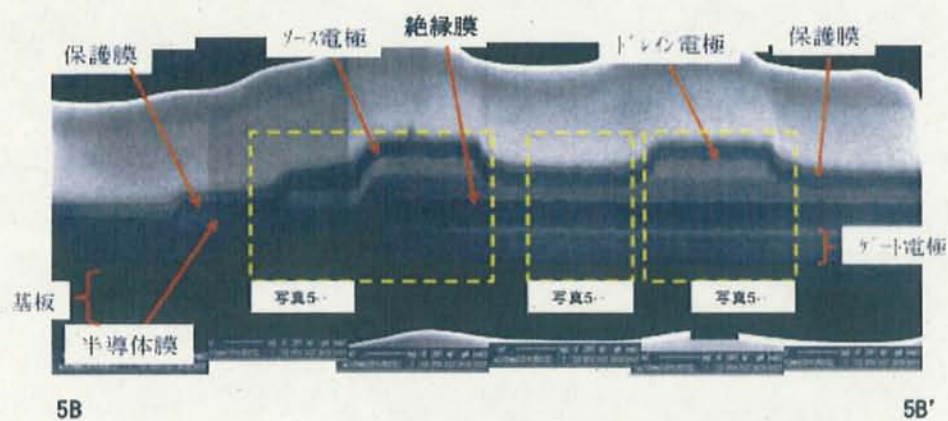
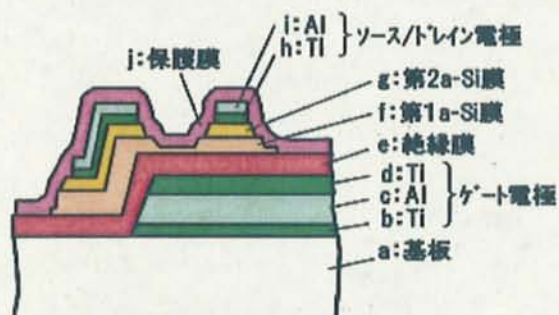


写真5-6: TFT部の断面写真(「分析結果報告書2」別紙3)



(2) TFT部のコンタクトホール部

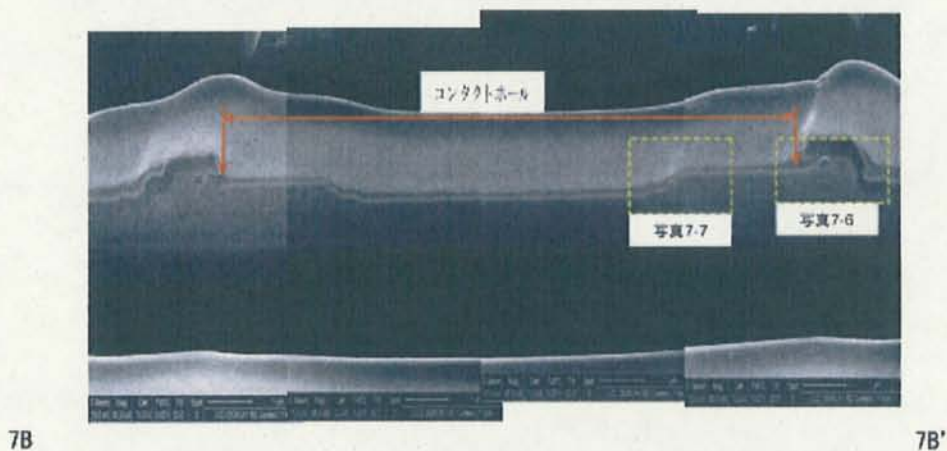
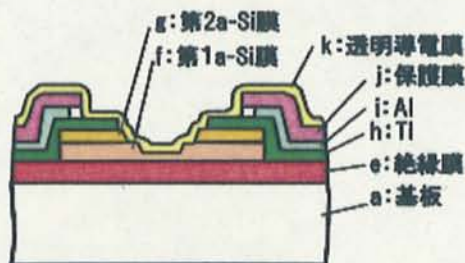
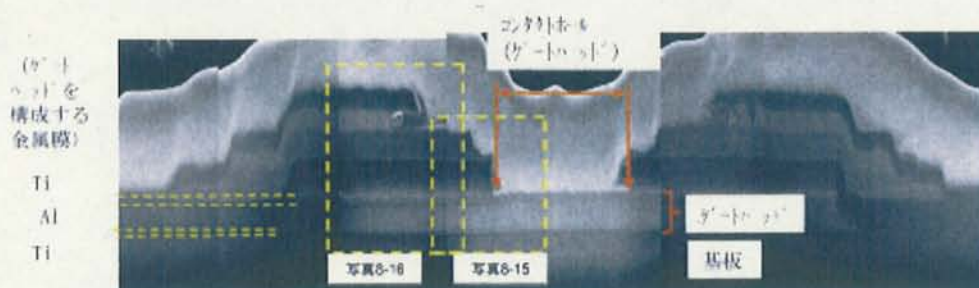


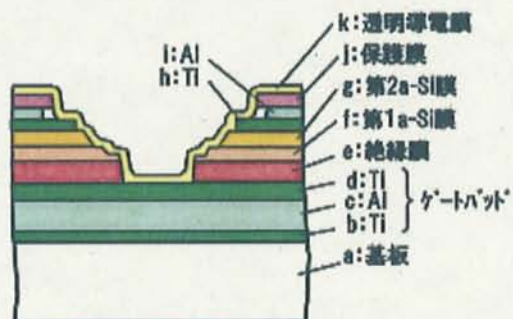
写真7-5: TFT部のコンタクトホール部の断面写真(「分析結果報告書2」別紙8)



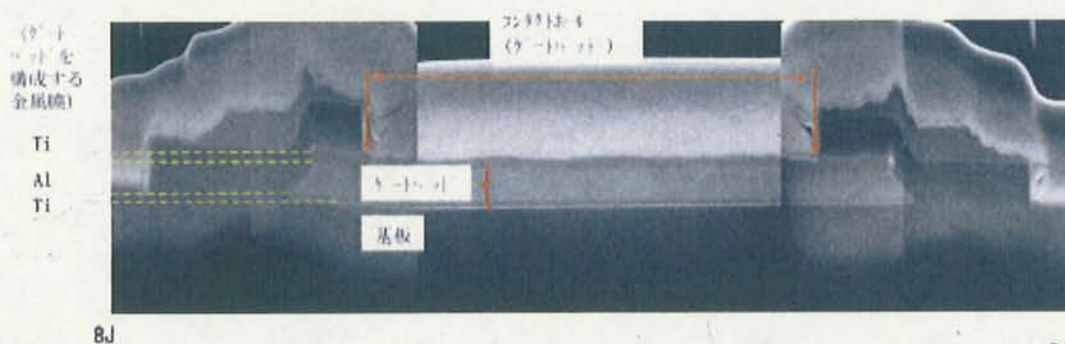
(3) ゲートパッド連結部1



8I 写真8-14:ゲートパッド連結部1の断面写真(「分析結果報告書2」別紙15) 8I'



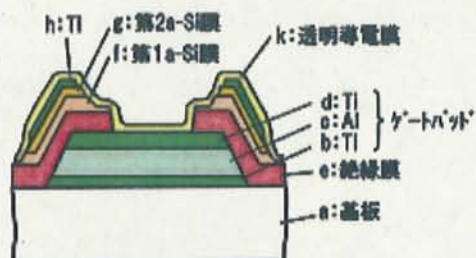
(4) ゲートパッド連結部2



8J

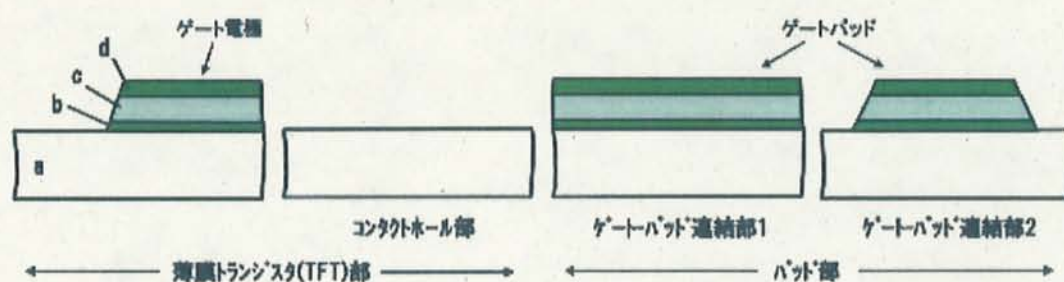
写真8-17:ゲートパッド連結部2の断面写真(「分析結果報告書2」別紙20)

8J'

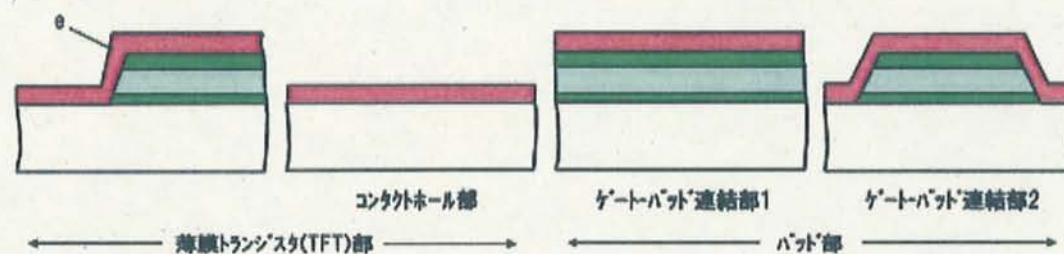


別紙 2

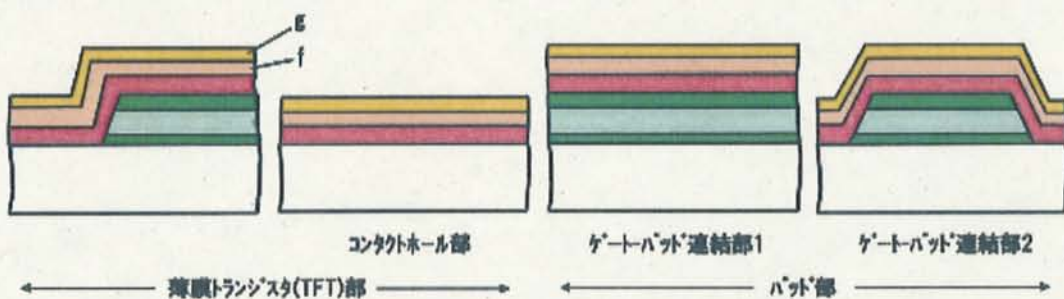
① 工程 1



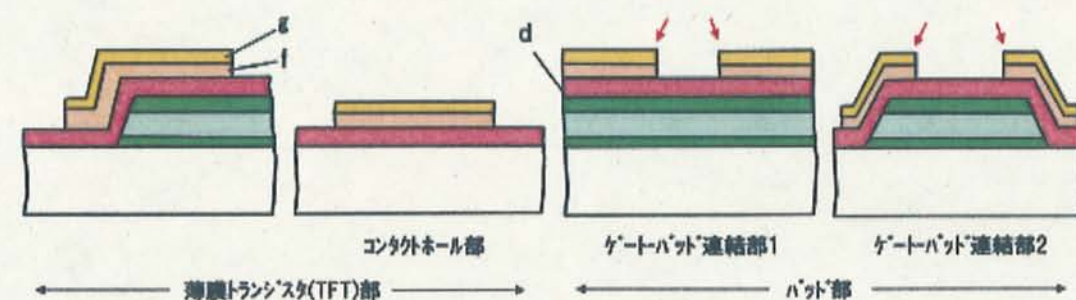
② 工程 2



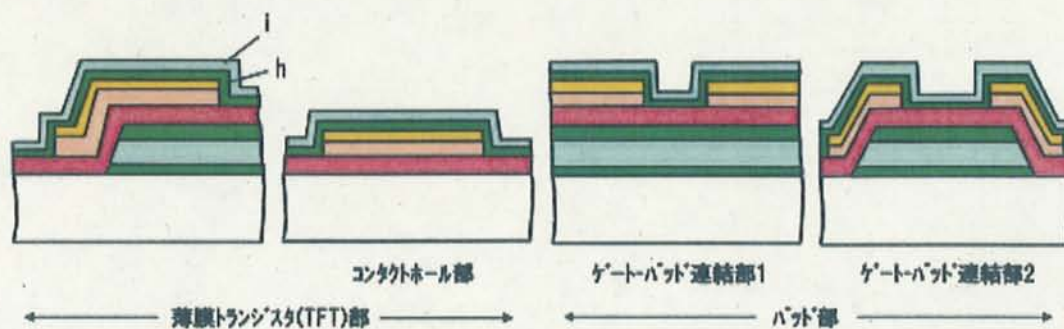
③ 工程 3



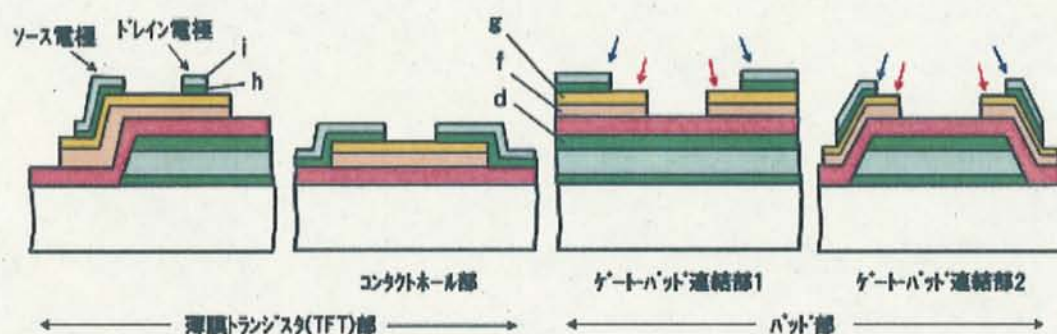
④ 工程 4



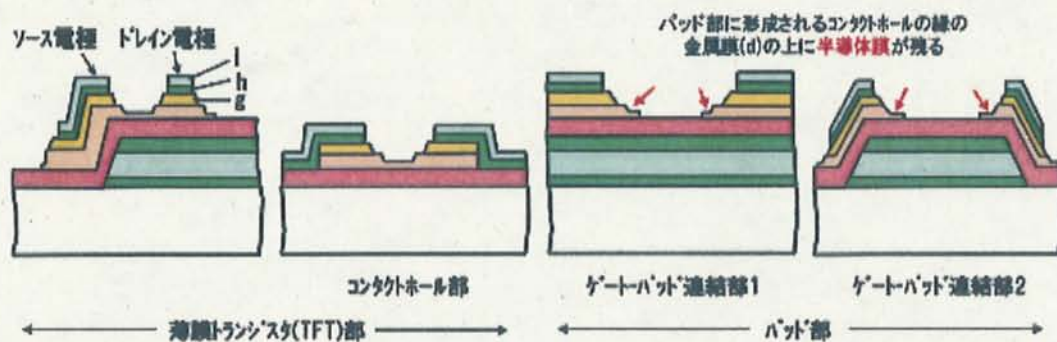
⑤ 工程 5



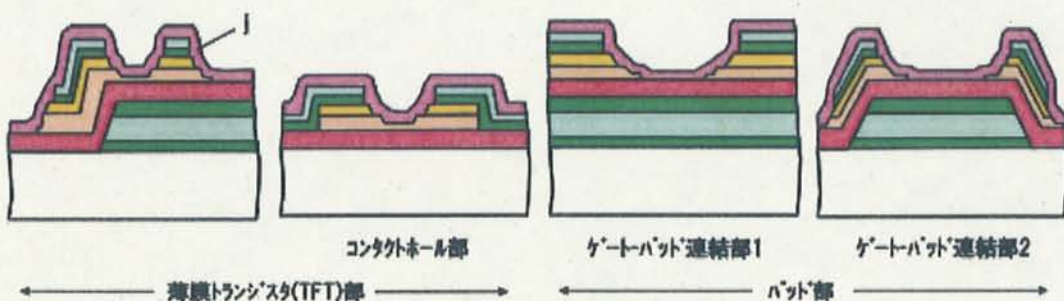
⑥ 工程 6



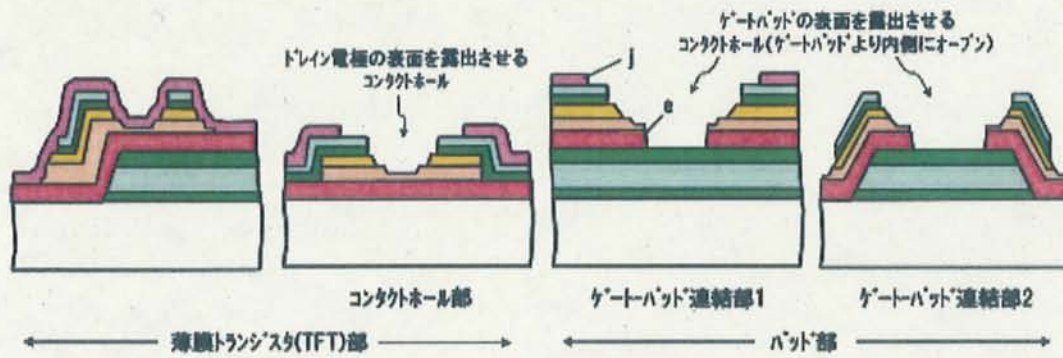
⑦ 工程 7



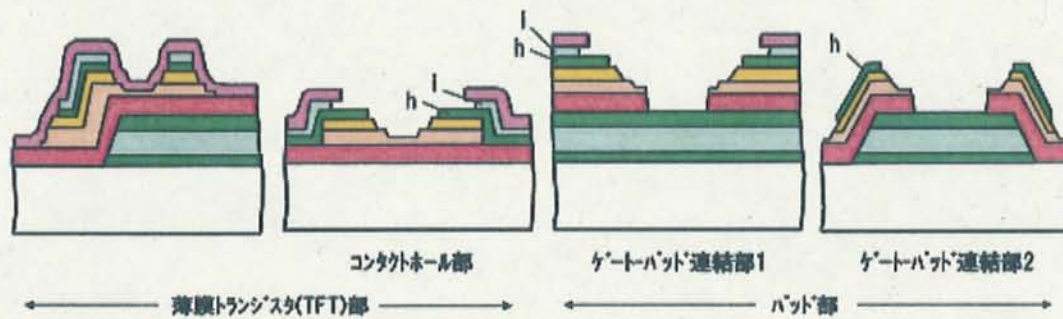
⑧ 工程 8



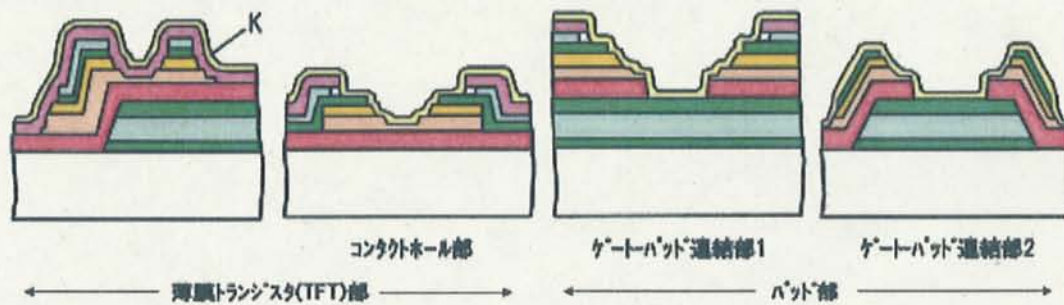
⑨ 工程 9



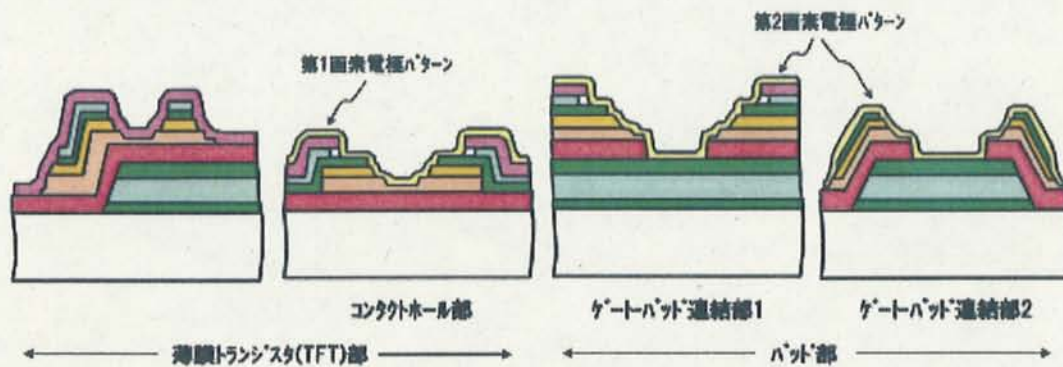
⑩ 工程 10



⑪ 工程 11

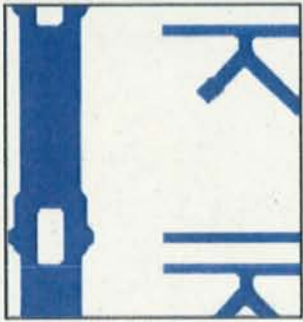
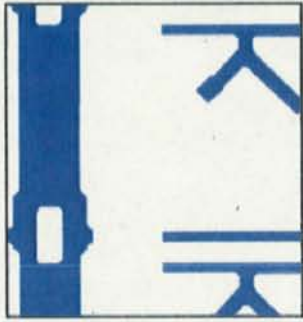
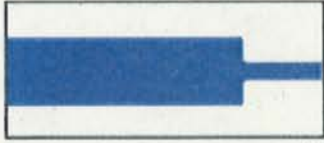


⑫ 工程 12

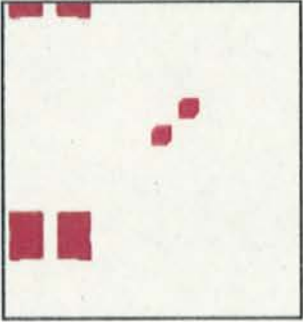


別紙 3

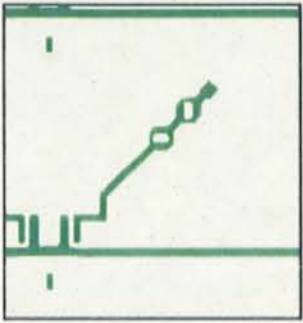
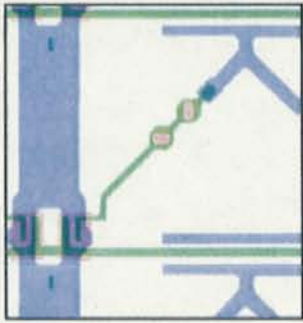
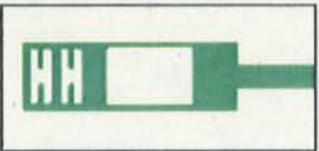
(1)

	第1マスクパターン (ゲート電極、ゲートパッドパターン形成)	レイアウト
画素領域		
ゲートパッド連結部		

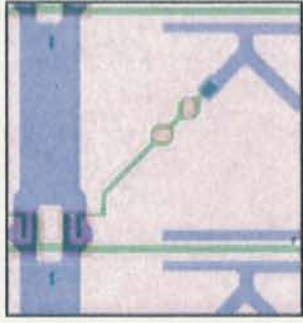
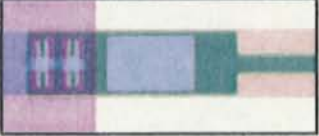
(2)

	第2マスクパターン (半導体膜パターン形成)	レイアウト
画素領域		
ゲートパッド連結部		

(3)

	第3マスクパターン (ソース・ドレイン電極、パッド電極 パターン形成)	レイアウト
圖案領域		
ゲート・パッド連結部		

(4)

	第4マスクパターン (保護膜パターン形成)	レイアウト
圖案領域		
ゲート・パッド連結部		

(5)

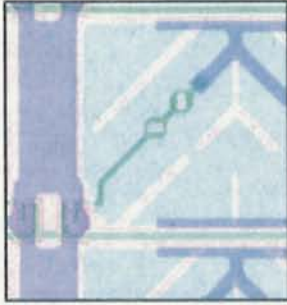
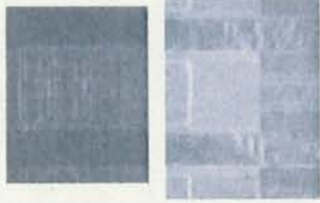
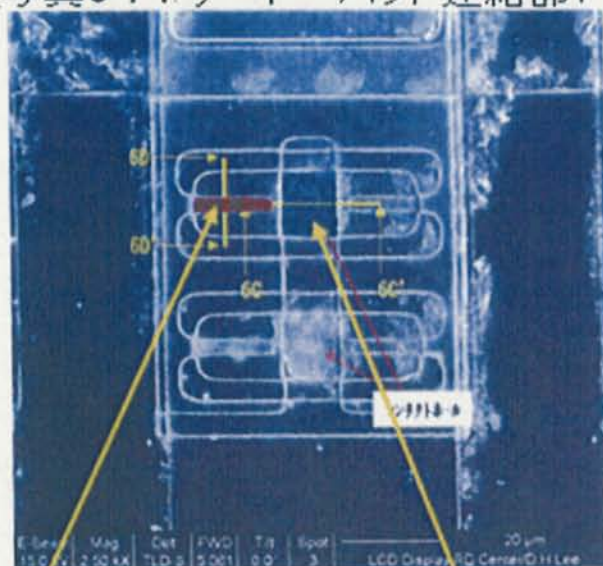
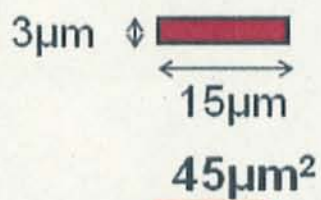
	第5マスクパターン (画素電極パターン形成)	レイアウト	イ号液晶モジュール SEM写真
画素領域			
ゲートバッド連結部			

写真6-7: ゲートーパッド連結部1



(甲4別紙13頁)

『赤色』部分



『青色』部分

