

平成17年（行ケ）第10677号 審決取消請求事件

平成18年7月4日口頭弁論終結

判 決	
原 告	エルジー・エレクトロニクス・ インコーポレーテッド
訴訟代理人弁護士	鈴 木 修
同	花 井 美 雪
訴訟代理人弁理士	大 塚 住 江
被 告	特許庁長官 中 嶋 誠
指 定 代 理 人	大 日 方 和 幸
同	大 野 克 人
同	野 崎 大 進
同	立 川 功
同	大 場 義 則

主 文

- 1 特許庁が不服2003-21275号事件について平成17年4月25日にした審決を取り消す。
- 2 訴訟費用は被告の負担とする。

事 実 及 び 理 由

第1 当事者の求めた裁判

1 原告

主文と同旨

2 被告

- (1) 原告の請求を棄却する。
- (2) 訴訟費用は原告の負担とする。

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

訴外ウォング・ラボラトリーズ・インコーポレーテッド（以下「ウォング・ラボラトリーズ社」という。）は、昭和63年9月17日（優先権主張：1987年9月17日，米国）に特願昭63-233367号を出願した。

訴外エルジー・セミコン・カンパニー・リミテッド（以下「エルジー・セミコン社」という。）は、ウォング・ラボラトリーズ社から上記出願に関して特許を受ける権利の譲渡を受け、平成10年4月14日、特許出願名義変更届及び移転登録申請書を特許庁長官に提出して出願人の地位を承継した。その後、エルジー・セミコン社は、平成13年9月6日、上記出願の一部を分割して、発明の名称を「メモリ制御装置」とする新たな特許出願（特願2001-270014，以下「本願」という。）をした。

原告は、エルジー・セミコン社から、本願に関し特許を受ける権利の譲渡を受け、平成15年2月20日、出願人名義変更届を特許庁長官に提出して出願人の地位を承継した。その後、原告は、本願に関して平成15年4月11日付けで手続補正をしたが、同年8月5日付けで拒絶査定（以下「原査定」という。）を受けたので、これを不服として、同年11月4日に審判を請求し、同事件は、不服2003-21275号事件として審理された。原告は、本願に関して同年12月4日付けで手続補正（以下「本件補正」といい、この補正後の本願に係る明細書及び図面を「本願明細書」という。）をしたが、特許庁は、平成17年4月25日、「本件審判の請求は成り立たない。」との審決（以下、単に「審決」という。）をし、その謄本は、同年5月10日、原告に送達された。

2 特許請求の範囲（本件補正後の請求項1。以下「本願請求項1」といい、この発明を「本願発明」という。）

「【請求項1】システムバス（10）により電氣的に結合された少なくともリクエスト側エージェント（12）と応答側エージェント（16）とを有し、

前記リクエスト側エージェントは、前記応答側エージェントのメモリ（20, 60）に前記システムバスを介してデータを記憶するため及び検索するために前記メモリに対するアクセスを要求し、前記メモリはメモリバス（RAS, CAS）によって前記応答側エージェントに結合されており、前記メモリバスは前記システムバスから分離しているデータ処理システムにおいて使用されるメモリ制御装置であって、

前記システムバスに結合され、前記応答側エージェントの前記メモリに対するアクセスサイクルを開始する要求を検出するリクエスト検出手段（66）であって、前記要求は前記システムバスを通じて前記リクエスト側エージェントによって生成される、リクエスト検出手段と、

前記メモリバスに結合され、前記リクエスト検出手段に応答し、複数の読み出しアクセス又は書き込みアクセスを行い、読み出しアクセスに対して前記システムバスへデータを出力し、書き込みアクセスに対して前記システムバスからデータを入力するために前記応答側エージェントの前記メモリへアクセスするために、前記メモリバスを通じて複数のメモリアドレス制御信号をアサートする送出手段（66）であって、前記制御信号が少なくともローアドレスに関連するローアドレスストロブ信号と、コラムアドレスに関連するコラムアドレスストロブ信号とを含む、送出手段と、

前記メモリに対するアクセスの完了を検出する手段であって、前記リクエスト側エージェントにより生成される、前記メモリに対してのアクセスの終了を示す制御信号に応答するものであり、前記送出手段に結合され、前記アクセスの終了を示す制御信号を検出した後に前記送出手段の動作を停止させる手段と

を備え、

前記システムバス上の前記リクエスト側エージェントのために、前記メモリバスを通じてページモード形式のメモリアクセスを行うために、前記送出

手段がメモリアドレス制御信号をアサートするものであり、前記メモリ内のデータのページを示すローアドレスとともにローアドレスストロブ信号をアサートし、その後、複数のコラムアドレスとともにコラムアドレスストロブ信号をアサート及びアサート解除するものであり、

前記ページモード形式のメモリアクセスが非順次のコラムアドレスを含む転送を可能とするように構成される、

ことを特徴とするメモリ制御装置。」

3 審決の理由

別紙審決書の写しのとおりである。要するに、本願発明は、本件優先権主張日前に頒布された刊行物である特開昭60-74174号公報（甲5、昭和60年4月26日公開。以下「引用例1」という。）に記載された発明（以下「引用発明」という。）及び周知技術に基づいて、当業者が容易に発明をすることができたものであり、特許法29条2項の規定により特許を受けることができないとしたものである。

審決が周知技術あるいは技術常識を示す文献として例示するものは、原査定（甲15）が引用する拒絶理由通知書（甲14）で引用された特開昭58-224497号公報（甲6、昭和58年12月26日公開。以下「引用例2」という。）のほか、松岡哲弘「32ビット・バス＝マルチバスIIの概要」インターフェース11巻5号（306頁～321頁）CQ出版社1985年5月1日発行（甲7）、特開昭58-159286号公報（甲8）、特開昭59-139195号公報（甲9）、特開昭59-3790号公報（甲10）である。

審決が、上記判断をするに当たり認定した引用発明の内容、本願発明と引用発明との一致点・相違点は、それぞれ次のとおりである。

（引用発明）

「共通バス3により電氣的に結合された少なくともニブル・モードでアクセス可能な第1の装置2とメイン・メモリ1とを有し、

前記ニブル・モードでアクセス可能な第1の装置2は、前記メイン・メモリ1の記憶素子11に前記共通バス3を介してデータを書込むため及び読出すためにプロセッサ部22よりのメイン・メモリ・アクセス制御信号23によりニブル・モードを有効としたアクセスを行うと、制御回路204から送出される信号32-1（メモリ・アクセス・同期信号）、32-2（書込み読出し信号）、31-1（ニブル・モード指示信号）によってアクセスを始め、

第1の装置2のバッファ21とメイン・メモリ1との間でのデータ転送制御を、前記記憶素子11が、メモリ制御部10のデータ・バッファ101との間で、書込みデータおよび読出しデータを授受し、アドレス・バッファ102からアドレスを受け、タイミング作成部103からタイミング信号108-1（RAS、行アドレス・ストロブ信号）、108-2（CAS、列アドレス・ストロブ信号）、108-3（書込み読出し信号）を受けるとにより行い、

信号32-1（アクセス同期信号）、信号31-1（ニブル・モード指示信号）、信号31-2（ニブル・モード同期タイミング）の送出を終了しアクセスを終え、

このデータ転送制御のために記憶素子11とメモリ制御部10とをデータ線、アドレス線、タイミング信号108-1（RAS、行アドレス・ストロブ信号）、108-2（CAS、列アドレス・ストロブ信号）、108-3（書込み読出し信号）の信号線で結合し、それらの信号線が共通バス3から分離しているメモリ・アクセス方式において使用されるメモリ制御部10であって、

前記共通バス3に結合され、第1の装置2からメイン・メモリ1にアクセスするため信号32-1（アクセス同期信号）を検出後、タイミング作成要求107を発生してタイミング作成部104を制御するアクセス要求制御部

103と、

タイミング信号108-1 (RAS, 行アドレス・ストロブ信号), 108-2 (CAS, 列アドレス・ストロブ信号), 108-3 (書込み信号) を作成するタイミング作成部103と、

を備え、

前記共通バス3上の前記ニブル・モードでアクセス可能な第1の装置2のために、書込み読出し信号32-2が書込指示であれば、前記タイミング作成部104はアクセス要求制御部103から信号107を受け信号108-1 (RAS) を送出し、次いで信号108-2 (CAS) を送出し、第1の装置2におけるアドレス・レジスタ202中のアドレス情報は、信号31-2 (ニブル・モード同期タイミング) と同期して歩進せしめられ、上記信号31-2 (ニブル・モード同期タイミング) により、上記CAS信号は停止されCAS#1は消滅し、データバッファ101中のデータが該アドレスに書込まれ、続いて、信号31-2 (ニブル・モード同期タイミング) を一時切断し再度送出に同期して、メイン・メモリ・アクセス用アドレス・レジスタ202の内容を一步進させ、データレジスタ201の内容も上記信号31-2に同期して書きかえられデータバス33-1上に送出され、同様に、第2回目の信号108-2 (CAS) および同108-3 (書込み信号) が記憶素子11に送られ、上記の第2回目の信号108-2すなわちCAS#2が消滅したときデータ・バッファ101中のデータより一步進した次のアドレスに書込まれるように構成される

メモリ制御部10」

(一致点)

「システムバス(10)により電氣的に結合された少なくともリクエスト側エージェント(12)と応答側エージェント(16)とを有し、前記リクエスト側エージェントは、前記応答側エージェントのメモリ(20, 60)に

前記システムバスを介してデータを記憶するため及び検索するために前記メモリに対するアクセスを要求し前記メモリはメモリバス（RAS，CAS）によって前記応答側エージェントに結合されており，前記メモリバスは前記システムバスから分離しているデータ処理システムにおいて使用されるメモリ制御装置であって，

前記システムバスに結合され，前記応答側エージェントの前記メモリに対するアクセスサイクルを開始する要求を検出するリクエスト検出手段（66）であって，前記要求は前記システムバスを通じて前記リクエスト側エージェントによって生成される，リクエスト検出手段と，

前記メモリバスに結合され，前記リクエスト検出手段に応答し，複数の読み出しアクセス又は書き込みアクセスを行い，読み出しアクセスに対して前記システムバスへデータを出力し，書き込みアクセスに対して前記システムバスからデータを入力するために前記応答側エージェントの前記メモリへアクセスするために，前記メモリバスを通じて複数のメモリアドレス制御信号をアサートする送出手段（66）であって，前記制御信号が少なくともローアドレスに関連するローアドレスストロブ信号と，コラムアドレスに関連するコラムアドレスストロブ信号とを含む，送出手段と，
を備えるメモリ制御装置」である点。

（相違点）

- (1) メモリ制御装置が，本願発明では，前記メモリに対するアクセスの完了を検出する手段であって，前記リクエスト側エージェントにより生成される，前記メモリに対してのアクセスの終りを示す制御信号に応答するものであり，前記送出手段に結合され，前記アクセスの終りを示す制御信号を検出した後に前記送出手段の動作を停止させる手段を備えるのに対し，引用発明では，信号32-1（アクセス同期信号），信号31-1（ニブル・モード指示信号），信号31-2（ニブル・モード同期タイミング）の

送手の終了によってアクセスを終えるが、メモリに対してのアクセスの終りを示す制御信号に基づくメモリに対するアクセスの完了を検出することや送出手段の動作を停止させることが明らかでない点（以下「相違点1」という。）。

(2) 本願発明では、前記システムバス上の前記リクエスト側エージェントのために、前記メモリバスを通じてページモード形式のメモリアクセスを行うために、前記送出手段がメモリアドレス制御信号をアサートするものであり、前記メモリ内のデータのページを示すローアドレスとともにローアドレスストロブ信号をアサートし、その後、複数のコラムアドレスとともにコラムアドレスストロブ信号をアサート及びアサート解除するものであり、前記ページモード形式のメモリアクセスが非順次のコラムアドレスを含む転送を可能とするように構成されるのに対し、引用発明では、ニブルモード形式のメモリアクセスであって、非順次のページモード形式のメモリアクセスでない点（以下「相違点2」という。）。

第3 原告主張の取消事由の要点

審決は、相違点1及び2についての各判断を誤り、その結果、本願発明が引用発明及び周知技術に基づいて当業者が容易に発明をすることができたものと誤って判断したものであるから、違法として取り消されるべきである。

1 取消事由1（相違点1の判断の誤り）

(1) アクセスの終わりを示す制御信号について

ア 本願発明は、相違点1に係る構成である「前記メモリに対するアクセスの完了を検出する手段であって、前記リクエスト側エージェントにより生成される、前記メモリに対してのアクセスの終りを示す制御信号に応答するものであり、前記送出手段に結合され、前記アクセスの終りを示す制御信号を検出した後に前記送出手段の動作を停止させる手段」を備えており、「アクセスの終りを示す制御信号」によりアクセスを終了させるものであ

る。

これに対し、引用発明は、上記のような制御信号を用いず、信号32-1（アクセス同期信号）の終了によりアクセスを終了させるものであり、本願発明とは、アクセスの終わりを示す制御信号を生成し、処理する機構が異なる。すなわち、引用例1（甲5）には、アクセスの終わりを示すために生成される制御信号に関し、「装置2の制御回路204は、次の動作に移行する前に既に、データ・レジスタ202の内容とマッチャ203の内容との一致したことを知らせる信号206、すなわちニブル・モード終了信号を受けているので、ニブル・モード・アクセス終了とみなして、信号32-1（アクセス同期信号）、信号31-1（ニブル・モード指示信号）、信号31-2（ニブル・モード同期タイミング）の送出を終了しアクセスを終る。」（5頁左上欄15行～右上欄3行）との記載があるにすぎず、信号32-1がアクセスの終わりを示すことは記載されていない。引用発明における特殊な形態のニブル・モードにおいてはアクセス単位があらかじめ4ワードと定められており、信号32-1は4ワードに対するアクセスの同期を取るために送出される信号であり、その同期をとる目的を終えた後にその送出は終了されるものであって、信号32-1の送出の終了は単にニブル・モードでのアクセスの同期をとる処理を終了させるものであり、メモリへのアクセスそのものの終了を示すものではない。つまり、引用発明1の信号32-1（アクセス同期信号）は、要求側装置からのメモリへのアクセスを同期させるための信号であり、アクセスの終わりを示す制御信号ではない。

このように、本願発明と引用発明とは、アクセスの終了に係る構成が全く異なっているから、引用発明において、アクセスの終わりを示す制御信号によりアクセスを終了させる構成に変更することは容易ではない。

イ 被告は、引用発明は信号32-1（アクセス同期信号）をRASやCA

Sの送出動作の開始の制御だけでなく、停止の制御にも用いることを示唆している旨主張する。

しかし、引用発明は、ニブル・モード指示信号（31-1）がオンの場合にのみニブル・モードでのアクセスを行い、これがオフとなった場合にニブル・モード・アクセスを終了して次のアクセスに備えるように構成したものであり、ニブル・モードでのアクセスの有無は、ニブル・モード指示信号（31-1）のオン・オフで切り替えているのであって、アクセス同期信号32-1の送出の終了によりアクセスを終えるものではない。

また、引用発明では、ニブル・モード・アクセス指示信号は4ワードに対するアクセスの終了の時点（またはアドレスの下位2桁が11のワードに対するアクセスの終了の時点）でオフとなり、ニブル・モードでのアクセスが終了する。しかし、これはニブル・モードでのアクセスの終了であって、必ずしもメモリへのアクセスの終了を意味するものではない。通常メモリへのアクセスが4ワード（1ワード16ビットとしても64ビットである。）で済むことはまれであり、引き続き同一のエージェントからのアクセスがあると考えられる。したがって、ニブル・モード・アクセス指示信号がオフとなることは、ニブル・モードでのアクセスの一応の終了を意味するだけであって、当該エージェントのメモリへのアクセスの終了を意味するものではない。

(2) EOC信号について

引用発明のアクセス同期信号は、アクセスすべきデータが終了したことを示すものではなく、単にアドレスの末尾が11となったことを示すにすぎない。これに対し、本願発明のEOC信号は、最終メモリアクセスであることを知らせるものであり、全く異なる。

EOC信号自体が知られていることは認めるが、本願発明は引用発明とはアクセス終了を示す制御信号の生成及び処理が異なる。本願のメモリ装置は、

個々の信号の生成，生成される場所，機能及び流れる経路などに関する構成に特徴があり，単にE O C信号に関する技術が公知であったとしても，単純にメモリ装置に組み込めるとはいえない。

被告は本願発明の「アクセスの終りを示す制御信号」と引用発明の信号3 2-1（アクセス同期信号）を混同している。引用発明の目的は，高速アクセスを必要とする装置とそうでない装置とを共通バスを介してメインメモリにアクセスする場合，高速なアクセスを必要とする装置のみにニブル・モード・アクセスを可能としたものであり，ニブル・モードでのアクセスはニブル・モード指示信号（3 1-1）のオンオフで行っているのであるから，アクセス同期信号3 2-1の送出の終了によりアクセスを終えるとする被告の主張は誤りである。また，1回のニブル・モードでのアクセス（最大4ワード）によりメモへのアクセスが終了することはまれであることから，アクセス同期信号3 2-1の送出の終了をメモリへのアクセスの終わりと同視できないことは明らかである。

甲7の「転送最後のバス・クロック・サイクルは，E O C信号がアクティブになったときであり，具体的には，転送制御線S C 2がLOWになって，パルス信号が送出されなくなったとき」ということと，引用発明の「共通バス3の一部であるコントロール。バス3 2への信号3 2-1（アクセス同期信号）の送出の終了によってアクセスを終える」ということは，要求側装置から出力される何らかの信号の何らかの状態に応じて何らかの処理が行われるという広い意味での共通点を除いて，全く関連性がなく，引用発明に甲7のE O C信号を生成する構成を組み合わせる動機付けは存在しない。

2 取消事由2（相違点2についての判断の誤り）

被告が本訴において周知例として掲げた特開昭6 2-3 4 8 8号公報（乙2）及び特開昭6 2-1 3 9 1 9 8号公報（乙3）にニブル・モードとページ・モードが選択可能なことが記載されており，ページ・モードとニブル・モー

ドとはいずれもメモリ内のデータに高速アクセスするアクセス方式である点で共通していることは、原告も争うものではない。しかし、引用発明のニブル・モードは特殊なものであり、通常のページ・モードと引用発明のニブル・モードとは機能、構成、設計困難性等において異なっているのであるから、単に高速アクセスモードという点で共通であるからといって、両者を置き換えることが容易想到とはいえない。

第4 被告の反論の要点

審決の事実認定及び判断には誤りはなく、原告主張の取消事由は理由がない。

1 取消事由1（相違点1の判断の誤り）について

(1) アクセスの終わりを示す制御信号について

本願請求項1の記載によると、本件発明の「アクセスの終わりを示す制御信号」とは、「前記リクエスト側エージェントにより生成される、前記メモリに対してのアクセスの終わりを示す制御信号」であって、原告が主張するような「EOC信号」に限定して解釈すべきではない。

一方、引用発明は、信号32-1（アクセス同期信号）を検出後、タイミング作成部104を制御して、メモリへアクセスするためのRASやCASの送出動作を開始し、「信号32-1（アクセス同期信号）の送出の終了」によってアクセスを終えており、通常、RASやCASの送出動作の停止によってアクセスが終わるので、引用発明は、信号32-1（アクセス同期信号）を、RASやCASの送出動作の開始の制御だけでなく、停止の制御にも用いることを示唆している。

したがって、引用例1における「信号32-1（アクセス同期信号）の送出の終了」は、本件発明の「アクセスの終わりを示す制御信号」に対応するものということができ、引用発明において、「信号32-1（アクセス同期信号）の送出の終了」を検出後、本件発明のようにRASやCASの送出動作を停止させることは、当業者が容易になし得ることである。

(2) EOC信号について

甲7は、パラレル・システム・バス（iPSB）が引用発明の共通バス3と同様、コンピュータ・システムで用いるデータ転送用のパラレル・バスであることも説明しているから、引用発明の共通バス3にも利用可能なことの示唆や動機付けとしては十分である。

したがって、原告が主張するように、本件発明の「アクセスの終りを示す制御信号」を「EOC信号」に限定して解釈したとしても、「EOC信号」がパラレル・システム・バス（iPSB）において「アクセスの終りを示す制御信号」として使われることが周知であるから、この周知のパラレル・システム・バス（iPSB）で使われているEOC信号に関する技術と引用発明とを組み合わせることは当業者にとって適宜なし得る設計事項にすぎない

2 取消事由2（相違点2の判断の誤り）について

引用発明の「連続した4ワード以下のアドレスに対して連続して高速アクセス可能なニブル・モード・アクセス」は、1ワードを構成する個々のビットに対応する個々のメモリアレイについてみると、自動的に連続する4ビットの情報、即ち、連続する後続の3つの列が読み出される通常のニブル・モード・アクセスを行うものであり、特殊な構成ではない。

そして、甲9（特開昭59-139195号公報）、乙2（特開昭62-3488号公報）、乙3（特開昭62-139198号公報）等により、高速アクセスモードとしてページ・モードはニブル・モードより古い技術であることや、ニブル・モードとページ・モードのいずれを選択するかは設計事項にすぎないことが本件の優先日より前に周知であったことから、引用発明において、1ワードを構成する個々のビットに対応する個々のメモリアレイについて、ニブルモードの代わりにそれよりも古い技術であるページモードを採用する動機付けは十分存在する。

第5 当裁判所の判断

1 取消事由1（相違点1の判断の誤り）について

原告は、本願発明と引用発明とは、アクセスの終了に係る構成が全く異なっており、引用発明において、アクセスの終わりを示す制御信号によりアクセスを終了させる構成に変更することは容易ではない旨主張する。

(1) 引用例1（甲5）には、次の記載がある。

ア 「本発明は、連続アドレス・アクセス頻度が高く、高速アクセスを必要とする装置と高速アクセスを必要としない装置とを共通バスを介してメイン・メモリにアクセスさせる場合、メイン、メモリにニブル・モードを有する記憶装置を設け、上記高速アクセスを必要とする装置についてのみニブルモードによるアクセスを実行することとし、また、3ワード以下の連続アクセスに対してもニブル・モード・アクセスを可能とし、しかも、このような場合にも複雑な処理を行うことなく全体として効率的なメモリ・アクセス方式を提供することを目的とする。」（2頁右上欄10行～同左下欄1行）

イ 「アドレス・レジスタの最下位の2ビットの値が所定の値となったことで、自らニブル・モード・アクセス終了を識別し、上記ニブル・モード・アクセス指示信号をオフとしニブル・モード・アクセスを終了するよう構成され、一方、メイン・メモリはニブル・モード・アクセス指示信号を受信しているときは、ニブル・モード・アクセス同期タイミングに同期してニブル・モードにて高速に記憶素子にアクセスさせ、ニブル・モード・アクセス指示信号がオフとなったことで、ニブル・モード・アクセスを終了し、次の任意装置からのメモリ・アクセスに備え、またニブル・モード・アクセス指定のないメモリ・アクセス要求を受信したときは、通常の1ワードのアクセス・モードで記憶素子にアクセスするよう構成され」（1頁右下欄1行～16行）

ウ 「記憶素子に対してニブル・モードにおいてアクセスする場合は、一般

に記憶素子に対しRAS，CAS信号に同期して行アドレス，列アドレスを送出する。CAS信号により上記行アドレス，列アドレスに従ったアドレスA₀にアクセスされ，CASを一旦おとしたのち更にCASを送るとアドレスA₀の次のアドレスA₁がアクセスされ，このようにして4ワードが連続アクセスされるが，このときのアドレスは最初のアドレスA₀に対して1ずつ順次に加算されたものが使用される。……本発明においては，ニブル・モードの上記の不都合をなくすため，最下位2桁が11となったときニブル・モードのアクセスを停止する。」（3頁右上欄16行～左下欄18行）

エ 「制御回路204の上記の動作により，前述と同様に，タイミング作成部104から第2回目の信号108-2（CAS）及び同108-3（書込み信号）が記憶素子11に送られ，上記の第2回目の信号108-2すなわちCAS#2が消滅したときデータ・バッファ101中のデータより一歩進んだ次のアドレスすなわち×・・・×11に書き込まれる。

この後，装置2の制御回路204は，次の動作に移行する前に既に，データ・レジスタ202の内容とマッチャ203の内容との一致したことを知らせる信号206，すなわちニブル・モード終了信号を受けているので，ニブル・モード・アクセス終了とみなして，信号32-1（アクセス同期信号），信号31-1（ニブル・モード指示信号），信号31-2（ニブル・モード同期タイミング）の送出手を完了しアクセスを終る。」（5頁左上欄8行～右上欄3行）

(2) 引用例1の上記(1)ア～エの記載によれば，引用発明は，「高速なアクセスを必要とする装置と高速なアクセスを必要としない装置が共通バスを介してメインメモリにアクセスする場合に，高速なアクセスを必要とする装置のみに，メインメモリへのニブル・モード・アクセスを可能としつつ，このような処理を複雑なものとしせず，全体として効率的なメモリ・アクセス方式を

提供する」ことを目的として、「アドレス・レジスタの最下位の2ビットの値が所定の値となったことで、自らニブル・モード・アクセスを終了するよう構成」し、メインメモリは「ニブル・モード・アクセス指示信号がオフとなったことで、ニブル・モード・アクセスを終了し、次の任意装置からのメモリ・アクセスに備え、また、ニブル・モード・アクセス指示のないメモリ・アクセス要求を受信したときは、通常の1ワードのアクセス・モードで記憶素子にアクセスするよう構成」したものであり、ニブル・モード指示信号（31-1）がオンの場合にのみニブル・モードでのアクセスを行い、これがオフとなった場合にニブル・モード・アクセスを終了して、次のアクセスに備えるものであることが分かる。

そして、引用発明の構成では、ニブル・モード・アクセス指示信号は、アドレスの下位2桁が11となるワードに対するアクセスの終了の時点（最初のアクセスから連続3ワード以下、最初のアクセスも含めると4ワード以下）でオフとなり、ニブル・モードでのアクセスは終了するが、通常、メモリへのアクセスが4ワードで済むことはまれであり、引き続きアクセスがあると考えるのが自然であるから、引用発明においてニブル・モード・アクセス指示信号がオフとなることは、引用発明が採用している特別なニブル・モードでのアクセスの一応の終了を意味するだけであって、メモリに対するアクセスの完了を意味するものではないと解される。

- (3) この点に関して、被告は、引用発明においては信号32-1（アクセス同期信号）を検出後、タイミング作成部104を制御して、メモリへアクセスするためのRASやCASの送出動作を開始し、信号32-1（アクセス同期信号）の送出の終了によってアクセスを終えており、通常、RASやCASの送出動作の停止によってアクセスが終るので、引用発明は信号32-1（アクセス同期信号）をRASやCASの送出動作の開始の制御だけでなく、停止の制御にも用いることを示唆していると主張する。

しかしながら，引用例1の前記(1)エの記載によれば，引用発明における信号32-1（アクセス同期信号）の送定の終了は，アドレスの下位2桁が11となった場合に発せられるニブル・モード終了信号を受けたものであることが認められる。そして，引用発明においてニブル・モード・アクセス指示信号がオフとなることは，引用発明が採用している特定のニブル・モードでのアクセスの一応の終了を意味するだけであって，メモリに対するアクセスの完了を意味するものと解されないことは，すでに検討したとおりである。

そうすると，引用発明の信号32-1（アクセス同期信号）は，本願発明における「メモリに対するアクセスの完了を検出する手段であって，リクエスト側エージェントにより生成される，前記メモリに対してのアクセスの終了を示す制御信号」とは異質なものであるべきであるから，被告の上記主張は採用できない。

(4) 甲7には，パラレル・システム・バス（iPSB）について，「要求エージェントが，EOC（End of Cycle）信号で最後のデータ転送を知らせると転送サイクルが終了する」（315頁4行～6行）と記載されているが，既に検討したとおり，引用発明における特定のニブル・モードでのアクセスの終了と甲7における転送サイクルの終了を同視することはできないから，引用発明のアクセスの終了を示す信号を甲7におけるEOC信号と関連付けて理解することには無理があるといわなければならない（なお，甲7は，原査定（甲15）が引用する拒絶理由通知書（甲14）において引用されたものではないから，再開されるべき審判手続において再度拒絶理由を通知した上で，これを引用例として用いることは格別，本訴において，本願の優先権主張日当時周知であった技術事項を立証することを超えて，本願発明の相違点1に係る構成の容易想到性を論理付けるための引用例として用いることは許されない。）。

(5) 以上のとおり，引用発明に接した当業者が本願発明の相違点1に係る構成

に至ることが容易であるとはいえない。したがって、相違点1についての審決の判断は誤りというべきである。

よって、原告主張の取消事由1は理由がある。

2 取消事由2（相違点2の判断の誤り）について

原告は、引用発明のニブルモードは特殊なものであり、通常のページ・モードと引用発明のニブル・モードとは機能、構成、設計困難性等において異なっているのであるから、単に高速アクセスモードという点で共通するというだけで、両者を置き換えることが容易想到とはいえない旨主張する。

前記1(1)において説示したとおり、引用発明は、「高速なアクセスを必要とする装置と高速なアクセスを必要としない装置が共通バスを介してメインメモリにアクセスする場合に、高速なアクセスを必要とする装置のみに、メインメモリへのニブル・モード・アクセスを可能としつつ、このような処理を複雑なものとして、全体として効率的なメモリ・アクセス方式を提供する」ことを目的として、「アドレス・レジスタの最下位の2ビットの値が所定の値となったことで、自らニブル・モード・アクセスを終了するよう構成」し、メインメモリは「ニブル・モード・アクセス指示信号がオフとなったことで、ニブル・モード・アクセスを終了し、次の任意装置からのメモリ・アクセスに備え、また、ニブル・モード・アクセス指示のないメモリ・アクセス要求を受信したときは、通常の1ワードのアクセス・モードで記憶素子にアクセスするよう構成」したものであり、ニブル・モード指示信号（31-1）がオンの場合にのみニブル・モードでのアクセスを行い、これがオフとなった場合にニブル・モード・アクセスを終了して、次のアクセスに備えるようにしたものである。

一方、ページ・モードによるメモリへのアクセス方式は、行アドレスストロブ信号 \overline{RAS} を低電位に保持するとともに列アドレスストロブ信号 \overline{CAS} をトグルさせることにより、ページ内のデータ（行アドレスが同じで列アドレスが異なるデータ）をより速やかに出力するようにしたものであり（乙2，1

頁右下欄 1 1 行～ 2 頁左上欄 4 行) , 引用発明のニブル・モードのアクセス方式と異なり, アクセスの単位には制約がない。

アドレス・レジスタの最下位の 2 ビットの値が所定の値となったことで自らニブル・モードでのアクセスを終了する構成を採用した引用発明は, ニブル・モード・アクセス方式におけるアクセス単位の制約を前提とした上で, ニブル・モードによるアクセスと通常モードによるアクセスの両方に対応可能とすることを発明の目的とするものであるから, 一般にメモリへの高速アクセス方式としてニブル・モードアクセス方式とページ・モード・アクセス方式が知られていることや, ページ・モード・アクセス方式の方が古い技術であることが知られているというだけでは, 引用発明に接した当業者が, そこで採用されている特定のニブル・モード・アクセス方式を, 具体的な前提を離れてページモードに変更することの契機にはならない。

上記によれば, 引用発明に接した当業者が, そこで採用されている特定のニブル・モード・アクセス方式をページ・モードに変更し, 本願発明の相違点 2 に係る構成に至ることが容易であるとはいえない。したがって, 相違点 2 についての審決の判断も, また誤りというべきである。

よって, 原告主張の取消事由 2 も理由がある。

3 結論

以上の次第で, 原告の取消事由 1, 2 の主張はいずれも理由があり, 審決は取消しを免れない。

したがって, 原告の本件請求は理由があるから, これを認容することとし, 主文のとおり判決する。

知的財産高等裁判所第 3 部

裁判長 裁判官 三 村 量 一

裁判官 古 閑 裕 二

裁判官 嶋 末 和 秀