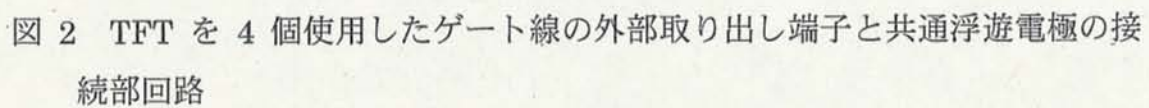
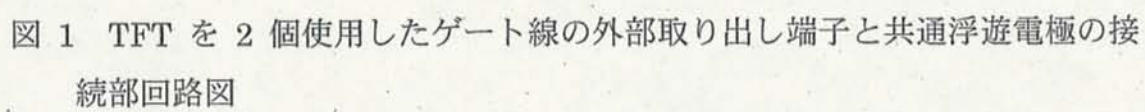


物件目録

下記構造を有する液晶表示パネルモジュール

- A. ガラス基板上に、縦方向及び横方向に列をなして配置された画素のそれぞれと組み合わせられた、ゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極を有する薄膜トランジスタ (TFT) を搭載し、画素の横方向の 1 列ごとに各 TFT のゲート電極と接続し、かつガラス基板外の制御機構と接続するゲート線、および画素の縦の 1 列ごとに、各 TFT のソース電極と接続し、かつガラス基板外の制御機構と接続するソース線を有する。
- B. ガラス基板の周縁部において、ゲート線の制御機構との接続のための端末近傍に全部のゲート線の外部取り出し端子を横切るように設けられた共通浮遊電極と各ゲート線の外部取り出し端子間に、図 1、図 2、図 3 又は図 4 の回路を有する回路保護用 TFT 素子による接続が形成されている。なお、回路保護用 TFT 素子による接続に際しては、共通浮遊電極又はゲート線の外部取り出し端子と回路保護用 TFT 素子の電極とが、すべて Al などによって接続されているのではなく、回路保護用 TFT 素子のドレイン電極はすべて ITO を用いた透明電極を介してゲート線の外部取り出し端子に接続されており、また、共通浮遊電極と回路保護用 TFT 素子のゲート電極とを接続する場合にも ITO を用いた透明電極を介して接続されている (ITO を用いた透明電極を介した接続を、図 1、図 2、図 3 及び図 4 において赤線で示す。)
- C. 回路保護用 TFT 素子は、薄膜半導体の下側 (基板側) にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極とは反対側 (薄膜半導体の上側) に設けられたソース電極及びドレイン電極を有し、前記ガラス基板上に形成されている。
- D. 回路保護用 TFT 素子の前記ゲート電極は、前記ソース電極及びドレイン電極と平面的に重畳するように設けられている。
- F. 共通浮遊電極は、画素用 TFT 素子のソース電極及びドレイン電極と同時に形成されている。

G. 回路保護用 TFT 素子のゲート電極は画素用 TFT 素子のゲート電極と同時に形成されており、前記回路保護用 TFT 素子のゲート絶縁膜は画素用 TFT 素子のゲート絶縁膜と同時に形成されており、前記回路保護用 TFT 素子の薄膜半導体は画素用 TFT 素子の半導体薄膜と同時に形成されている。



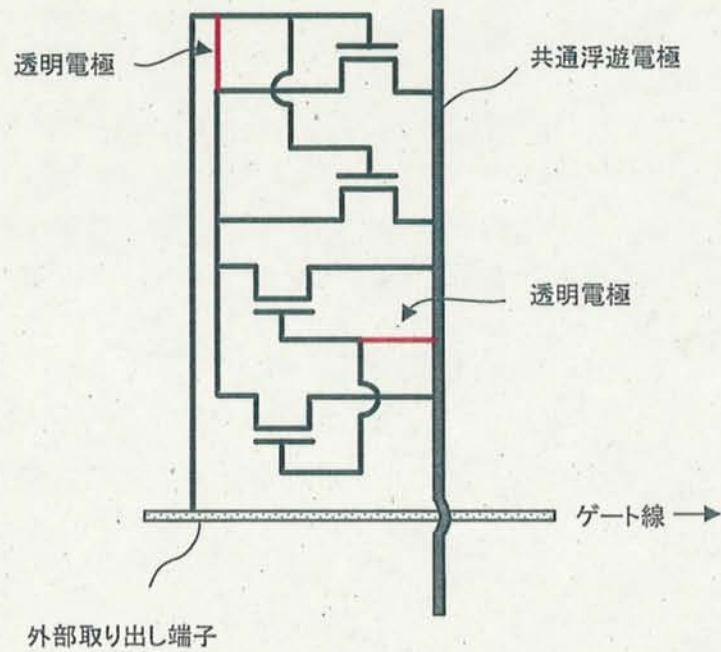


図 3 TFT を 4 個使用したゲート線の外部取り出し端子と共通浮遊電極の接続部回路図

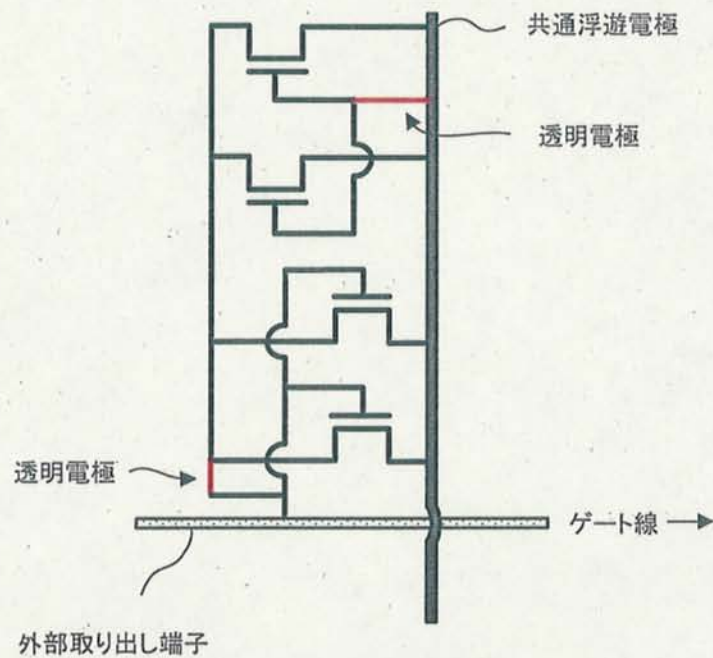


図 4 TFT を 4 個使用したゲート線の外部取り出し端子と共通浮遊電極の接続部回路図

別紙①

- A. 絶縁基板の上に、少なくともゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極からなる薄膜トランジスタを搭載し、外部取り出し端子を複数個有する薄膜トランジスタ装置において、
- B. 前記外部取り出し端子間、または、前記端子とこれに近接して設けられた共通浮遊電極との間には、少なくともその一か所が、付加薄膜半導体からなる高圧保護用の 2 端子薄膜半導体素子に接続されていることを特徴とする
- E. 薄膜トランジスタ装置。

別紙②

- A. 絶縁基板上に、少なくともゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極からなる薄膜トランジスタを搭載し、外部取り出し端子を複数個有する薄膜トランジスタ装置において、
- B. 前記外部取り出し端子間、または、前記端子とこれに近接して設けられた共通浮遊電極との間には、少なくともその一か所が、付加薄膜半導体からなる高圧保護用の2端子薄膜半導体素子に接続されており、
- C. 前記2端子薄膜半導体素子は、前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極を有し、前記絶縁基板上に形成されていることを特徴とする
- E. 薄膜トランジスタ装置。

別紙③

- A. 絶縁基板上に、少なくともゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極からなる薄膜トランジスタを搭載し、外部取り出し端子を複数個有する薄膜トランジスタ装置において、
- B. 前記外部取り出し端子間、または、前記端子とこれに近接して設けられた共通浮遊電極との間には、少なくともその一か所が、付加薄膜半導体からなる高圧保護用の2端子薄膜半導体素子に接続されており、
- C. 前記2端子薄膜半導体素子は、前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極を有し、前記絶縁基板上に形成されており、
- D. また、前記付加ゲート電極は前記ゲート電極と同時に形成されており、前記付加ゲート絶縁膜は前記ゲート絶縁膜と同時に形成されており、前記付加薄膜半導体は前記半導体薄膜と同時に形成されている
- E. ことを特徴とする薄膜トランジスタ装置。

別紙④

- A. 絶縁基板上に少なくともゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極からなる薄膜トランジスタを搭載し、外部取り出し端子を複数個有する薄膜トランジスタ装置において、
- B. 前記外部取り出し端子とこれに近接して設けられた共通浮遊電極との間には、少なくともその一か所が、付加薄膜半導体からなる高圧保護用の 2 端子薄膜半導体素子に接続されており、
- C. 前記 2 端子薄膜半導体素子は、前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極と、前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第 1 主電極及び第 2 主電極を有し、前記絶縁基板上に形成されており、
- D. 前記付加ゲート電極は、前記第 1 主電極及び第 2 主電極と平面的に重畳するように設けられており、
- E. 前記付加ゲート電極及び前記第 2 主電極は前記外部取り出し端子に接続し、前記第 1 主電極は前記共通浮遊電極に接続しており、
- F. 前記共通浮遊電極は、前記外部取り出し端子と同時に、または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されており、
- G. また、前記付加ゲート電極は前記ゲート電極と同時に形成されており、前記付加ゲート絶縁膜は前記ゲート絶縁膜と同時に形成されており、前記付加薄膜半導体は前記半導体薄膜と同時に形成されていること
- H. を特徴とする薄膜トランジスタ装置。