令和３年１０月２８日判決言渡

令和３年（行ケ）第１００００１号　審決取消請求事件

口頭弁論終結日　令和３年９月１６日

判　　決

原　　告	コピン　コーポレーション
同訴訟代理人弁理士	杉　本　修　司
同	笹　沼　　崇
被　　告	特許庁長官
同指定代理人	岸　　智　史
同	岡　田　吉　美
同	濱　野　　隆
同	小　島　寛　史

主　　文

１　原告の請求を棄却する。

２　訴訟費用は原告の負担とする。

３　この判決に対する上告及び上告受理の申立てのための付加期間を３０日と定める。

事実及び理由

第１　請求

特許庁が不服２０１９－１４０１９号事件について令和２年８月２０日にした審決を取り消す。

第２　事案の概要

１　特許庁における手続の経緯等（当事者間に争いがない。）

⑴　原告は，平成２７年２月５日，発明の名称を「マイクロディスプレイデバイス用の列バス駆動方法」とする発明につき，国際特許出願（パリ条約による優先権主張　２０１４年２月５日，アメリカ合衆国。日本国における出願番号は特願２０１６－５５０１８５号。請求項の数２０。以下「本願」という。）をした。

原告は，平成３０年１月２９日付けで，特許請求の範囲と明細書について手続補正をした（補正後の請求項の数１９）。

原告は，令和元年６月６日付けで，特許請求の範囲について更に手続補正をしたが（補正後の請求項の数１８），同月１８日付け（送達日：同月２５日）で，拒絶査定を受けた。

⑵　原告は，令和元年１０月２１日，拒絶査定不服審判を請求するとともに，同日付けで，特許請求の範囲について手続補正（以下「本件補正」という。）をした。また，原告は，令和２年２月２１日付けの上申書で補正案を提出した。

⑶　特許庁は，令和２年８月２０日，本件補正を却下した上で，前記⑵の審判請求（不服２０１９－１４０１９号事件）につき，「本件審判の請求は，成り立たない。」との審決（以下「本件審決」という。）をし，その謄本は，同年９月８日，原告に送達された。

⑷　原告は，令和３年１月５日，本件審決の取消しを求める本件訴訟を提起した。

２　特許請求の範囲の記載

⑴　本件補正前

本件補正前の特許請求の範囲の記載は，請求項１ないし１８からなり，その請求項１の記載は，次のとおりである（甲４。以下，請求項１に係る発明を「本願発明」という。）。

【請求項１】

画素アレイに使用するための列信号を生成する方法であって，

２つ以上の制御可能バスバッファを直列に接続して前記２つ以上の制御可能バスバッファの直列接続されたストリングを形成することであって，前記２つ以上の制御可能バスバッファのそれぞれの出力は付随ノードを駆動するものであり，各ノードは関連する制御可能ローカル出力バッファの入力に電気的に結合されている，形成することと，

前記２つ以上の制御可能バスバッファの直列接続されたストリングの入力に列データ信号を提供することと，

各ノードが順次時間的に駆動されるように，前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することであって，前記制御可能ローカル出力バッファが有効化中のときに少なくとも関連するノードが有効化中であるように，前記制御可能ローカル出力バッファのそれぞれを，前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化することと，

を含む方法。

⑵　本件補正後

本件補正後の特許請求の範囲の記載は，請求項１ないし１８からなり，その請求項１の記載は，次のとおりである（甲７。以下，請求項１に係る発明を「補正発明」という。下線部は本件補正に係る補正箇所である。）。

【請求項１】

画素アレイに使用するための列<u>データ</u>信号<u>であって，それぞれ特定の画素列用である列データ信号</u>を生成する方法であって，

２つ以上の制御可能バスバッファを直列に接続して前記２つ以上の制御可能バスバッファの直列接続されたストリングを形成することであって，前記２つ以上の制御可能バスバッファのそれぞれの出力は付随ノードを

駆動するものであり，各ノードは関連する制御可能ローカル出力バッファの入力に電気的に結合されるように，形成することと，

前記２つ以上の制御可能バスバッファの直列接続されたストリングの入力に前記列データ信号を提供することであって，前記制御可能バスバッファの１つが前記列データ信号を受信して，その出力が他の制御可能バスバッファに与えられて，順次このように続いていくものである，ことと，

各ノードが順次時間的に駆動されるように，前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することであって，前記制御可能ローカル出力バッファが有効化中のときに少なくとも関連するノードが有効化中であるように，前記制御可能ローカル出力バッファのそれぞれを，前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化することと，

を含む方法。

３　本件審決の理由の要旨等

⑴　本件審決の理由の要旨は，補正発明は，本願の優先日前に頒布された刊行物である特開平１０－２８２９３９号公報（甲１。以下「引用文献」という。）に記載された発明であり，仮にそうでないとしても，引用文献に記載された発明（以下「引用発明」という。）に基づいて当業者が容易に発明することができたものであり，特許法２９条１項３号に該当し，又は同条２項の規定により，特許出願の際独立して特許を受けることができないものであるから，本件補正は，同法１７条の２第６項において準用する同法１２６条７項の規定に違反するので，同法１５９条１項の規定において読み替えて準用する同法５３条１項の規定により却下すべきものであり，また，引用発明は，本願発明の構成も全て含むものであり，本願発明は，同法２９条１項３号に該当し，又は同条２項の規定により，特許を受けることができないから，その余

の請求項に係る発明について検討するまでもなく，本願は拒絶すべきものであるというものである。

⑵　本件審決が認定した引用発明は，以下のとおりである。

液晶表示装置の一方のガラス基板の液晶側の面には，Ｘ方向に延在し，かつ，Ｙ方向に並設されるｍ本のコモン電極（走査線）が形成され，他方のガラス基板の液晶側の面には，Ｙ方向に延在し，かつ，Ｘ方向に並設されるｎ本のセグメント電極（データ線）が形成され，複数のセグメント電極と複数のコモン電極との交差部が画素領域を構成しており，各セグメントドライバ及び各コモンドライバが複数のセグメント電極および前記複数のコモン電極にそれぞれデータ信号線駆動電圧及び走査線信号駆動電圧を印加して，画素を駆動する方法であって（【０００４】ないし【０００６】，【００１０】，【００３３】），

各セグメントドライバは，出力タイミング制御用ラインクロックＣＬ１，４ビットの表示データＤＡＴＡ，表示データラッチ用クロックＣＬ２，交流化信号M，キャリー信号ＥＩＯ１，ＥＩＯ２が入力されるランダムロジック回路３１０を有しており（【００３５】，【００３８】），

各セグメントドライバは，データ信号線の数が４０出力数分ごとにブロック分割され，各ブロック（ＩＣＢＬＫ１～６）は，シフトレジスタ３０１，ビットラッチ回路３０２，ラインラッチ回路３０３，出力回路３０４を備え，そのブロックごとにブロック内の回路を停止状態とするスタンバイ回路３０５（１）～（６）を有しており，（【００２９】，【００３６】）

セグメントドライバ内部のデータバスはブロックごとに分割され，ブロック内データバスＳＳＳＤは，上記スタンバイ回路３０５と上記ビットラッチ回路３０２を接続し，内部データバスＳＳＤは，上記スタンバイ回路３０５とスタンバイ回路３０６を接続するものであり（【００３６】，【図１】），ＩＣＢＬＫ４～６にそれぞれ対応するスタンバイ回路３０６（４）～３０６

（６）は，内部データバスＳＳＤ（４）とＳＳＤ（５）を介してこの順に直列に接続され，スタンバイ回路３０６（４）からの出力を受ける内部データバスＳＳＤ（４）は，分岐してスタンバイ回路３０５（４）及びスタンバイ回路３０６（５）に接続され，スタンバイ回路３０６（５）からの出力を受ける内部データバスＳＳＤ（５）は，分岐してスタンバイ回路３０５（５）及びスタンバイ回路３０６（６）に接続され（【図１】），

上記出力回路３０４は，ラインラッチ回路３０３から入力された表示用データの電圧レベルを液晶駆動用の高電圧レベルに変換し，また電源回路１０２から供給される３レベルのデータ信号線駆動電圧を選択するため，この高電圧レベルに変換したデータと，交流化信号Ｍとから，交流化演算を行い，電源回路１０２から供給される３レベルのデータ信号線駆動電圧の中の１つを各セグメント電極（データ信号線）に出力するものであり（【００２０】），

スタンバイ回路３０６（４）には，上記ランダムロジック回路３１０のスタンバイ回路３０７から内部データバスＳＤを介して特定の画素列を駆動するためのデータ信号線駆動電圧を生成するための表示データＤＡＴＡが入力され（【０００４】ないし【０００６】，【００３８】，【図１】，前記（ア）），

ＩＣＢＬＫ４が出力Ｙ１２１～１６０の表示データＤＡＴＡをラッチすると，信号ＳＥＴ＿Ｎ（キャリー信号）がスタンバイ回路３０６（５）に入力され（【００４７】，【００６３】，【図１２】），スタンバイ回路３０６（５）がスタンバイ状態から動作状態となり，内部データバスＳＳＤ（５）がスタンバイ状態から動作状態となる（【００４６】，【００４７】，【図２】，【図１２】）と共に，信号ＳＥＴ＿Ｎがスタンバイ回路３０５（５）に入力されてスタンバイ回路３０５（５）がスタンバイ状態から動作状態となり，ブロック内データバスＳＳＳＤ（５）がスタンバイ状態から動作状態となり（【００４８】，【００５６】，【００５７】，【００６３】，【図２】，【図１０】），

ＩＣＢＬＫ５が出力Ｙ１６１～２００の表示データＤＡＴＡをラッチすると，信号ＳＥＴ＿Ｎ（キャリー信号）がスタンバイ回路３０６（６）に入力され（【００４７】，【００４８】，【００６３】，【図１２】），スタンバイ回路３０６（６）がスタンバイ状態から動作状態となり，内部データバスＳＳＤ（６）がスタンバイ状態から動作状態となる（【００４６】，【００４７】，【図１２】）と共に，信号ＳＥＴ＿Ｎがスタンバイ回路３０５（６）に入力されてスタンバイ回路３０５（６）がスタンバイ状態から動作状態となり，ブロック内データバスＳＳＳＤ（６）がスタンバイ状態から動作状態となり（【００４８】，【００５６】，【００５７】，【図２】，【図１０】），

各ブロック内データバスＳＳＳＤ（４）ないしＳＳＳＤ（６）が信号ＳＥＴ＿Ｎ（キャリー信号）の入力を契機として動作状態（Ｈｉｇｈレベル）となっているときには，必ず対応する各内部データバスＳＳＤ（４）ないしＳＳＤ（６）も信号ＳＥＴ＿Ｎ（キャリー信号）の入力を受けて動作状態（Ｈｉｇｈレベル）となっており（【００４６】ないし【００４８】，【図２】，前記（ウ）），各ブロック内データバスＳＳＳＤ（４）ないしＳＳＳＤ（６）は，各内部データバスＳＳＤ（４）ないしＳＳＤ（６）の動作開始（Ｈｉｇｈレベルの立ち上がり）の順番に順次動作開始しており，かつ，各ブロック内データバスＳＳＳＤ（４）ないしＳＳＳＤ（６）と各内部データバスＳＳＤ（４）ないしＳＳＤ（６）の動作開始のタイミングは一致している（【００３９】，【図２】，前記（イ）），

前記液晶表示装置の前記画素を駆動する方法

（判決注・「前記（ア）」は引用文献の【０００４】ないし【０００６】，【００３８】及び【図１】の記載から，「前記（イ）」は【図２】のタイミング図からそれぞれ，本件審決において認定された事項である。なお，「前記（ウ）」とあるのは「前記（イ）」の誤記と認められる。）

第３　当事者の主張

1　取消事由１（独立特許要件の判断の誤り）

⑴　原告の主張

ア　引用発明は，「有効化コントローラ」の構成を有さないこと

補正発明においては，「有効化コントローラ」が，「特定の画素列用である列データ信号が制御可能バスバッファから他の制御可能バスバッファに順次与えられ，各ノードが順次時間的に駆動されるように，前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することであって，前記制御可能ローカル出力バッファが有効化中のときに少なくとも関連するノードが有効化中であるように，前記制御可能ローカル出力バッファのそれぞれを，前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化すること」（以下「バッファ有効化プロセス」という。）の主体となるものである。

「有効化コントローラ」が主体とならないものは，補正発明における「バッファ有効化プロセス」に当たらないところ，引用発明は「有効化コントローラ」の構成を有さないから，引用文献には「バッファ有効化プロセス」について開示も示唆もないというべきである。

そうすると，引用発明に基づき補正発明の新規性を否定した本件審決の判断は誤りである。

イ　補正の機会が不十分であること

審査官は，拒絶査定において，本願の特許請求の範囲の請求項９（甲４。別紙３参照）に関し，引用発明における「スタンバイ回路３０５およびスタンバイ回路３０６を順次有効化する」との動作の主体がスタンバイ回路３０５及びスタンバイ回路３０６であると考えるのが妥当であるとの内容を暗黙的に示していた。仮に審査官が拒絶査定において「スタンバイ回路３０５およびスタンバイ回路３０６を順次有効化する」との動作の主体

が各「ブロックＩＣＢＬＫ」であることを明示的に示していれば，原告において，各ブロックＩＣＢＬＫに相当する構成とは異なるコントローラを記載した補正案を提示したであろうことは明白である。

よって，請求項９の「有効化コントローラ」に相当する構成がどのようなものであるかを明確にせずに拒絶したことによって，請求項１に対する適切な補正の機会が失われたことは明らかである。

ウ　小括

補正発明は新規性及び進歩性を有し，独立特許要件を満たすから，審決の判断は誤りである。

⑵　被告の主張

ア　引用発明に「バッファ有効化プロセス」が開示されていること

補正発明は方法の発明であり，「バッファ有効化プロセス」における「順次有効化する」という行為の主体が何であるかについては，本件補正後の請求項１に何ら特定されていない。したがって，引用発明が「バッファ有効化プロセス」という行為の主体となる「有効化コントローラ」の構成を有さないから，補正発明が新規性・進歩性を有するという原告の主張は，そもそも本件補正後の請求項１の記載に基づかない主張であって，失当である。

また，仮に，本件補正後の請求項１において，「バッファ有効化プロセス」という行為の主体が「有効化コントローラ」であることが特定されていたとしても，引用発明における各「ブロックＩＣＢＬＫ」が「有効化コントローラ」に相当するものであり，本件補正後の請求項１に係る発明が新規性及び進歩性を有さないことに変わりはなく，本件審決の判断に誤りはない。

イ　小括

よって，補正発明が独立特許要件を満たさないとした本件審決の判断に

誤りはない。

２　取消事由２（審理不尽）

⑴　原告の主張

本件では，請求項１ないし１８に係る全ての発明について拒絶査定がされた。これに対して，本件審決は，請求項１の発明だけを原告の意思とは無関係に一方的に選択して審理し，請求項２ないし１８の発明について拒絶査定の当否について何ら審理することなく，原告の審判請求を成り立たないとした。

特許法の目的とする発明保護の観点からすれば，拒絶査定の対象となった個々の発明について，拒絶査定の違法性の有無について審理が行なわれるべきであり，たとえ，請求項１の発明に対する拒絶査定は維持されるべき場合であっても,請求項９の発明に対する拒絶査定が取り消されるべき場合には,それを取り消し，出願人が請求項９に係る発明について特許が取得できるように補正等の機会を与えるべきである。

請求項１のみを審理し，他の請求項の存在を無視したことは，審理不尽である。

⑵　被告の主張

最高裁判決（最高裁平成１９年（行ヒ）第３１８号同２０年７月１０日第一小法廷判決・民集６２巻７号１９０５頁）が説示するように，特許法は，１つの特許出願に対し，１つの行政処分としての特許査定又は特許審決がされ，これに基づいて１つの特許が付与され，１つの特許権が発生するという基本構造を前提としており，請求項ごとに個別に特許が付与されるものではない。このような構造に基づき，複数の請求項に係る特許出願であっても，特許出願の分割をしない限り，当該特許出願の全体を一体不可分のものとして特許査定又は拒絶査定をするほかなく，一部の請求項に係る特許出願について特許査定をし，他の請求項に係る特許出願について拒絶査定をするとい

うような可分的な取扱いは予定されていない。一方で，特許法は，複数の請求項に係る特許又は特許権の一体不可分の取扱いを貫徹することが不適当と考えられる一定の場合には，特に明文の規定をもって，請求項ごとに可分的な取扱いを認める旨の例外規定を置いている。

ここで，特許請求の範囲，明細書又は図面の補正についての特許法の規定をみると，同法には，一つの手続補正書によりされた補正については，補正事項ごと又は請求項ごとの補正としてその可否を審理・判断することの明文の規定はない。したがって，一つの手続補正書によりされた，特許請求の範囲，明細書又は図面についての補正については，補正事項ごと又は請求項ごとにそれを却下するか否かを審理・判断するのではなく，一つの手続補正書によりされた補正は一体として扱い，一部に補正要件違反がある場合にその補正を全体として却下することは，正当な法解釈に従った実務である。

第４　当裁判所の判断

１　明細書の記載事項について

⑴　審判時における本願に係る明細書及び図面（ただし，本件補正後のもの。以下，これらを併せて「本願明細書等」という。）には，別紙１のとおりの記載がある。

⑵　前記⑴の記載事項によれば，本願明細書等には，次のような開示があることが認められる。

ア　表示スクリーンを含むモバイルコンピューティングデバイスは可動性向上のために物理的大きさが制限されるため，高解像度の大型ディスプレイの視覚体験は，容易に再現できないという問題があった。

消費者は，ハンズフリーの高品質で携帯可能なカラーディスプレイの解決策（ソリューション）を求めているところ，そのようなディスプレイのソリューションには実用サイズおよび重量の制限があるため，結果的に，利用可能な電力リソース（例えばバッテリーサイズ）が制限されてしまう

が，ディスプレイの電力消費を少なくすれば，関連づけられた電力リソースの１回の充電でディスプレイが動作できる時間が増加する（【０００３】，【０００４】）。

イ　そこで，「本発明」は，マイクロディスプレイによって使用される電力を低減するため，バッファのグループを選択的に有効化して，それに付随または関連するローカル出力バスを選択的に駆動することとし，バスバッファ４０４を被制御バスバッファ５０４に置き換えて，被制御バッファを必要なときだけ有効化することにより，ドライバ４０４のキャパシタンスを低減し，電力を低減した（【００３４】，【００３６】，【００３７】）。

ウ　「本発明」は，バッファ５０４の出力ノードの全てが常にアクティブではないようにバッファ５０４を順次アクティベートすることにより，（時間平均で）バッファ５０４の電力要求を４０パーセント以上低減し得る（【００４３】）。

２　引用発明について

⑴　引用文献の記載事項について

引用文献（甲１）には，別紙２のような記載がある。

⑵　前記⑴によれば，引用文献には，本件審決が認定したとおりの引用発明を認定することができる。

３　取消事由１（独立特許要件の判断の誤り）について

⑴　補正発明と引用発明の対比

ア　引用発明のｎ本のセグメント電極は，補正発明の「列電極」に相当し，引用発明のｍ本のコモン電極は，補正発明の「行電極」に相当し，上記ｎ本のセグメント電極とｍ本のコモン電極との交差部が構成する画素領域は「画素アレイ」といえる。また，引用発明におけるセグメント電極に印加するデータ信号線駆動電圧は，「特定の画素列用である列データ信号」に相当する。

そうすると，引用発明は，補正発明の「画素アレイに使用するための列データ信号であって，それぞれ特定の画素列用である列データ信号を生成する方法であって，」に相当する構成を有するといえる。

イ　引用発明の「スタンバイ回路３０６（４）」ないし「スタンバイ回路３０６（６）」のそれぞれは，補正発明の「制御可能バスバッファ」に相当する。

引用発明の「スタンバイ回路３０６（４）」ないし「スタンバイ回路３０６（６）」を内部データバスＳＳＤ（４），ＳＳＤ（５）を介して接続することは，補正発明の「２つ以上の制御可能バスバッファを直列に接続して前記２つ以上の制御可能バスバッファの直列接続されたストリングを形成する」ことに相当する。

引用発明の「スタンバイ回路３０５（４）」及び「スタンバイ回路３０５（５）」は，それぞれ補正発明の「制御可能ローカル出力バッファ」に相当する。

引用発明において，スタンバイ回路３０６（４）からの出力を受け，分岐してスタンバイ回路３０５（４）及びスタンバイ回路３０６（５）に接続される内部データバスＳＳＤ（４），及び，スタンバイ回路３０６（５）からの出力を受け，分岐してスタンバイ回路３０５（５）及びスタンバイ回路３０６（６）に接続される内部データバスＳＳＤ（５）の分岐する箇所は，それぞれ補正発明の「ノード」に相当する。

そして，引用発明において，スタンバイ回路３０６（４）の出力は分岐する箇所を含む内部データバスＳＳＤ（４）を駆動し，スタンバイ回路３０５（４）の入力に接続され，同様に，スタンバイ回路３０６（５）の出力は分岐する箇所を含む内部データバスＳＳＤ（５）を駆動し，スタンバイ回路３０５（５）の入力に接続されるといえる。

そうすると，引用発明は，補正発明の「２つ以上の制御可能バスバッフ

ァを直列に接続して前記２つ以上の制御可能バスバッファの直列接続されたストリングを形成することであって，前記２つ以上の制御可能バスバッファのそれぞれの出力は付随ノードを駆動するものであり，各ノードは関連する制御可能ローカル出力バッファの入力に電気的に結合されるように，形成すること」に相当する構成を有するといえる。

ウ　引用発明において，「表示データＤＡＴＡ」は，補正発明の「列データ信号」に相当するところ，まず，各セグメントドライバのランダムロジック回路３１０のスタンバイ回路３０７に入力され，内部データバスＳＤを介してスタンバイ回路３０６（４）に入力され，内部データバスＳＳＤ（４）を介してスタンバイ回路３０６（５）に入力され，内部データバスＳＳＤ（５）を介してスタンバイ回路３０６（６）に入力され，更に，内部データバスＳＳＤ（４）及びＳＳＤ（５）の分岐からそれぞれスタンバイ回路３０５（４）及び３０５（５）並びに内部データバスＳＳＳＤ（４）及びＳＳＳＤ（５）を介してブロックＩＣＢＬＫ４及びＩＣＢＬＫ５のビットラッチ回路３０２を介してラインラッチ３０３にラッチされ，出力回路３０４によって最終的にセグメント電極に印加する出力Ｙ１２１～１６０，Ｙ１６１～２００を生成するものである。

そうすると，引用発明は，補正発明の「前記２つ以上の制御可能バスバッファの直列接続されたストリングの入力に前記列データ信号を提供することであって，前記制御可能バスバッファの１つが前記列データ信号を受信して，その出力が他の制御可能バスバッファに与えられて，順次このように続いていくものである，こと」との構成を有するといえる。

エ　引用文献の【図２】には，内部データバスＳＳＤ（４）及びＳＳＤ（５）が表示データラッチ用クロックＣＬ２の３０及び４０と示されるタイミングの後で順次時間的に動作状態となることが示されているところ，分岐する箇所（ノード）を含む内部データバスＳＳＤ（４）及びＳＳＤ（５）

は，それぞれスタンバイ回路３０６（４）及び３０６（５）により駆動されるから，スタンバイ回路３０６（４）及び３０６（５）は上記のタイミングで順次有効化されているといえる。

また，引用文献の【図２】には，内部データバスＳＳＤ（４）が動作状態となるタイミング（スタンバイ回路３０６（４）が動作状態されるタイミング）と同期して内部データバスＳＳＳＤ（４）が動作状態となり，内部データバスＳＳＤ（５）が動作状態となるタイミング（スタンバイ回路３０６（５）が動作状態されるタイミング）と同期して内部データバスＳＳＳＤ（５）が動作状態となることが示されている。そして，上記のタイミングで内部データバスＳＳＳＤ（４）及びＳＳＳＤ（５）が動作状態となることは，それぞれスタンバイ回路３０５（４）及び３０５（５）が順次有効化されることである。

そうすると，引用発明は，補正発明の「各ノードが順次時間的に駆動されるように，前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することであって，前記制御可能ローカル出力バッファが有効化中のときに少なくとも関連するノードが有効化中であるように，前記制御可能ローカル出力バッファのそれぞれを，前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化すること」との構成を有するといえる。

オ　以上によれば，引用発明は，補正発明の発明特定事項を全て含むので，補正発明は引用文献に記載された発明である。

⑵　原告の主張について

ア　原告は，前記第３の１⑴アのとおり，「有効化コントローラ」が主体とならないものは，補正発明における「バッファ有効化プロセス」に当たらないところ，引用発明は，「有効化コントローラ」の構成を有さないから，

引用文献には「バッファ有効化プロセス」について開示も示唆もない旨主張する。

しかし，補正発明（請求項１）において，「有効化コントローラ」については記載されていないのであるから，引用発明が原告主張の「有効化コントローラ」を含まないからといって，補正発明が「バッファ有効化プロセス」の構成を有する点で引用発明と相違し，新規性を有するということにはなり得ない。本件補正後の請求項９の記載は，別紙３の２のとおりであり（甲７），確かに同項には「有効化コントローラ」に関する記載があるものの，上記のとおり請求項１に記載がない以上は，結論を左右しない。

引用発明が，「各ノードが順次時間的に駆動されるように，前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することであって，前記制御可能ローカル出力バッファが有効化中のときに少なくとも関連するノードが有効化中であるように，前記制御可能ローカル出力バッファのそれぞれを，前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化すること」との補正発明の構成を有することは前記⑴エのとおりである（なお，原告主張の「バッファ有効化プロセス」の中で，「特定の画素列用である列データ信号が制御可能バスバッファから他の制御可能バスバッファに順次与えられ，」という記載は，同趣旨の「特定の画素列用である列データ信号を受信して，その出力が他の制御可能バスバッファに与えられて，順次このように続いていくものであり，」という記載が請求項９には存在するものの，請求項１には一切存在しない。）。

したがって，原告の主張は採用できない。

イ　原告は，前記第３の１⑴イのとおり，審査官の拒絶査定における指示が不当であり，請求項１に対する適切な補正の機会が失われた旨主張する。

しかし，そもそも拒絶査定（甲５）において「スタンバイ回路３０５お

よびスタンバイ回路３０６を順次有効化する」との動作の主体がスタンバイ回路３０５及びスタンバイ回路３０６であると考えるのが妥当であるとの内容が示されているとは認められない。また，原告は，請求項９の「有効化コントローラ」についてるる主張するが，請求項１に記載のない以上，「有効化コントローラ」に相当する構成がどのようなものであるかを明確に示さなかったことによって，請求項１に対する関係で適切な補正の機会が失われたともいえない。したがって，原告の主張は採用できない。

⑶　小括

以上のとおりであって，補正発明は新規性を有さず，独立特許要件を満たさないとした本件審決の判断に誤りはない。

４　取消事由２（審理不尽）について

⑴　原告は，前記第３の２⑴のとおり，本件審決が請求項１のみを審理し，他の請求項の審理をしていないことは審理不尽であると主張する。

⑵　しかし，特許法は，一つの特許出願に対し，一つの行政処分としての特許査定又は特許審決がされ，これに基づいて一つの特許が付与され，一つの特許権が発生するという基本構造を前提としており，請求項ごとに個別に特許が付与されるものではない。このような構造に基づき，複数の請求項に係る特許出願であっても，特許出願の分割をしない限り，当該特許出願の全体を一体不可分のものとして特許査定又は拒絶査定をするほかなく，一部の請求項に係る特許出願について特許査定をし，他の請求項に係る特許出願について拒絶査定をするというような可分的な取扱いは予定されていない。このことは，特許法４９条，５１条の文言のほか，特許出願の分割という制度の存在自体に照らしても明らかである（最高裁判所平成１９年（行ヒ）第３１８号同２０年７月１０日第一小法廷判決・民集６２巻７号１９０５頁参照）。

特許法は，複数の請求項に係る特許ないし特許権の一体不可分の取扱いを貫徹することが不適当と考えられる一定の場合には，明文の規定をもって請

求項ごとに可分の取扱いを認める旨の例外規定をおいているが（１２３条１項柱書後段，１２６条３項等），一つの手続補正書によりされた補正について，請求項ごとの補正としてその可否を審理・判断することを定める規定はないから，本件補正を一体として扱い，請求項１に補正要件違反があることを理由に本件補正を全体として却下し，本件審判の請求が成り立たないとした本件審決に審理の不尽はない。

５　結論

以上によれば，補正発明は，引用文献に記載された発明であり，特許法２９条１項３号の規定により，特許出願の際独立して特許を受けることができないとした本件審決の判断に誤りはないから，原告が主張する取消事由は，理由がない。

したがって，原告の請求は，理由がないからこれを棄却することとして，主文のとおり判決する。

知的財産高等裁判所第４部

裁判長裁判官　菅　野　雅　之

裁判官　本　吉　弘　行

裁判官　　岡　　山　　忠　　広

（別紙１）

【書類名】明細書
【発明の名称】マイクロディスプレイデバイス用の列バス駆動方法
【関連出願の相互参照】
【０００１】
本出願は、２０１４年２月５日に出願された米国仮出願第６１／９３５，９２８号の利益を主張する。上記出願の全教示は参照により本願に援用される。
【背景技術】
【０００２】
ノートブックＰＣ、スマートフォン、タブレットコンピューティングデバイス等のモバイルコンピューティングデバイスは、現在、ビジネスと私生活の両方においてデータを生成、分析、通信、および消費するために使用される一般的なツールとなっている。高速無線通信技術のユビキタス化とともにデジタル情報へのアクセスの容易さが増すため、消費者はモバイルデジタルライフスタイルを享受し続けている。モバイルコンピューティングデバイスの一般的な用途には、しばしばワイヤレスでデバイスにストリーム配信される大量で高解像度のコンピュータグラフィックス情報およびビデオコンテンツの表示が含まれる。
【０００３】
これらのデバイスは典型的には表示スクリーンを含むが、そのようなデバイスの物理的大きさが可動性向上のために制限されるため、高解像度の大型ディスプレイの好ましい視覚体験は、そのようなモバイルデバイスでは容易に再現できない。上述のデバイスのタイプにおける別の欠点は、ユーザインターフェースがヒトの手に依存するものであり、典型的には、ユーザが物理的もしくは仮想的なキーボードまたはタッチスクリーンディスプレイを用いてデータ入力や選択を行う必要があることである。
【０００４】
その結果、消費者は、現在、手に依存するモバイルデバイスを拡張するまたはこれに取って代わる、ハンズフリーの高品質で携帯可能なカラーディスプレイの解決策（ソリューション）を求めている。そのようなディスプレイのソリューションには実用サイズおよび重量の制限があるため、結果的に、利用可能な電力リソース（例えばバッテリーサイズ）が制限されてしまう。電力リソースが制限されている場合、ディスプレイの電力消費を少なくすれば、関連づけられた電力リソースの１回の充電でディスプレイが動作できる時間が増加する。
【発明の概要】
【０００５】
最近開発されたマイクロディスプレイは、非常に小さな形状因子において大型で高解像度のカラー画像およびストリーム映像を提供できる。そのようなディスプレイのための１つの用途として、めがね、オーディオヘッドセット、またはビデオアイウェアに類似の形式で、ディスプレイがユーザの視野内に配置されるように、ユーザの頭部に装着されるワイヤレスヘッドセットコンピュータへの組込みを挙げることができる。
【０００６】
「ワイヤレスコンピューティングヘッドセット」デバイス（本明細書ではヘッドセットコンピュータ（ＨＳＣ）またはヘッドマウントディスプレイ（ＨＭＤ）とも称する）が、１つ以上の小型高解像度マイクロディスプレイと、これに付随する、画像を拡大するための光学系を含む。高解像度マイクロディスプレイは、スーパービデオグラフィックスアレイ（ＳＶＧＡ）（８００×６００）解像度、エクステンデッドグラフィックスアレイ（ＸＧＡ）（１０２４×７６８）解像度、またはそれ以上の当該技術で既知の解像度を提供できる。
【０００７】
ワイヤレスコンピューティングヘッドセットが、１つ以上のワイヤレスコンピューティング／通信インターフェースを含んで、データ機能およびストリーミング映像機能を可能にし、ヒトの手に依存するデバイスを介してより大きな利便性および可動性を提供する。

【０００８】
そのようなデバイスに関する更なる情報としては、同時係属中の２００９年１月５日に出願された米国出願第１２／３４８，６４８号「Mobile Wireless Display Software Platform for Controlling Other Systems and Devices」、２００９年３月２７日に出願されたＰＣＴ国際出願第ＰＣＴ／ＵＳ０９／３８６０１号「Handheld Wireless Display Devices Having High Resolution Display Suitable For Use as a Mobile Internet Device」、および２０１２年４月２５日に出願された米国出願第６１／６３８，４１９号「Improved Headset Computer」を参照されたい。これらの全内容は参照により本願に援用される。
【０００９】
本明細書では、「ＨＳＣ」ヘッドセットコンピュータ、「ＨＭＤ」ヘッドマウントディスプレイデバイス、および「ワイヤレスコンピューティングヘッドセット」デバイスは、互いに交換可能に使用され得る。
【００１０】
本明細書で説明する実施形態は、例えばＨＳＣに関連付けられたマイクロディスプレイ等の電力を、当該マイクロディスプレイの画素アレイへの情報信号を駆動するバッファを選択的に有効化および無効化することによって、低減する。バッファへの有効化制御信号は、それらが画素アレイに対する情報を駆動するために必要とされるときのみ、バッファを有効化する。
【００１１】
一構成において、本発明は、２つ以上の制御可能バスバッファを直列に接続することを含む、画素アレイに使用するための列信号を生成する方法であってもよい。当該方法では、前記２つ以上の制御可能バスバッファのそれぞれの出力は、関連付けられたノードまたは付随ノード（associated node）を駆動する。前記方法は、前記２つ以上の制御可能バスバッファの直列接続されたストリングの入力に列データ信号を提供することと、前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することと、を更に含む。各ノードは順次時間的に駆動される。
【００１２】
一実施形態において、前記順次有効化のために、前記列信号を受信する前記制御可能バスバッファが最初に有効化される。他の実施形態において、前記順次有効化のために、後続の制御可能バスバッファが有効化されるとき、有効化された各制御可能バスバッファは有効化されたままとされる。一実施形態において、前記順次有効化のために、前記列信号を受信する前記制御可能バスバッファが最後に有効化される。
【００１３】
一実施形態において、各ノードは、付随するまたは関連付けられた制御可能ローカル出力バッファの入力に電気的に結合されている。他の実施形態は、前記制御可能ローカル出力バッファのそれぞれを、前記制御可能バスバッファの前記順次有効化に関連付けた順番で順次有効化することを更に含む。他の実施形態は、前記制御可能バスバッファのうちの有効化されていない制御可能バスバッファのそれぞれを無効化することと、前記制御可能ローカル出力バッファのうちの有効化されていない制御可能ローカル出力バッファのそれぞれを無効化することとを更に含む。
【００１４】
一実施形態において、有効化されていない制御可能バスバッファはハイインピーダンス状態を出力する。他の実施形態において、有効化されていない制御可能バスバッファは固定論理の状態を出力する。他の実施形態は、各制御可能バスバッファおよび各ローカル出力バッファの前記順次有効化を、前記画素アレイに関連付けた走査パターンと対応づけることを更に含む。
【００１５】
他の構成において、本発明は画素アレイ用の列ドライバであってもよい。前記列ドライバは、直列に接続された２つ以上の制御可能バスバッファであって、各制御可能バスバッ

ファは付随ノードを駆動する出力を有する制御可能バスバッファと、２つ以上の制御可能ローカル出力バッファであって、各制御可能ローカル出力バッファは、前記付随ノードの１つに電気的に結合された入力を有し、かつ前記画素アレイの１つ以上の列を駆動する出力を有する制御可能ローカル出力バッファと、を含んでもよい。前記列ドライバは、前記２つ以上の制御可能バスバッファの１つ以上のバス有効化入力を駆動し、かつ前記２つ以上の制御可能ローカル出力バッファの１つ以上のローカル出力有効化入力を駆動する、有効化コントローラを、更に含んでもよい。前記有効化コントローラは、各ノードがバスシーケンスに従って駆動されるように、前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化する。

【００１６】

一実施形態において、前記コントローラは後続の制御可能バスバッファが有効化されるときに各制御可能バスバッファが有効化された状態を維持するように構成される。

【００１７】

他の実施形態において、前記有効化コントローラはステートマシンである。他の実施形態において、前記有効化コントローラはコード駆動プロセッサである。

【００１８】

一実施形態において、各ローカル出力バッファは、有効化されていないときにはハイインピーダンス状態を出力する。他の実施形態において、各ローカル出力バッファは、有効化されていないときには固定論理の状態を出力する。

【００１９】

一実施形態において、前記画素アレイの前記１つ以上の列は１つ以上のＤＡＣを含み、前記ローカル出力バッファは少なくとも１つのＤＡＣを駆動する。

【００２０】

他の実施形態において、前記有効化コントローラは、前記画素アレイの前記１つ以上の列のそれぞれがローカル出力シーケンスに従って駆動されるように、各制御可能ローカル出力バッファを順次有効化する。他の実施形態において、前記バスシーケンスは前記ローカル出力シーケンスに関係する。

【００２１】

一実施形態において、前記２つ以上の制御可能バスバッファは、列データ信号を受信する入力を有する第１の制御可能バスバッファを含む。

【図面の簡単な説明】

【００２２】

上記の内容は、以下の発明の例示的な実施形態の更に具体的な説明から明らかになるであろう。添付図面において、異なる図全体にわたり、同様の部分は同様の参照符号で示す。図面は必ずしも原寸に比例しておらず、本発明の実施形態の説明に重点が置かれている。

【図１】本実施形態に係るマイクロディスプレイの単純な構成の例を示す。

【図２】図１に示す列ドライバの拡大図を示す。

【図３】図１の列ドライバにおけるデジタルアナログ変換器の例を示す。

【図４】列ドライバアーキテクチャの例を示す。

【図５】上述の実施形態に係る列ドライバアーキテクチャの例を示す。

【発明を実施するための形態】

【００２３】

本発明の例示的な実施形態を以下に説明する。

【００２４】

本明細書で説明するマイクロディスプレイは、例えばヘッドセットコンピュータ等の、多くのモバイル通信およびコンピューティング用途に使用できる。そのようなヘッドセットコンピュータの一例が、２０１４年１１月１３日に出願された米国特許出願第１４／５４０，９０５号「Text Selection Using HMD Head-Tracker and Voice-Command」に開示されている。上記出願の全内容は参照により本願に援用される。

【００２５】
図１の例示的な実施形態に示すように、本明細書で説明するマイクロディスプレイは、一般に多数のデータおよび制御信号によって駆動される画素アレイ１０２を含む。この単純な構成の例では、マイクロディスプレイ１００は、２０列×１６行で合計３２０画素を含む。上述したように、実際の実用マイクロディスプレイは典型的には更に多くの画素（例えば１０２４列×７６８行のＸＧＡ）を有する。
【００２６】
マイクロディスプレイは、共に画素アレイ１０２へ各情報を提供する、列ドライバ１０４と行ドライバ１０６とを含む。列ドライバ１０４は、一般には、画像情報を画素に提供し、行ドライバ１０６は制御情報を画素に提供する。
【００２７】
特定の画素列１１０用の列ドライバ信号１０８は複数の信号を含んでもよい。図２は、赤緑青（ＲＧＢ）画素アレイ用の列ドライバ１０４の拡大図を示す。
【００２８】
図２は、上記アレイの単一の列２０４の最初の２つの画素２０２を示す。各画素２０２は、赤成分２０６、緑成分２０８、および青成分２１０を含む。各列について、列ドライバ１０４は、３つの情報信号、すなわち赤信号２１２、緑信号２１４、青信号２１６、を駆動する。これらの情報信号は列２０４内の画素全てに及ぶ。
【００２９】
画素を駆動する情報信号は一般には、デジタルアナログ変換器（ＤＡＣ）を経由してデジタル信号から生成されたアナログ信号である。図３は、１つの画素列についてのそのような変換の例を示す。デジタルバッファ３０２は、３０ビットの情報（１０ビットの赤情報、１０ビットの緑情報、および１０ビットの青情報）を駆動し、この３０ビットを３チャネルＤＡＣ３０４へ提供する。３チャネルＤＡＣ３０４内の各チャネルは、１０ビットの情報をアナログ信号へ変換する。換言すれば、３チャネルＤＡＣ３０４は、１０ビット赤ＤＡＣ３０６と、１０ビット緑ＤＡＣ３０８と、１０ビット青ＤＡＣ３１０とを含む。
【００３０】
列ドライバ１０４が典型的な画素アレイ（例えば、１０２４以上）における多数の列を駆動するので、ＤＡＣを駆動する列ドライバのデジタル部は、複数のバスまたはバスチェーンからなってもよい。図４は、そのような列ドライバアーキテクチャ（直列接続されたバスバッファのストリング等）の一例を示す。情報信号バス４０２がバスバッファ４０４に設けられ、その出力が他のバッファに与えられ、順次このように続いていく。バスは、例えば図３において上述したように、３０ビットであってもよい。各バッファ４０４の出力はノードという。この例では、ノードは、それぞれ、Node_1 ４０６、Node_2 ４０８、Node_3 ４１０、およびNode_N ４１２である。
【００３１】
各ノードは、被制御（制御可能ともいう）ローカル出力バッファ（すなわち、自身に与えられた（有効化）制御信号を介して有効または無効にされ得る出力を有するバッファ）の入力に対して設けられる。
【００３２】
図４において、Node_1 ４０６は、被制御バッファ４１４の入力に適用されて、ローカル出力バスOUT_LOCAL_1 ４１６を形成する。同様に、Node_2 ４０８を使用してローカル出力バスOUT_LOCAL_2 ４１８を形成し、Node_3 ４１０を使用してローカル出力バスOUT_LOCAL_3 ４２０を形成し、順次このように続いていく。
【００３３】
これらのローカル出力バスは、図３で示した例と同様に、１つのＤＡＣまたはＤＡＣのグループ（集合）を駆動するのに使用される。各ローカル出力バスは、多数のＤＡＣ（例えば、６４以上の画素列に対応して６４以上のＤＡＣ）を駆動するよう要求され得る。
【００３４】
マイクロディスプレイによって使用される電力を低減するための１つの技法は、バッフ

ァのグループを選択的に有効化して、それに付随または関連するローカル出力バスを選択的に駆動することで、当該付随ローカル出力バスが必要なときのみ駆動されるようになる、というものである。バッファが付随ローカル出力バスを駆動していないときは、バッファは、（有効化されずに）ハイインピーダンス状態、または固定論理レベル（例えばローレベル論理もしくは負論理）もしくは固定論理の状態の出力を駆動するよう設定される。

【００３５】

図４のタイミング図の４２４はこの技法を示す。信号EN_1、EN_2、EN_3～EN_Nは、時間的に、出力４１６、４１８、４２０～４２２をそれぞれ選択的に有効化するのに使用される。

【００３６】

図５は、上述した実施形態に係るマイクロディスプレイによって要求される電力を更に低減するための技法を示す。図５の例示的な実施形態において、Node_1 ４０６、Node_2 ４０８、Node_3 ４１０、およびNode_N ４１２を生成した（図４の）バスバッファ４０４は、（PSEN信号により有効または無効に切り替えられる）被制御バスバッファ５０４に置き換えられている。図４のバスバッファ４０４はこうした制御が可能でなかったことから常時有効化されていたため、出力Node_1 ４０６、Node_2 ４０８、Node_3 ４１０、およびNode_N ４１２は常に駆動されていた。これらのノードを駆動することに関連する合計キャパシタンスは非常に大きく、多数の画素および広い情報データフィールドを有するマイクロディスプレイアレイ（例えば、本明細書で説明する例示的な３×１０ビットＲＧＢアレイ）の場合は特にそうである。

【００３７】

バッファによって要求される電力量は、駆動される電圧の２乗の値がかけられる、ドライバのアクティブキャパシタンスＣに関係する（すなわち電力量はCV^2となる）。したがって、キャパシタンスを低減すれば電力が低減される。上述した実施形態は、これらのバッファを被制御バッファに置き換えてそれら被制御バッファを必要なときだけ有効化することにより、ドライバ４０４のキャパシタンスを低減する。

【００３８】

図５は、本発明の一構成に係る画素アレイ用の列ドライバアーキテクチャのローカルバス部の例示的な実施形態を示す。本実施形態は、対応するバッファ５０４へのアクティベート入力信号PSEN_1 ５０６、PSEN_2 ５０８、PSEN_3 ５１０～PSEN_N ５１２を、タイミング図５１４に従って制御する。図４と同様に、ある有効化信号（例えばEN_1やPSEN_1）がアクティブである場合（すなわち有効化信号がアサートされて正論理値等となっている状態）、当該有効化信号は付随バッファ４１４または５０４の出力を有効化する。PSEN信号は図５のタイミング図には明示していない。しかし、PSEN信号は、Node_1、Node_2、・・・Node_N信号線におけるパルス波形の有無によって、本質的に（または暗黙に）図５に示される。PSEN_N信号がアクティブ（有効化中）のとき、Node_Nパルス波形は存在する。PSEN_N信号がアクティブではない（無効化中）のとき、Node_Nパルス波形は存在しない。

【００３９】

図の左から右への走査の場合、EN_1がアクティブのとき、信号PSEN_1 ５０６はアクティブである。図５のタイミング図において示すように、EN_1がアクティブのとき、Node_1のみがアクティブである（すなわちパルス波形を生成している）。図５の波形ではNode_2、Node_3～Node_Nの「アクティブではない状態」が「ローレベル」で示されているが、付随バッファが有効化されていないときには、この代わりに出力は中間の「ハイインピーダンス」状態であってもよい。

【００４０】

EN_2がアクティブのときは、PSEN_1およびPSEN_2の両方がアクティブである。図５に示すように、EN_2がアクティブの間はNode_1およびNode_2の両方がパルス波形を生成するが、Node_3～Node_Nはパルス波形動作を示さない。

【００４１】

EN_3がアクティブのとき、PSEN_1とPSEN_2とPSEN_3とがアクティブである。したがって

、Node_1、Node_2、およびNode_3はパルス波形を有するが、４以上のすべてのＮに対するノードNode_Nはアクティブではない。同様に、駆動されたデータ（この例ではパルス波形）をすべてのＮノードが有するまで、信号EN_4～EN_Nの有効化が、順次、アクティベート（アクティブ化）される。

【００４２】

上述した実施形態では、上記の制御信号または有効化信号EN_1～EN_NおよびPSEN_1～PSEN_Nは、図５に示す有効化コントローラ５２０によって生成されてもよい。有効化コントローラは、単純なステートマシンから成るもの、カウンタによって駆動される組み合わせ論理ブロック、ソフトウェアもしくはファームウェアのコードにより駆動されるプロセッサもしくはコントローラ、または当該技術分野で知られる他の任意のそのような信号生成器であってもよい。

【００４３】

図５に関して説明したバッファ５０４の出力ノードのすべてが常にアクティブではないようにバッファ５０４を順次アクティベートすることにより、（時間平均で）バッファ５０４の電力要求を４０パーセント以上低減し得る。

【００４４】

右から左への走査の場合、上記の処理は逆に行われ得る。換言すれば、PSEN_Nのすべてがアクティブで始まり、次いで、すべてのPSEN_Nがディアクティベートされ（そしてそれらの対応するバッファ５０４が有効化されなくなる）るまで、各PSEN_Nを１つずつディアクティベート（例えば、まずPSEN_N-1を、次にPSEN_N-2を、等）してもよい。

【００４５】

本明細書で説明した１つ以上の実施形態が多くの異なる形式のソフトウェアおよびハードウェアにおいて実装され得ることは明らかであろう。本明細書で説明した実施形態を実装するために使用されるソフトウェアコードおよび／または専用ハードウェアは本発明を限定するものではない。したがって、実施形態の動作および挙動の説明では、特定のソフトウェアコードおよび／または専用ハードウェアを参照することなく説明した。本明細書の記述に基づいて実施形態を実装するようにソフトウェアおよび／またはハードウェアを設計できるであろうことが理解される。

【００４６】

更に本発明の一定の実施形態が、１つ以上の機能を実行する論理として実施され得る。この論理は、ハードウェアベース、ソフトウェアベース、またはハードウェアベースとソフトウェアベースとの組み合わせでもよい。この論理の一部または全部が、１つ以上の有形のコンピュータ読取り可能な記憶媒体に記憶されてよく、コントローラまたはプロセッサによって実行され得るコンピュータ実行可能な命令を含んでもよい。上記コンピュータ実行可能な命令は、本発明の１つ以上の実施形態を実施する命令を含んでもよい。有形のコンピュータ読取り可能な記憶媒体は、揮発性であっても不揮発性であってもよく、例えば、フラッシュメモリ、ダイナミックメモリ、取り外し可能ディスク、および取り外し不可ディスクを含んでもよい。

【００４７】

本発明をその例示的な実施形態を参照して詳細に説明してきたが、添付の請求の範囲に包含される本発明の範囲を逸脱することなく、様々な形および詳細の変更がなされ得ることが当業者によって理解されるであろう。

なお、本発明は、実施の態様として、以下の内容を含む。

［態様１］

画素アレイに使用するための列信号を生成する方法であって、

２つ以上の制御可能バスバッファを直列に接続することと、前記２つ以上の制御可能バスバッファのそれぞれの出力が付随ノードを駆動することと、

前記２つ以上の制御可能バスバッファの直列接続されたストリングの入力に列データ信号を提供することと、

各ノードが順次時間的に駆動されるように、前記２つ以上の制御可能バスバッファの直

列接続されたストリングにおいて各制御可能バスバッファを順次有効化することと、
を含む方法。
［態様２］
態様１に記載の方法において、
前記順次有効化のために、前記列信号を受信する前記制御可能バスバッファが最初に有効化される、方法。
［態様３］
態様１に記載の方法において、
前記順次有効化のために、後続の制御可能バスバッファが最初に有効化されるとき、有効化された各制御可能バスバッファは有効化されたままとされる、方法。
［態様４］
態様１に記載の方法において、
前記順次有効化のために、前記列信号を受信する前記制御可能バスバッファが最後に有効化される、方法。
［態様５］
態様１に記載の方法において、
各ノードは付随する制御可能ローカル出力バッファの入力に電気的に結合されている、方法。
［態様６］
態様５に記載の方法において、
前記制御可能ローカル出力バッファのそれぞれを、前記制御可能バスバッファの前記順次有効化に関連付けた順番で順次有効化することを更に含む、方法。
［態様７］
態様５に記載の方法において、
前記制御可能バスバッファのうちの有効化されていない制御可能バスバッファのそれぞれを無効化することと、前記制御可能ローカル出力バッファのうちの有効化されていない制御可能ローカル出力バッファのそれぞれを無効化することとを更に含む、方法。
［態様８］
態様１に記載の方法において、
有効化されていない制御可能バスバッファはハイインピーダンス状態を出力する、方法。
［態様９］
態様１に記載の方法において、
有効化されていない制御可能バスバッファは固定論理の状態を出力する、方法。
［態様１０］
態様１に記載の方法において、
各制御可能バスバッファおよび各ローカル出力バッファの前記順次有効化を、前記画素アレイに関連付けた走査パターンと対応づけることを更に含む、方法。
［態様１１］
画素アレイ用の列ドライブであって、
直列に接続された２つ以上の制御可能バスバッファであって、各制御可能バスバッファは付随ノードを駆動する出力を有する制御可能バスバッファと、
２つ以上の制御可能ローカル出力バッファであって、各制御可能ローカル出力バッファは、前記付随ノードの１つに電気的に結合された入力を有し、かつ前記画素アレイの１つ以上の列を駆動する出力を有する制御可能ローカル出力バッファと、
前記２つ以上の制御可能バスバッファの１つ以上のバス有効化入力を駆動し、かつ前記２つ以上の制御可能ローカル出力バッファの１つ以上のローカル出力有効化入力を駆動する、有効化コントローラと、
を備え、
前記有効化コントローラは、各ノードがバスシーケンスに従って駆動されるように、前

記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化する、
列ドライバ。
［態様１２］
態様１１に記載の列ドライバにおいて、
前記コントローラは、後続の制御可能バスバッファが有効化されるときに各制御可能バスバッファが有効化された状態を維持するよう構成されている、列ドライバ。
［態様１３］
態様１１に記載の列ドライバにおいて、
前記有効化コントローラはステートマシンである、列ドライバ。
［態様１４］
態様１１に記載の列ドライバにおいて、
前記有効化コントローラはコード駆動プロセッサである、列ドライバ。
［態様１５］
態様１１に記載の列ドライバにおいて、
各ローカル出力バッファは、有効化されていないときにはハイインピーダンス状態を出力する、列ドライバ。
［態様１６］
態様１１に記載の列ドライバにおいて、
各ローカル出力バッファは、有効化されていないときには固定論理の状態を出力する、列ドライバ。
［態様１７］
態様１１に記載の列ドライバにおいて、
前記画素アレイの前記１つ以上の列は１つ以上のＤＡＣを含み、前記ローカル出力バッファは少なくとも１つのＤＡＣを駆動する、列ドライバ。
［態様１８］
態様１１に記載の列ドライバにおいて、
前記有効化コントローラは、前記画素アレイの前記１つ以上の列のそれぞれがローカル出力シーケンスに従って駆動されるように、各制御可能ローカル出力バッファを順次有効化する、列ドライバ。
［態様１９］
態様１８に記載の列ドライバにおいて、
前記バスシーケンスは前記ローカル出力シーケンスに関係する、列ドライバ。
［態様２０］
態様１１に記載の列ドライバにおいて、
前記２つ以上の制御可能バスバッファは、列データ信号を受信する入力を有する第１の制御可能バスバッファを含む、列ドライバ。

【書類名】特許請求の範囲
【請求項１】
画素アレイに使用するための列データ信号であって、それぞれ特定の画素列用である列データ信号を生成する方法であって、
２つ以上の制御可能バスバッファを直列に接続して前記２つ以上の制御可能バスバッファの直列接続されたストリングを形成することであって、前記２つ以上の制御可能バスバッファのそれぞれの出力は付随ノードを駆動するものであり、各ノードは関連する制御可能ローカル出力バッファの入力に電気的に結合されるように、形成することと、
前記２つ以上の制御可能バスバッファの直列接続されたストリングの入力に前記列データ信号を提供することであって、前記制御可能バスバッファの１つが前記列データ信号を受信して、その出力が他の制御可能バスバッファに与えられて、順次このように続いていくものである、ことと、
各ノードが順次時間的に駆動されるように、前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することであって、前記制御可能ローカル出力バッファが有効化中のときに少なくとも関連するノードが有効化中であるように、前記制御可能ローカル出力バッファのそれぞれを、前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化することと、
を含む方法。
【請求項２】
請求項１に記載の方法において、
前記順次有効化のために、前記列データ信号を受信する前記制御可能バスバッファが最初に有効化される、方法。
【請求項３】
請求項１に記載の方法において、
前記順次有効化のために、後続の制御可能バスバッファが最初に有効化されるとき、有効化された各制御可能バスバッファは有効化されたままとされる、方法。
【請求項４】
請求項１に記載の方法において、
前記順次有効化のために、前記列データ信号を受信する前記制御可能バスバッファが最後に有効化される、方法。
【請求項５】
請求項１に記載の方法において、
前記制御可能バスバッファのうちの有効化されていない制御可能バスバッファのそれぞれを無効化することと、前記制御可能ローカル出力バッファのうちの有効化されていない制御可能ローカル出力バッファのそれぞれを無効化することとを更に含む、方法。
【請求項６】
請求項１に記載の方法において、
有効化されていない制御可能バスバッファはハイインピーダンス状態を出力する、方法。
【請求項７】
請求項１に記載の方法において、
有効化されていない制御可能バスバッファは固定論理の状態を出力する、方法。
【請求項８】
請求項１に記載の方法において、
各制御可能バスバッファおよび各制御可能ローカル出力バッファの前記順次有効化を、前記画素アレイに関連付けた走査パターンと対応づけることを更に含む、方法。
【請求項９】
画素アレイ用の列ドライバであって、
２つ以上の制御可能バスバッファを直列に接続して前記２つ以上の制御可能バスバッフ

ァの直列接続されたストリングを形成した制御可能バスバッファであって、当該制御可能バスバッファの１つが特定の画素列用である列データ信号を受信して、その出力が他の制御可能バスバッファに与えられて、順次このように続いていくものであり、各制御可能バスバッファは付随ノードを駆動する出力を有する制御可能バスバッファと、

２つ以上の制御可能ローカル出力バッファであって、各制御可能ローカル出力バッファは、前記付随ノードの１つに電気的に結合された入力を有し、かつ前記画素アレイの１つの列を駆動する出力を有する制御可能ローカル出力バッファと、

前記２つ以上の制御可能バスバッファの直列接続されたストリングの１つ以上のバス有効化入力を駆動し、かつ前記２つ以上の制御可能ローカル出力バッファの１つ以上のローカル出力有効化入力を駆動する、有効化コントローラと、

を備え、

前記有効化コントローラは、各ノードがバスシーケンスに従って駆動されるように、前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化するものであり、前記有効化コントローラは、さらに、前記制御可能バスバッファが有効化中のときに少なくとも関連するノードが有効化中であるように、前記制御可能ローカル出力バッファのそれぞれを、前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化する、列ドライバ。

【請求項１０】

請求項９に記載の列ドライバにおいて、

前記有効化コントローラは、後続の制御可能バスバッファが有効化されるときに各制御可能バスバッファが有効化された状態を維持するよう構成されている、列ドライバ。

【請求項１１】

請求項９に記載の列ドライバにおいて、

前記有効化コントローラはステートマシンである、列ドライバ。

【請求項１２】

請求項９に記載の列ドライバにおいて、

前記有効化コントローラはコード駆動プロセッサである、列ドライバ。

【請求項１３】

請求項９に記載の列ドライバにおいて、

各制御可能ローカル出力バッファは、有効化されていないときにはハイインピーダンス状態を出力する、列ドライバ。

【請求項１４】

請求項９に記載の列ドライバにおいて、

各制御可能ローカル出力バッファは、有効化されていないときには固定論理の状態を出力する、列ドライバ。

【請求項１５】

請求項９に記載の列ドライバにおいて、

前記画素アレイの前記１つの列は１つ以上のＤＡＣを含み、前記制御可能ローカル出力バッファは少なくとも１つのＤＡＣを駆動する、列ドライバ。

【請求項１６】

請求項９に記載の列ドライバにおいて、

前記有効化コントローラは、前記画素アレイの前記１つ以上の列のそれぞれがローカル出力シーケンスに従って駆動されるように、各制御可能ローカル出力バッファを順次有効化する、列ドライバ。

【請求項１７】

請求項１６に記載の列ドライバにおいて、

前記バスシーケンスは前記ローカル出力シーケンスに関係する、列ドライバ。

【請求項１８】

請求項９に記載の列ドライバにおいて、

前記２つ以上の制御可能バスバッファは、列データ信号を受信する入力を有する第１の

制御可能バスバッファを含む、列ドライバ。

【書類名】要約書
【要約】
【課題】マイクロディスプレイ等の電力を低減する方法を提供する。
【解決手段】２つ以上の制御可能バスバッファを直列に接続することを含む、画素アレイに使用するための列信号を生成する方法。当該方法は、上記２つ以上の制御可能バスバッファのそれぞれの出力は付随ノードを駆動する。本方法は、上記２つ以上の制御可能バスバッファの直列接続されたストリングの入力に列データ信号を提供することを更に含む。本方法は、各ノードが順次駆動されるように、上記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化することも含む。各ノードは付随する制御可能ローカル出力バッファの入力に電気的に結合されている。本方法は、上記制御可能ローカル出力バッファのそれぞれを、上記制御可能バスバッファの上記順次有効化に関連付けた順番で順次有効化することを更に含む。
【選択図】　図５

【書類名】図面
【図１】

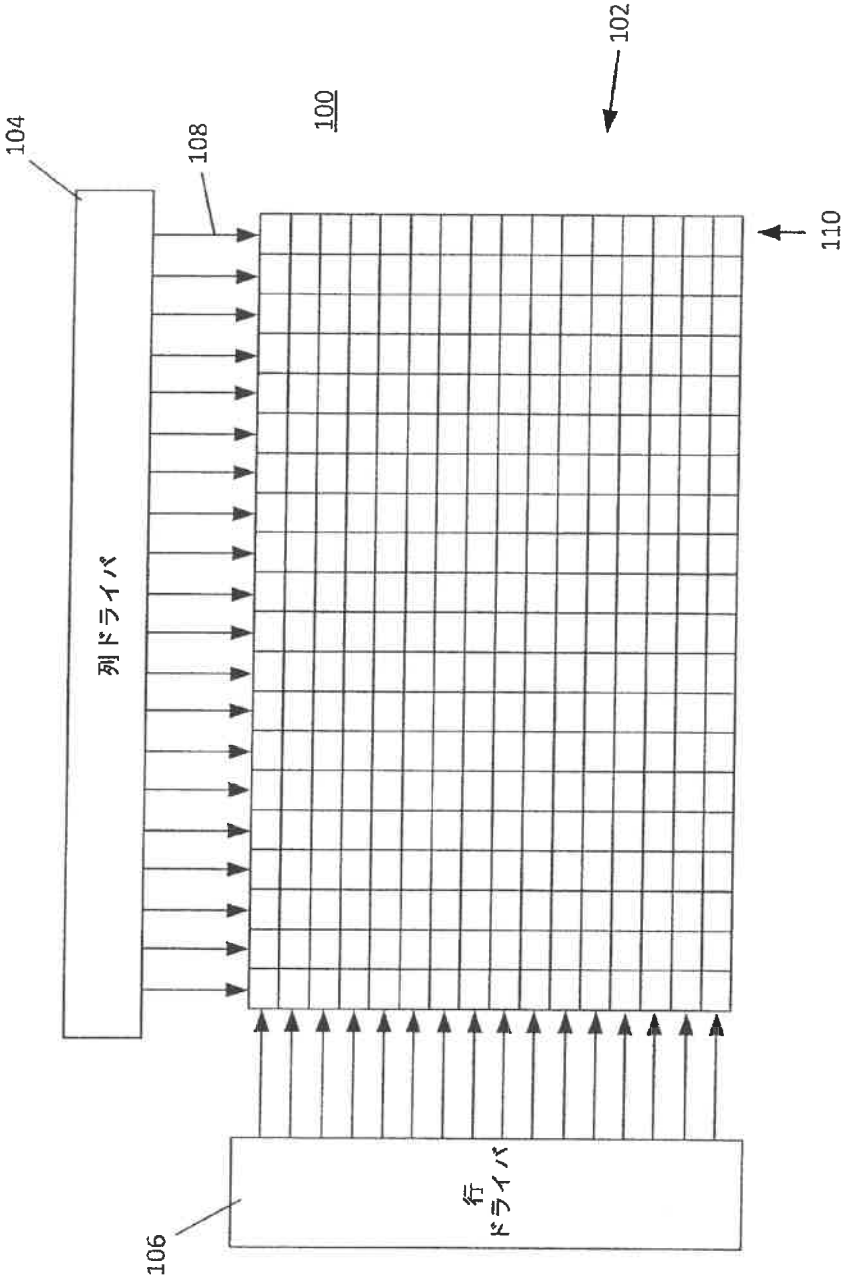


FIG. 1

【図２】

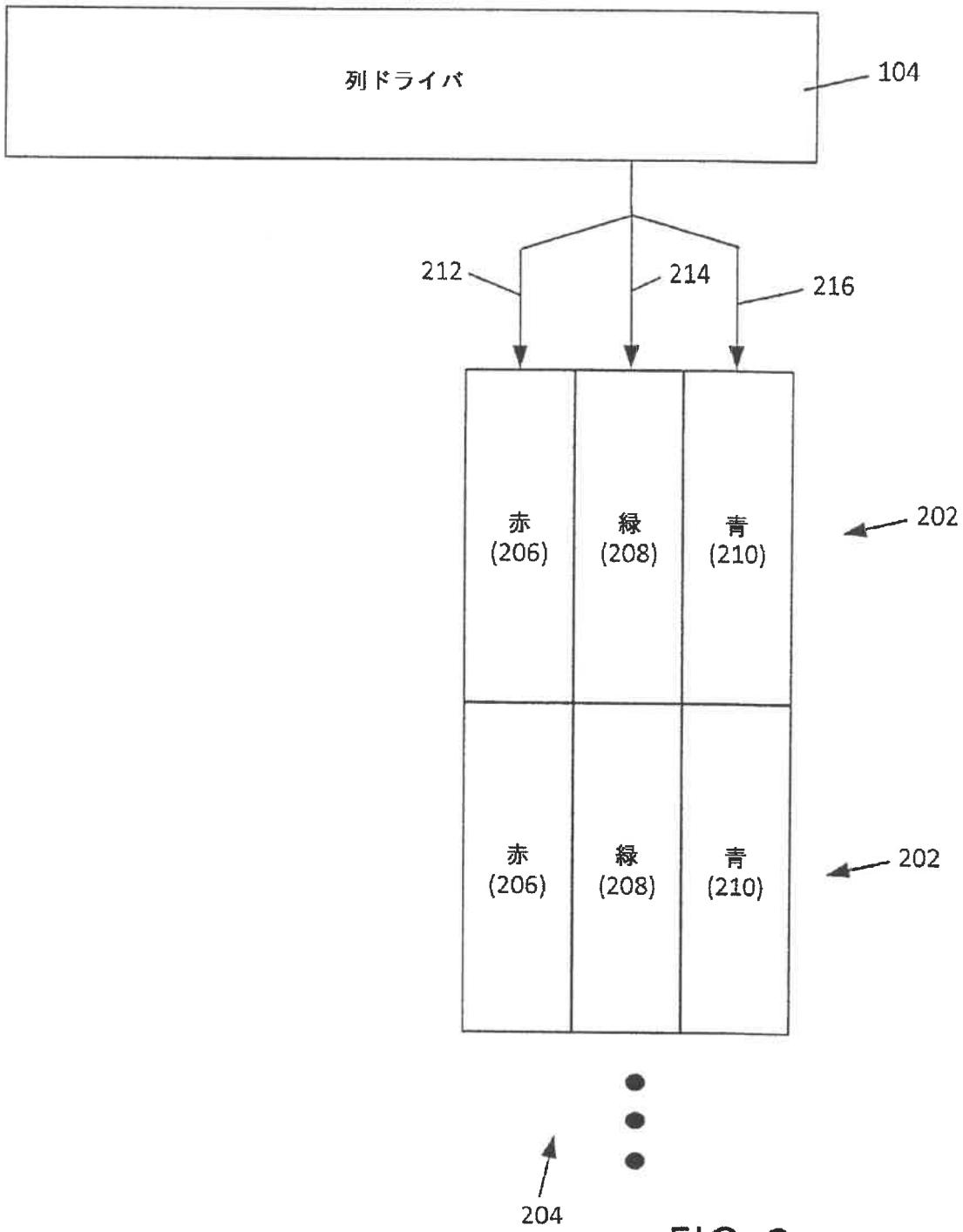

列ドライバ
104
212
214
216
赤
(206)
緑
(208)
青
(210)
202
赤
(206)
緑
(208)
青
(210)
202
204

FIG. 2

【図３】

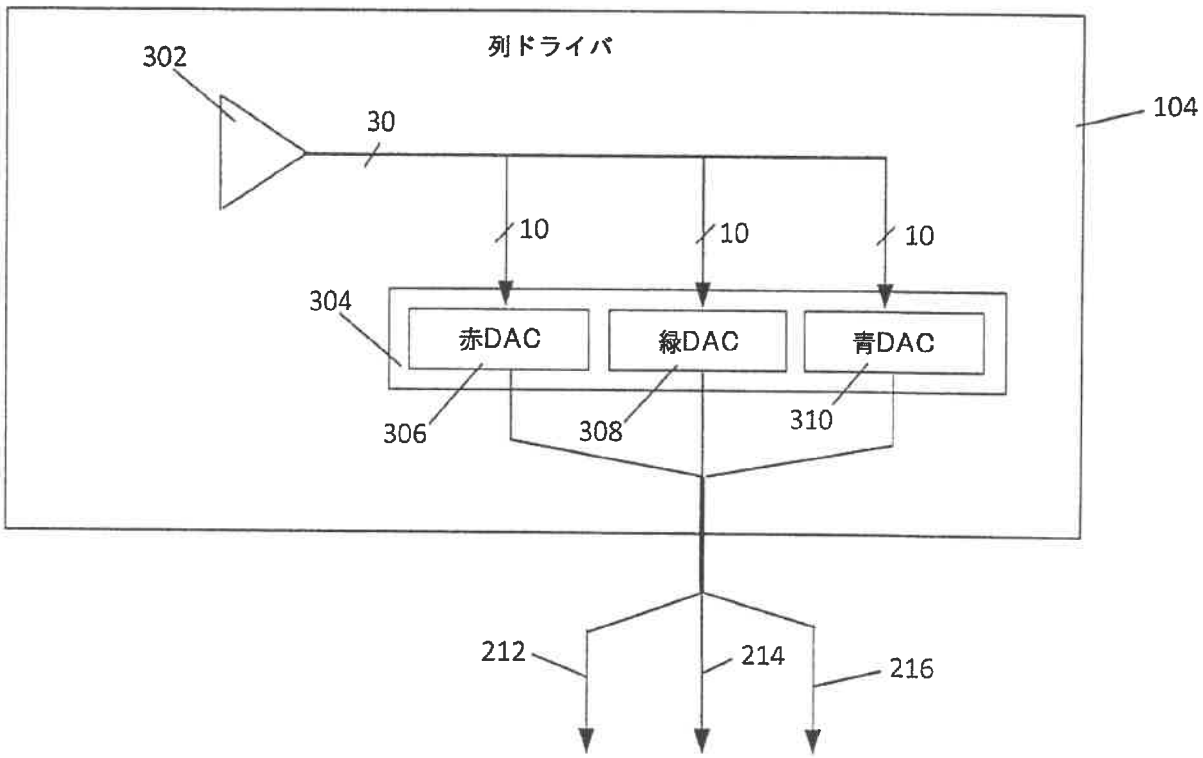

列ドライバ
302
30
104
10
10
10
304
赤DAC
緑DAC
青DAC
306
308
310
212
214
216

FIG. 3

【図４】

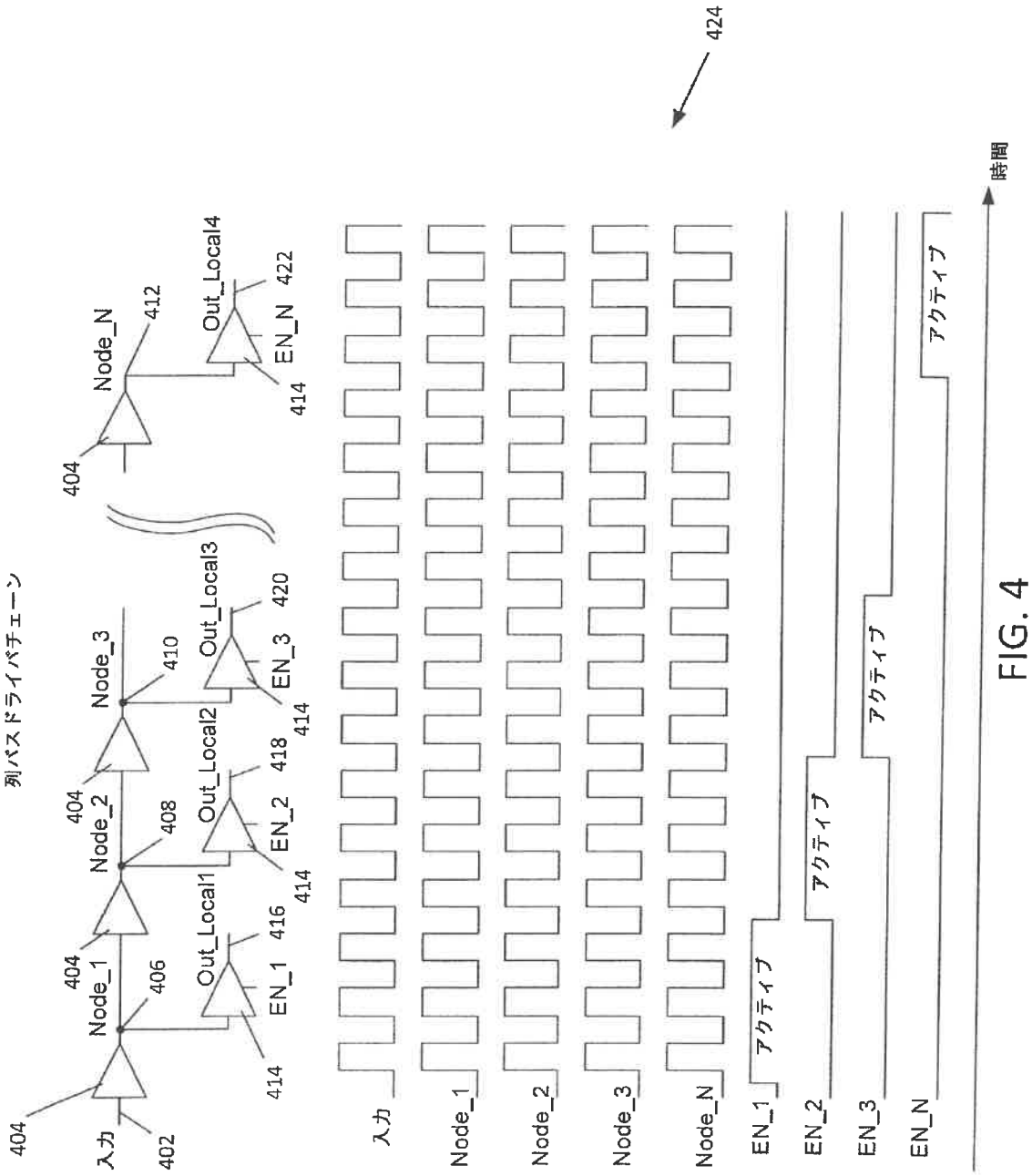

列バスドライバチェーン
入力
402
404
Node_1
406
Node_2
408
Node_3
410
Node_N
412
Out_Local1
Out_Local2
Out_Local3
Out_Local4
EN_1
EN_2
EN_3
EN_N
414
416
418
420
422
424
入力
Node_1
Node_2
Node_3
Node_N
EN_1
EN_2
EN_3
EN_N
アクティブ
時間

FIG. 4

【図５】

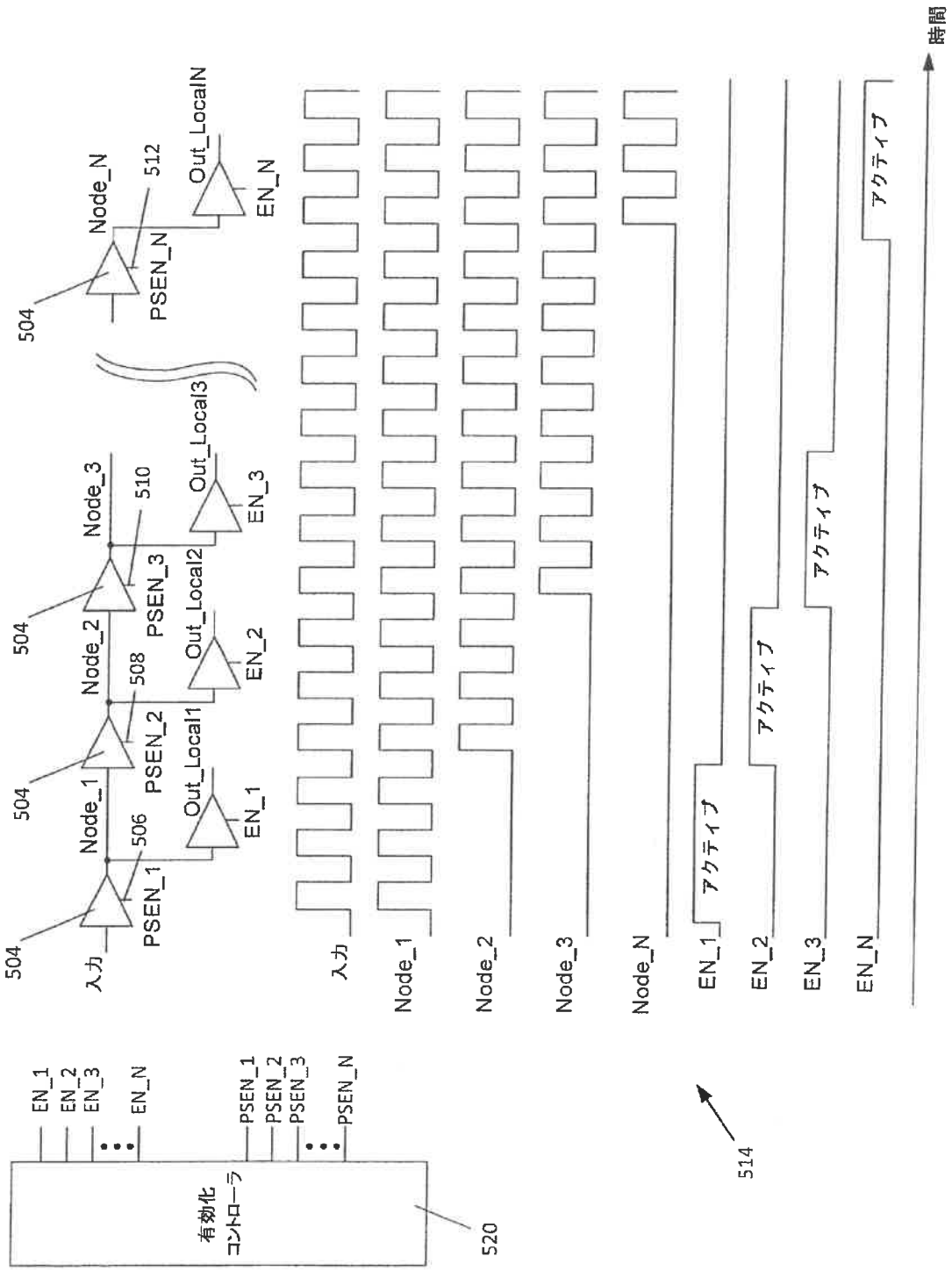

504
入力
PSEN_1
506
Node_1
PSEN_2
508
Node_2
PSEN_3
510
Node_3
PSEN_N
512
Node_N
Out_Local1
Out_Local2
Out_Local3
Out_LocalN
EN_1
EN_2
EN_3
EN_N
入力
Node_1
Node_2
Node_3
Node_N
アクティブ
時間
514
有効化
コントローラ
520

FIG. 5

（別紙２）

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－282939

(43)公開日　平成10年(1998)10月23日

(51)Int.Cl.⁶	識別記号	ＦＩ	
Ｇ０９Ｇ　3/36		Ｇ０９Ｇ　3/36	
Ｇ０２Ｆ　1/133	５２０	Ｇ０２Ｆ　1/133	５２０

審査請求　未請求　請求項の数６　ＯＬ　（全 12 頁）

(21)出願番号　特願平10－20635

(22)出願日　平成10年(1998)２月２日

(31)優先権主張番号　特願平9－24789

(32)優先日　平９(1997)２月７日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地

(71)出願人　000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72)発明者　黒川　一成
千葉県茂原市早野3300番地　株式会社日立製作所電子デバイス事業部内

(72)発明者　片岡　登
千葉県茂原市早野3300番地　株式会社日立製作所電子デバイス事業部内

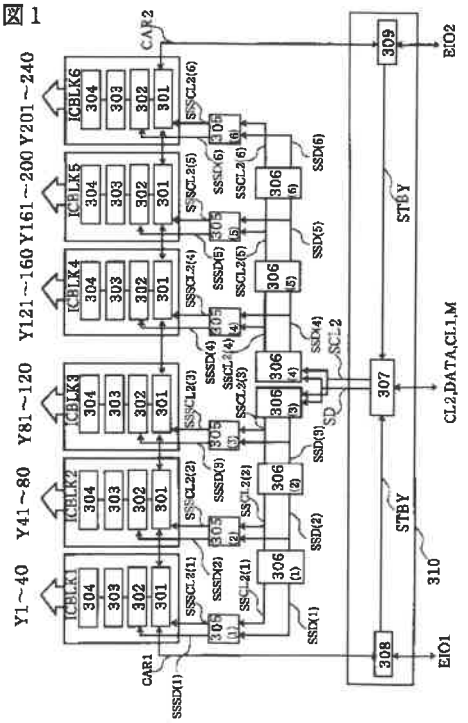
(74)代理人　弁理士　小川　勝男

最終頁に続く

(54)【発明の名称】　液晶表示装置

(57)【要約】
【課題】液晶表示装置において、液晶駆動装置の消費電力化を図る。
【解決手段】内部シフトレジスタ、ビットラッチ回路、ラインラッチ回路、出力回路を任意の出力数分単位に分割し、またそのブロックに転送するデータ及びクロックも同様に分割し、その分割された単位ごとにスタンバイ機能を有し、データラッチを実施する回路部のみ動作し、消費電力を低減する。

図１



1

【特許請求の範囲】

【請求項１】液晶表示素子と、前記液晶表示素子を駆動する液晶駆動装置とを有し、
前記液晶駆動装置のシフトレジスタ回路は出力単位にブロック分割され、
前記ブロック単位毎にスタンバイ回路を有することを特徴とする液晶表示装置。

【請求項２】液晶表示素子と、前記液晶表示素子を駆動する液晶駆動装置とを有し、
前記液晶駆動装置のシフトレジスタ回路は出力単位にブロック分割され、
前記シフトレジスタ回路にはクロック信号線がブロック単位毎に接続され、
前記クロック信号線毎にスタンバイ回路を有することを特徴とする液晶表示装置。

【請求項３】前記シフトレジスタ回路にデータ線がブロック単位毎に接続され、
前記データ線毎にスタンバイ回路を有することを特徴とする請求項２の液晶表示装置。

【請求項４】液晶表示素子と、前記液晶表示素子を駆動する液晶駆動装置とを有し、
前記液晶駆動装置のシフトレジスタ回路を出力単位にブロック分割し、
前記シフトレジスタ回路にクロック信号線及びデータ線がブロック単位毎に接続され、
前記クロック信号線及びデータ線毎にスタンバイ回路を有し、
前記シフトレジスタ回路から前記スタンバイ回路にスタンバイ開始信号線が接続されていることを特徴とする液晶表示装置。

【請求項５】液晶表示素子と、前記液晶表示素子を駆動する液晶駆動装置とを有し、
前記液晶駆動装置のシフトレジスタ回路を出力単位に第１のブロックと第２のブロックに分割し、
前記シフトレジスタ回路にクロック信号線及びデータ線がブロック単位毎に接続され、
前記クロック信号線及びデータ線毎に第１のスタンバイ回路と第２のスタンバイ回路とを有し、
前記第１のブロックから前記第２のスタンバイ回路にスタンバイ解除信号線が入力されることを特徴とする液晶表示装置。

【請求項６】前記第１のブロックから前記第１のスタンバイ回路にスタンバイ開始信号線が入力されることを特徴とする請求項５の液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、液晶表示装置において、特に携帯情報端末等に組み込まれる液晶表示装置の低消費電力化に有効な技術に関する。

【０００２】

2

【従来の技術】ＳＴＮ（Ｓｕｐｅｒ　Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）方式の単純マトリックス型液晶表示装置は、ノート型パソコン等の表示デバイスとして広く用いられている。

【０００３】図５は、従来のＳＴＮ方式の単純マトリックス型液晶表示装置の概略構成を示すブロック図であり、１０１は表示制御装置、１０２は電源回路、ＬＣＤは液晶表示パネルである。

【０００４】液晶表示パネルＬＣＤは、液晶を介して互いに対向配置された一対のガラス基板を備え、一方のガラス基板の液晶側の面には、Ｘ方向に延在し、かつ、Ｙ方向に並設されるｍ本のコモン電極（走査線）が形成され、このｍ本のコモン電極のそれぞれは、対応する各コモンドライバ（ＩＣ－Ｃ１～ＩＣ－Ｃ５）に接続される。

【０００５】また、他方のガラス基板の液晶側の面には、Ｙ方向に延在し、かつ、Ｘ方向に並設されるｎ本のセグメント電極（データ線）が形成され、さらに、このｎ本のセグメント電極は上下２つに分割され、この２分割されたｎ本のセグメント電極のそれぞれは、上側の対応する各セグメントドライバ（ＩＣ－Ｕ１～ＩＣ－Ｕｎ）、あるいは、下側の対応する各セグメントドライバ（ＩＣ－Ｌ１～ＩＣ－Ｌｎ）に接続される。

【０００６】前記複数のセグメント電極と複数のコモン電極との交差部が画素領域を構成し、上側の各セグメントドライバ（ＩＣ－Ｕ１～ＩＣ－Ｕｎ）、下側の各セグメントドライバ（ＩＣ－Ｌ１～ＩＣ－Ｌｎ）および各コモンドライバ（ＩＣ－Ｃ１～ＩＣ－Ｃ５）から、前記複数のセグメント電極および前記複数のコモン電極に各駆動電圧を印加して、前記画素を駆動する。

【０００７】図５において、液晶パネル表示制御装置１０１は、上位コンピュータ側等から転送される表示制御信号および表示用データに基づき、各セグメントドライバ（ＩＣ－Ｕ１～ＩＣ－Ｕｎ，ＩＣ－Ｌ１～ＩＣ－Ｌｎ）および各コモンドライバ（ＩＣ－Ｃ１～ＩＣ－Ｃ５）を制御する。

【０００８】電源回路１０２は、それぞれ異なる、データ信号線駆動電圧ＶＨ、ＶＭ、ＶＬ、走査線信号駆動電圧ＶｘＨ、ＶｘＬ、Ｖｃｃ、ＧＮＤの電圧を生成し、ＶＨ、ＶＭ、ＶＬ、ＶｃｃおよびＧＮＤの電圧を各セグメントドライバ（ＩＣ－Ｕ１～ＩＣ－Ｌｎ）に供給し、ＶｘＨ、ＶＭ、ＶｘＬ、ＶｃｃおよびＧＮＤの電圧を各コモンドライバ（ＩＣ－Ｃ１～ＩＣ－Ｃ５）に供給する。

【０００９】また、単純マトリックス型液晶表示装置においては、液晶に直流電圧が印加されないように、前記複数のセグメント電極と前記複数のコモン電極とに印加する各駆動電圧を所定の周期で反転させる、いわゆる交流化駆動方法が採用される。

【００１０】図６は、図５に示す液晶パネルＬＣＤのセ

グメント電極に印加されるデータ信号線駆動電圧及び、コモン電極に印加される走査線信号駆動電圧の一例を説明するための図である。

【００１１】図６に示す例では、交流化信号Ｍがハイレベルの場合に、表示データ「１」の各セグメント電極には、電源回路１０２から駆動電圧ＶＬが供給され、データ「０」の各セグメント電極には、電源回路１０２から駆動電圧ＶＨが供給され、印加される。

【００１２】同じく、交流化信号Ｍがロウレベルの場合に、選択されたコモン電極には、電源回路１０２から供給される駆動電圧ＶｘＨが、交流化信号Ｍがハイレベルのときには、選択されたコモン電極には電源回路１０２から供給される駆動電圧ＶｘＬが印加され、また、非選択のコモン電極には、交流化信号Ｍがハイレベルあるいはロウレベルに係わらず、電源回路１０２から供給されるＶＭの駆動電圧が印加される。

【００１３】図３は、図５に示す従来のセグメントドライバのブロック図である。

【００１４】図３に示すセグメントドライバは、シフトレジスタ回路３０１、ビットラッチ回路３０２、ラインラッチ回路３０３、出力回路３０４およびランダムロジック回路３１０から構成される。なお、ランダムロジック回路３１０内には、データラッチを必要としない時にセグメントドライバ１個をスタンバイ状態とするスタンバイ回路３０７を有する。３０８はＥＩＯ１回路、３０９はＥＩＯ２回路でセグメントドライバのシフト方向により、前段のセグメントドライバからのキャリー信号を入力しシフトレジスタ回路３０１に内部キャリー信号ＣＡＲ１、ＣＡＲ２及びスタンバイ回路３０７にスタンバイ信号ＳＴＢＹを出力したり、次段のセグメントドライバにキャリー信号を出力したりする。なお、図３には２４０出力のセグメントドライバを示し、Ｙ１～Ｙ２４０は各出力端子を示す。

【００１５】次に、図３に示すセグメントドライバのデータ取込、出力動作を説明する。

【００１６】ランダムロジック回路３１０では、表示制御装置１０１から入力される表示データラッチ用クロックＣＬ２を内部データラッチ用クロックＳＣＬ２に変換する、この内部データラッチ用クロックＳＣＬ２に基づいてシフトレジスタ回路３０１は、ビットラッチ回路３０２のデータ取り込み用信号を生成し、ビットラッチ回路３０２に出力する。

【００１７】また、表示制御装置１０１から入力される４ビットの表示データＤＡＴＡも内部データＳＤに変換される。内部データラッチ用クロックＳＣＬ２、内部データＳＤはスタンバイ状態時にＬｏｗレベルに固定となる。

【００１８】ビットラッチ回路３０２は、シフトレジスタ回路３０１から入力されるデータ取り込み用信号に基づいて、内部データＳＤをラッチする。

【００１９】ラインラッチ回路３０３は、図示しないが、出力タイミング制御用ラインクロックＣＬ１に基づいて、全てのビットラッチ回路３０２に取り込まれた表示用データをラッチし、出力回路３０４に出力する。

【００２０】出力回路３０４は、ラインラッチ回路３０３から入力された表示用データの電圧レベルを液晶駆動用の高電圧レベルに変換し、また電源回路１０２から供給される３レベルのデータ信号線駆動電圧を選択するため、この高電圧レベルに変換したデータと、交流化信号Ｍとから、前述した交流化演算を行い、電源回路１０２から供給される３レベルのデータ信号線駆動電圧の中の１つを各セグメント電極（データ信号線）に出力する。

【００２１】図７に１ラインデータ書き込み期間毎の各セグメントドライバの動作状態図を示す。

【００２２】図７では、図５に示すように、Ｘ方向に並設される１ライン分の表示データはｎ個のセグメントドライバにより出力されている。この場合に、各セグメントドライバ（ＩＣ－Ｕ１～Ｕｎ，ＩＣ－Ｌ１～Ｌｎ）は、後述するキャリー信号（バーＥＩＯ１あるいはバーＥＩＯ２）により動作を開始し、表示データの取り込み動作を行う。このキャリー信号が入力されないセグメントドライバ（ＩＣ－Ｕ１～Ｕｎ，ＩＣ－Ｌ１～Ｌｎ）は、表示データを取り込む必要がないので内部動作を停止するスタンバイ状態としている。また、表示データの取り込みを終了したセグメントドライバ（ＩＣ－Ｕ１～Ｕｎ，ＩＣ－Ｌ１～Ｌｎ）は、内部動作を停止しスタンバイ状態とする。これらにより従来は各セグメントドライバ（ＩＣ－Ｕ１～Ｕｎ，ＩＣ－Ｌ１～Ｌｎ）１個単位にスタンバイ状態とし、低消費電力化を実施していた。

【００２３】図４にセグメントドライバ内のタイミング図を示し、キャリー信号（バーＥＩＯ１あるいはバーＥＩＯ２）とセグメントドライバ内部の動作を示す。

【００２４】図４では、図３に示すシフトレジスタ３０１において、左から右にデータ取り込み用信号をシフトさせる場合の例を示しているので、キャリー信号バーＥＩＯ１を入力し、キャリー信号バーＥＩＯ２を出力し、次段のセグメントドライバ（ＩＣ－Ｕ１～Ｕｎ，ＩＣ－Ｌ１～Ｌｎ）のキャリー入力に入力させている。セグメントドライバ内部は図３に示すように、各内部回路に分けられているが、キャリー信号バーＥＩＯ１の入力とほぼ同時に全ての回路において動作が開始され、また、セグメントドライバ内の内部データバスＳＤ及び内部データラッチ用クロックＳＣＬ２全てを動作させていた。

【００２５】

【発明が解決しようとする課題】上記従来技術では、スタンバイ状態の制御はセグメントドライバ１個単位でしかできず、低消費電力に不十分であった。

【００２６】本発明は、前記従来技術の問題点を解決するためになされたものであって、本発明の目的は、液晶表示装置において、液晶駆動装置の消費電力を低減する

ことが可能となる技術を提供することにある。

【００２７】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【００２８】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００２９】本発明の１側面によれば、セグメントドライバのシフトレジスタ、ビットラッチ回路、ラインラッチ回路、出力回路を任意の出力数分ごとにブロック分割し、そのブロックごとにスタンバイ機能を有し、そのブロックがデータをラッチする以外は回路が停止することとする。

【００３０】本発明の他の側面によれば、ブロック単位ごとに内部データバス及び内部データラッチ用クロックも分割し、その分割された内部データバス及び内部データラッチ用クロックもスタンバイ機能を有し、上記ブロックが停止中は分割された内部データバス及び内部データラッチ用クロックも停止することとする。

【００３１】本発明の他の側面によれば、ブロック単位ごとに内部データバス及び内部データラッチ用クロックも分割し、その分割された内部データバス及び内部データラッチ用クロックもスタンバイ機能を有し、上記ブロックの動作を開始するには前段のブロックからの開始信号を用い、ブロックの動作の停止は動作中のブロックからの停止信号を用いる。

【００３２】上記構成によれば、スタンバイ機能が液晶駆動装置１個単位で構成されず、内部で細分化されるため、細分化された分消費電力を低減される。

【００３３】

【発明の実施の形態】以下、本発明をＳＴＮ方式の単純マトリックス型液晶表示装置に適用した発明の実施の形態を図面を参照して詳細に説明する。

【００３４】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００３５】図１は、本発明の一実施例を示すもので、セグメントドライバのブロック図を示す。

【００３６】シフトレジスタ３０１、ビットラッチ回路３０２、ラインラッチ回路３０３、出力回路３０４を４０出力数分ごとにブロック分割し、そのブロックごとにスタンバイ回路３０５を有する。なお、ＳＳＳＤはブロック内のデータバス、ＳＳＳＣＬ２はブロック内のデータラッチ用クロック信号線を示す。また、内部データバスＳＳＤ及び内部クロック信号線ＳＳＣＬ２も上記ブロックごとに分割し、その分割された内部データバスＳＳＤ及び、内部クロック信号線ＳＳＣＬ２ごとにスタンバイ回路３０６を有する。

【００３７】また、従来同様セグメントドライバ１個単位でスタンバイ状態とするスタンバイ回路３０７をランダムロジック回路３１０に有する。スタンバイ回路３０７からスタンバイ回路３０６には、内部データバスＳＤ、内部クロック信号線ＳＣＬ２が入力している。

【００３８】ランダムロジック回路３１０には、出力タイミング制御用ラインクロックＣＬ１、４ビットの表示データＤＡＴＡ、表示データラッチ用クロックＣＬ２、交流化信号Ｍ、キャリー信号ＥＩＯ１、ＥＩＯ２が入力されている。

【００３９】図２は、図１に示すブロックのタイミング図を示す。なお、説明の関係上右シフト（Ｙ１→Ｙ２４０）において以下説明するが、左シフト（Ｙ２４０→Ｙ１）も同様である。

【００４０】前段の液晶駆動装置からのキャリー信号（バーＥＩＯ１）が入力されるまで、従来同様そのセグメントドライバの内部は全てスタンバイ（停止）状態である。

【００４１】キャリー信号（バーＥＩＯ１）が入力されると内部ロジック回路、内部データバスＳＤ、内部クロック信号ＳＣＬ２が動作開始する。またスタンバイ回路３０６（１）、３０６（２）、３０６（３）、のスタンバイが解除され、内部データバスＳＳＤ（１）、ＳＳＤ（２）、ＳＳＤ（３）、内部クロック信号ＳＳＣＬ２（１）、ＳＳＣＬ２（２）、ＳＳＣＬ２（３）が動作する。またスタンバイ回路３０５（１）のスタンバイが解除され、ブロックＩＣＢＬＫ１内のブロック内データバスＳＳＳＤ（１）及びブロック内クロック信号ＳＳＳＣＬ２（１）が動作し、ブロックＩＣＢＬＫ１のラッチ回路３０２において表示制御装置１０１から入力される表示データＤＡＴＡがラッチされる。

【００４２】なお表示データＤＡＴＡは４ビットのデータバスを用いて供給されており、１ビットのデータが１出力にラッチされるため、４０出力のデータをラッチするためにはデータラッチ用クロック信号ＣＬ２のパルス数は１０となる。

【００４３】ブロックＩＣＢＬＫ１は、出力Ｙ１～４０のデータをラッチすると次段ブロックにキャリーを転送するとともに、スタンバイ回路３０５（１）がスタンバイ状態となりブロック内データバスＳＳＳＤ（１）及びブロック内クロック信号ＳＳＳＣＬ２（１）をＬｏｗレベルに固定し、ブロック内部の回路を停止する。また、スタンバイ回路３０６（１）がスタンバイ状態となり内部データバスＳＳＤ（１）及び内部クロック信号ＳＳＣＬ２（１）もＬｏｗレベルに固定され停止状態とする。

【００４４】次に、ブロックＩＣＢＬＫ１からのキャリー入力によりスタンバイ回路３０５（２）がスタンバイ状態から動作状態となり、ブロックＩＣＢＬＫ２にブロック内データバスＳＳＳＤ（２）及びブロック内クロック信号ＳＳＳＣＬ２（２）が供給され表示データがラッチされる。ブロックＩＣＢＬＫ２は、出力Ｙ４１～８０

のデータをラッチすると次段ブロックにキャリーを転送するとともに、スタンバイ回路３０５（２）がスタンバイ状態となりブロック内データバスＳＳＳＤ（２）及びブロック内クロック信号ＳＳＳＣＬ２（２）をＬｏｗレベルに固定し、ブロック内部の回路を停止する。また、スタンバイ回路３０６（２）がスタンバイ状態となり内部データバスＳＳＤ（２）及び内部クロック信号ＳＳＣＬ２（２）をＬｏｗレベルに固定し、停止状態とする。

【００４５】ブロックＩＣＢＬＫ３も同様に動作する。

【００４６】次にブロックＩＣＢＬＫ３からのキャリー入力により内部データバスＳＳＤ（４）、内部クロック信号ＳＳＣＬ２（４）及び、ブロックＩＣＢＬＫ４はスタンバイ状態から動作状態となり、ブロックＩＣＢＬＫ４は表示データをラッチする。

【００４７】ブロックＩＣＢＬＫ４は、出力Ｙ１２１～１６０のデータをラッチすると次段ブロックにキャリーを転送するとともにスタンバイ状態となりブロック内データバスＳＳＳＤ（４）及びブロック内クロック信号ＳＳＳＣＬ２（４）をＬｏｗレベルに固定し、内部回路を停止する。なお、内部データバスＳＳＤ（４）、内部クロック信号ＳＳＣＬ２（４）はブロックＩＣＢＬＫ（５）へデータ及びクロックを伝えるため、動作状態を保持する。

【００４８】ブロックＩＣＢＬＫ４からのキャリー入力により内部データバスＳＳＤ（５）、内部クロック信号ＳＳＣＬ２（５）及び、ブロックＩＣＢＬＫ５はスタンバイ状態から動作状態となり、表示データをラッチする。ブロックＩＣＢＬＫ５は、出力Ｙ１６１～２００のデータをラッチすると次段ブロックにキャリーを転送するとともに、スタンバイ状態となりブロック内データバスＳＳＳＤ（５）及びブロック内クロック信号ＳＳＳＣＬ２（５）をＬｏｗレベルに固定し、内部回路を停止する。なお、内部データバスＳＳＤ（５）及び内部クロック信号ＳＳＣＬ２（５）も前段同様動作状態を保持する。

【００４９】ブロックＩＣＢＬＫ６も同様に動作する。出力Ｙ２０１～２４０のデータをラッチすると次段セグメントドライバにキャリーＥＩＯ２を出力するとともに、スタンバイ回路３０７により内部データバスＳＤ及び内部クロック信号ＳＣＬ２をＬｏｗレベルに固定し、セグメントドライバ全体をスタンバイ状態とし内部回路を停止する。

【００５０】以上により、従来に比べ動作する回路規模が小さくできるため、低消費電力化が可能となる。液晶駆動回路では、配線幅が減少し、積層された配線の絶縁膜の厚みが薄くなる傾向にあり、配線のもつ容量及び抵抗が大きくなっている。そのために配線による電力の消費も無視できなくなっており、上記構成のように信号を停止させることで低消費電力化が可能となる。

【００５１】図８は３２０出力時の回路図、図９はそのタイミング図である。動作は、前記２４０出力の場合と同様である。ただし、前段の液晶駆動装置からのキャリー信号（バーＥＩＯ１）が入力されるとスタンバイが解除される内部データバスはＳＳＤ（１）、ＳＳＤ（２）、ＳＳＤ（３）、ＳＳＤ（４）である。３２０出力時の場合は、まず出力１～１６０に関するブロックＩＣＢＬＫ１～４のスタンバイを解除し、ブロックＩＣＢＬＫ４で出力Ｙ１６０がラッチされた後、残り半分の内部データバスＳＳＤ（５）、ＳＳＤ（６）、ＳＳＤ（７）、ＳＳＤ（８）のスタンバイが解除される。

【００５２】次にスタンバイ回路３０５及びスタンバイ回路３０６の動作を右シフト（Ｙ１からＹ２４０）時において説明する。

【００５３】まず、図１のブロックＩＣＢＬＫ２におけるスタンバイ動作を図１０及び図１１において説明する。図１０はスタンバイ回路３０５の回路図であり、図１１はスタンバイ回路３０５の動作タイミング図である。図１１においてＳＯＵＴはシフトレジスタ回路３０１が出力するラッチ回路３０２のデータ取り込み用信号で、ＳＯＵＴ１はブロックＩＣＢＬＫ１の最初のデータ取り込み用信号で、ＳＯＵＴ１０は最後のデータ取り込み用信号を示す。

【００５４】図１０に示す、スタンバイ回路３０５は、まず信号線ＣＬＥＡＲにフリップフロップ回路ＦＳＲ１のリセット信号を入力しブロック内データバスＳＳＳＤおよびブロック内クロックＳＳＳＣＬ２の出力をＬｏｗレベルに固定しスタンバイ状態となっている。

【００５５】スタンバイ回路３０５のスタンバイ解除には、シフトレジスタ回路３０１からのデータ取り込み用信号ＳＯＵＴが用いられる。例としてブロックＩＣＢＬＫ２のスタンバイ解除の場合を説明する。

【００５６】図１１に示すようにブロックＩＣＢＬＫ１において出力Ｙ４０のデータが、ラッチ回路３０２に取り込まれるタイミングでデータ取り込み用信号ＳＯＵＴ１０が出力される。データ取り込み用信号ＳＯＵＴ１０はブロックＩＣＢＬＫ２のスタンバイ解除信号として図１０に示すスタンバイ回路３０５の信号線ＳＥＴ＿Ｎに入力される。

【００５７】信号線ＳＥＴ＿ＮがＬｏｗレベル（ただし信号線ＳＥＴ＿ＮはＬｏｗレベルで有効とする）となると、フリップフロップ回路ＦＳＲ１でスタンバイ信号ＳＴＢＹＮをＨｉｇｈレベルに固定し、内部データバスＳＳＤ及び、内部クロックＳＳＣＬ２をそれぞれブロック内データバスＳＳＳＤ及びブロック内クロックＳＳＳＣＬ２に出力する。

【００５８】次に再度スタンバイ状態にするためには、ブロックＩＣＢＬＫ２において出力Ｙ８０のデータがラッチ回路３０２に取り込まれる際に、ブロックＩＣＢＬＫ２のシフトレジスタ回路３０１からデータ取り込み用信号ＳＯＵＴを、ブロックＩＣＢＬＫ２のキャリー信号

としてＲＥＳＥＴ＿Ｎ信号に入力する。キャリー信号ＲＥＳＥＴ＿Ｎが入力されるとスタンバイ信号ＳＴＢＹＮをＬｏｗレベルに固定し、ブロック内データバスＳＳＳＤ及びブロック内クロックＳＳＳＣＬ２の出力をＬｏｗレベルに固定し、ブロックＩＣＢＬＫ２はスタンバイ状態となる。

【００５９】このように、ブロック内クロックＳＳＳＣＬ２のスタンバイ状態の解除を、前段のブロックのデータ取り込み用信号用いることで、ラッチ回路３０２に取り込むデータに対して、ブロック内クロックＳＳＳＣＬ２のスタンバイ状態が前もって解除されており、データをラッチするためのセットアップ、ホールド時間のマージンを向上させる。またフリップフロップＦ／Ｆ（Ａ）、Ｆ／Ｆ（Ｂ）により、キャリー信号ＲＥＳＥＴ＿Ｎが入力されてからクロック信号ＳＳＣＬ２の２周期後にブロックＩＣＢＬＫ２がスタンバイ状態になるため、ブロックＩＣＢＬＫ２で読み込むべきデータについて確実に取り込み可能となる。

【００６０】図１２はスタンバイ回路３０６の回路図である。

【００６１】図１３はスタンバイ回路３０６の動作タイミング図である。

【００６２】図１の内部データバスＳＳＤ（２）とＳＳＤ（３）間にあるスタンバイ回路３０６の動作を図１２及び図１３において説明する。ブロックＩＣＢＬＫ１側から動作させる場合、ＳＥＴ＿Ｎ信号はシフトレジスタのリセット信号（前述の信号ＣＬＥＡＲ）を入力する。信号線ＳＥＴ＿Ｎが入力されると、フリップフロップ回路ＦＳＲで信号線ＳＴＢＹＮ２をＨｉｇｈレベルに固定し、内部データバスＳＳＤ（３）および内部クロック信号ＳＳＣＬ２（３）をそれぞれ内部データバスＳＳＤ（２）および内部クロック信号ＳＳＣＬ２（２）に出力する。信号ＲＥＳＥＴ＿Ｎはスタンバイ回路３０５で生成されたＲＥＳ＿Ｎ信号を入力する。ＲＥＳ＿Ｎ信号が入力されるとスタンバイ信号ＳＴＢＹＮ２をＬｏｗレベルに固定し、内部データバスＳＳＤ（２）および内部クロック信号ＳＳＣＬ２（２）の出力をＬｏｗレベルに固定しスタンバイ状態となる。

【００６３】次に図１の内部データバスＳＳＤ（５）とＳＳＤ（６）間にあるスタンバイ回路３０６の動作を図１４において説明する。信号ＳＥＴ＿Ｎは，ブロックＩＣＢＬＫ４の最終段シフトレジスタのキャリー信号を信号ＳＥＴ＿Ｎ信号に入力する。信号ＳＥＴ＿Ｎが入力されると、フリップフロップ回路ＦＳＲでスタンバイ信号ＳＴＢＹＮ２をＨｉｇｈレベルに固定し内部データバスＳＳＤ（５）およびＳＳＣＬ２（５）をそれぞれ内部データバスＳＳＤ（６）およびＳＳＣＬ２（６）に出力する。信号ＲＥＳＥＴ＿Ｎはシフトレジスタのリセット信号（前述のＣＬＥＡＲ）を入力する。信号ＲＥＳＥＴ＿Ｎが入力されるとスタンバイ信号ＳＴＢＹＮ２をＬｏｗレベルに固定し、内部データバスＳＳＤ（２）および内部クロック信号ＳＳＣＬ２（２）の出力をＬｏｗレベルに固定としスタンバイ状態となる。また，シフトレジスタのリセット信号（前述のＣＬＥＡＲ）が入力されず最終段までデータラッチが完了した場合，チップ全体がスタンバイ状態となり内部データバスＳＤ及び内部クロック信号ＳＣＬ２がＬｏｗレベルに固定されスタンバイ状態となる。

【００６４】なお、前述は４ビットバスで説明したが、８ビットバス及び１２ビットバス等でも同様である。また、前述では４０出力ごとに分割したが、分割はバス幅の整数倍であれば上記目的を達成できる。

【００６５】

【発明の効果】上記構成によれば、スタンバイ機能がセグメントドライバ１個単位で構成されず、内部で細分化されるため、細分化された分消費電力を低減される。

【００６６】また液晶パネルを駆動するセグメントドライバが低消費電力化されることで、液晶表示装置の消費電力の低減に効果がある。

【図面の簡単な説明】

【図１】本発明の１実施例による液晶駆動装置のブロック図。

【図２】本発明の１実施例による液晶駆動装置のタイミング図。

【図３】従来の液晶駆動装置のブロック図。

【図４】従来の液晶駆動装置のタイミング図。

【図５】従来の液晶表示装置の概略構成を示すブロック図。

【図６】液晶表示装置の駆動電圧を示す電圧波形図。

【図７】従来の液晶表示装置の動作状態を示すタイミング図。

【図８】本発明の１実施例による液晶駆動装置のブロック図。

【図９】本発明の１実施例による液晶駆動装置のタイミング図。

【図１０】本発明の１実施例によるスタンバイ回路の回路図。

【図１１】本発明の１実施例によるスタンバイ回路のタイミング図。

【図１２】本発明の１実施例によるスタンバイ回路の回路図。

【図１３】本発明の１実施例によるスタンバイ回路のタイミング図。

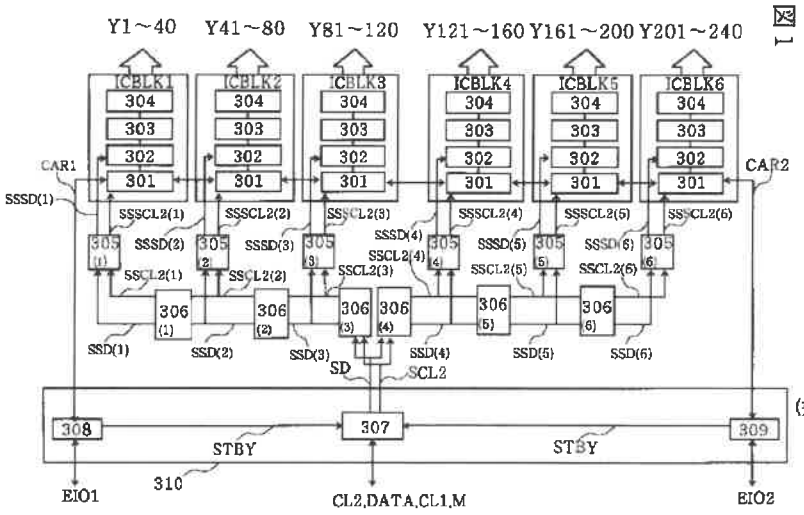
【図１４】本発明の１実施例によるスタンバイ回路のタイミング図。

【符号の説明】

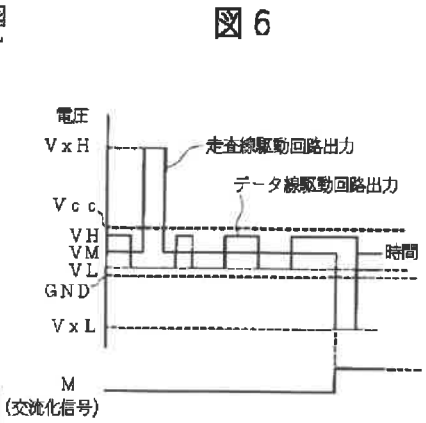
１０１…表示制御装置、１０２…電源回路、３０１…シフトレジスタ回路、３０２…ビットラッチ回路、３０３…ラインラッチ回路、３０４…出力回路、ＬＣＤ…液晶表示パネル、ＩＣ－Ｕ１～ＩＣ－Ｕｎ，ＩＣ－Ｌ１～

ＩＣ－Ｌｎ…セグメントドライバ、ＩＣ－Ｃ１～ＩＣ－Ｃ５…コモンドライバ、ＣＬ１…データラッチ用クロック、ＣＬ１…ラインクロック、Ｍ…交流化信号、Ｙｎ…出力。

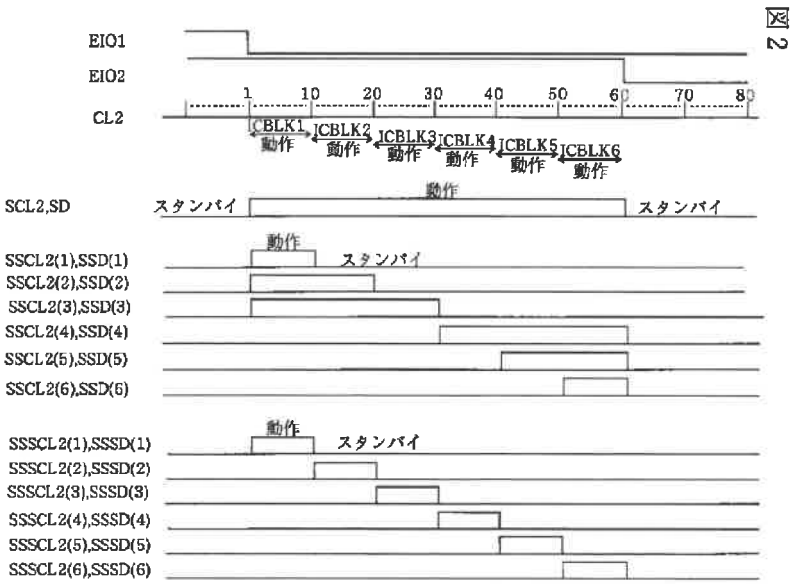
【図１】



【図６】



【図２】



【図３】

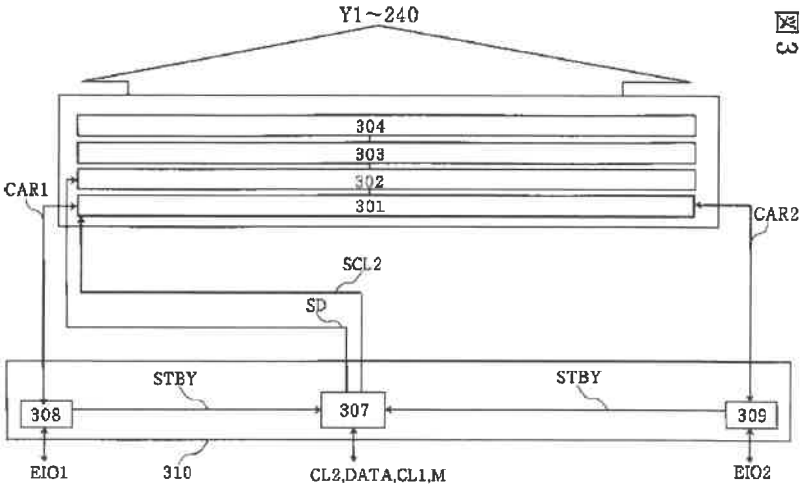


図３

【図４】

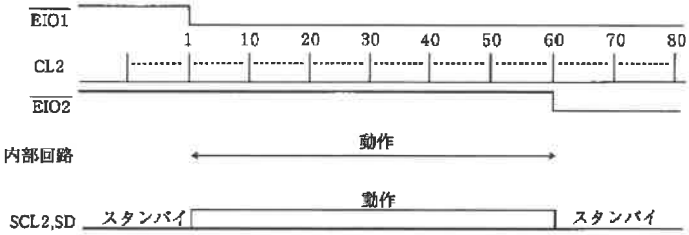


図４

【図５】

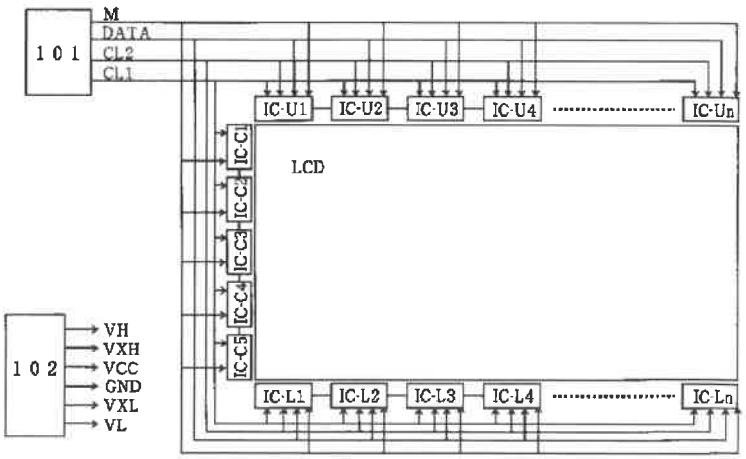


図５

【図７】

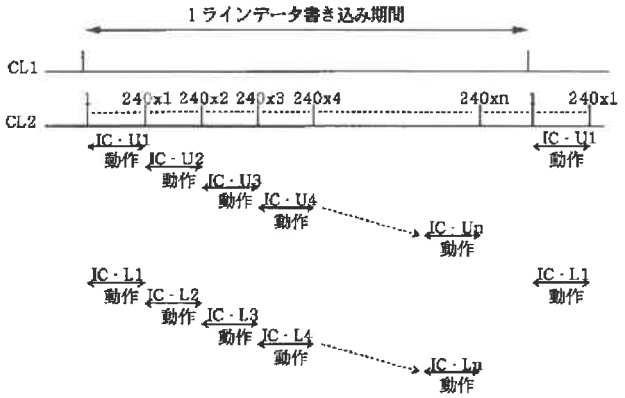


図７

【図８】

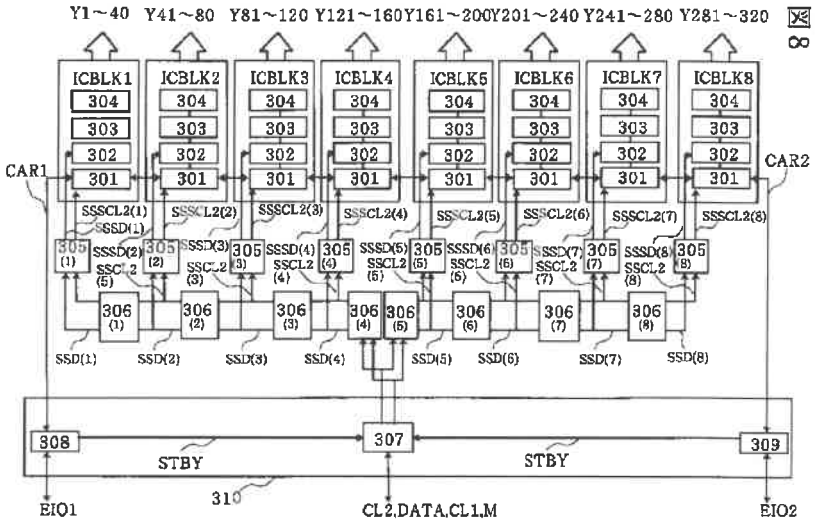


図８

【図１０】

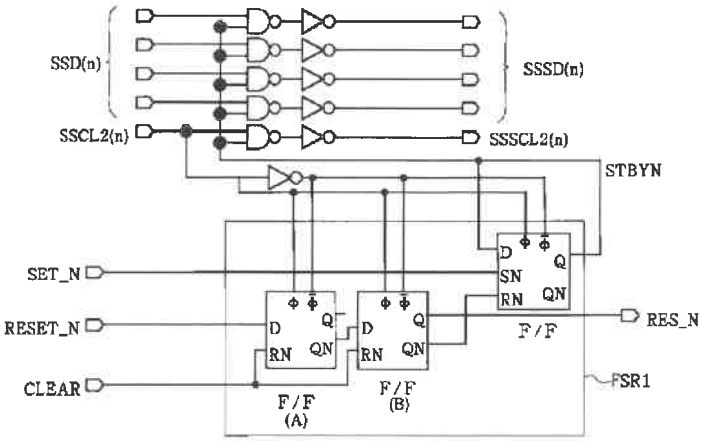


図１０

【図９】

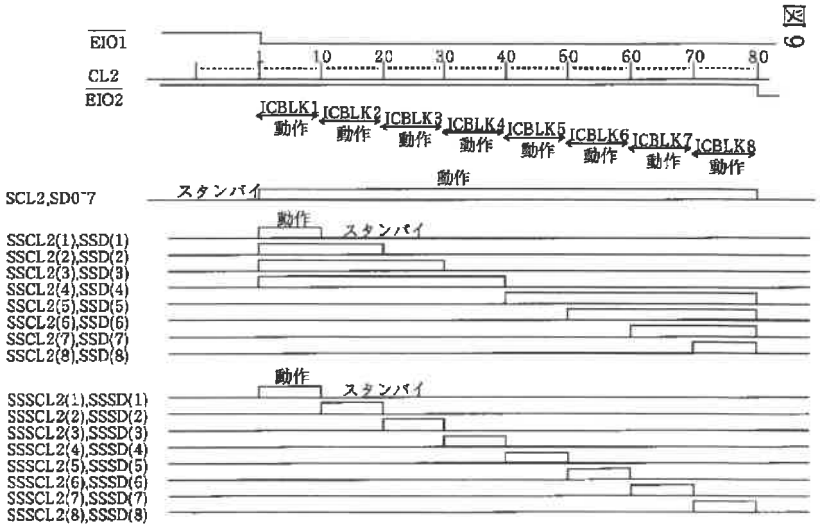


図9
EIO1
CL2
EIO2
10
20
30
40
50
60
70
80
ICBLK1 動作
ICBLK2 動作
ICBLK3 動作
ICBLK4 動作
ICBLK5 動作
ICBLK6 動作
ICBLK7 動作
ICBLK8 動作
動作
SCL2,SD0~7
スタンバイ
動作
スタンバイ
SSCL2(1),SSD(1)
SSCL2(2),SSD(2)
SSCL2(3),SSD(3)
SSCL2(4),SSD(4)
SSCL2(5),SSD(5)
SSCL2(6),SSD(6)
SSCL2(7),SSD(7)
SSCL2(8),SSD(8)
動作
スタンバイ
SSSCL2(1),SSSD(1)
SSSCL2(2),SSSD(2)
SSSCL2(3),SSSD(3)
SSSCL2(4),SSSD(4)
SSSCL2(5),SSSD(5)
SSSCL2(6),SSSD(6)
SSSCL2(7),SSSD(7)
SSSCL2(8),SSSD(8)

【図１１】

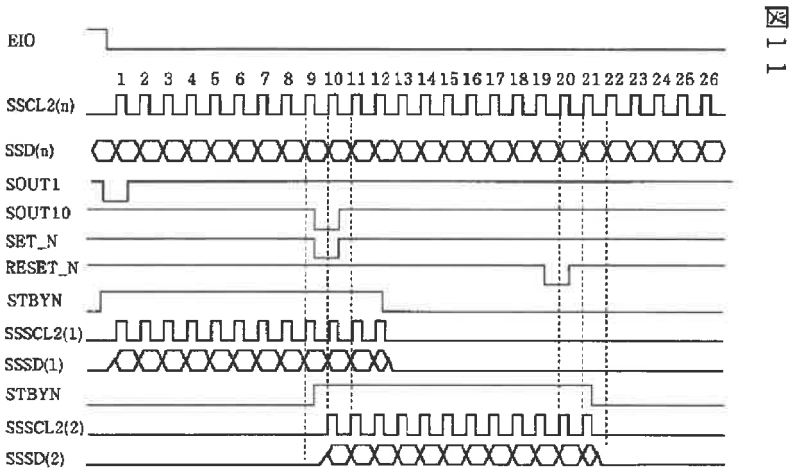


図11
EIO
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 26 26
SSCL2(n)
SSD(n)
SOUT1
SOUT10
SET_N
RESET_N
STBYN
SSSCL2(1)
SSSD(1)
STBYN
SSSCL2(2)
SSSD(2)

【図１２】

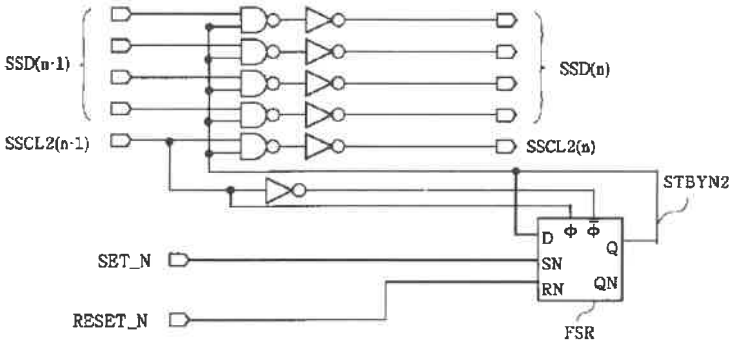


図１２

【図１３】

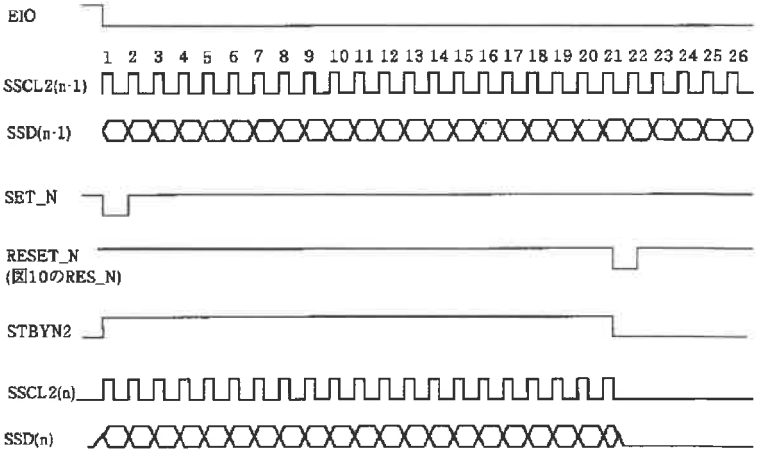
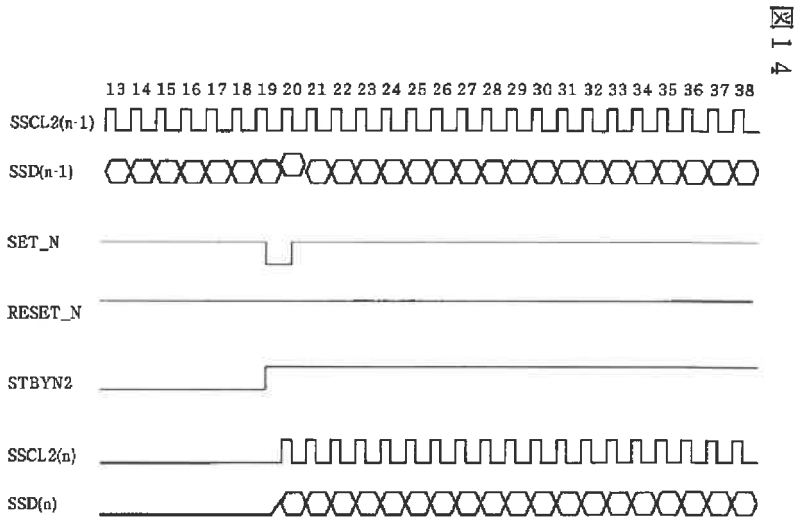


図１３

【図１４】



フロントページの続き

(72)発明者　渡辺　浩
千葉県茂原市早野3681番地　日立デバイス
エンジニアリング株式会社内

(72)発明者　阿部　英明
千葉県茂原市早野3681番地　日立デバイス
エンジニアリング株式会社内

（別紙３）

１　拒絶査定時のもの

【請求項９】

画素アレイ用の列ドライバであって，

２つ以上の制御可能バスバッファを直列に接続して前記２つ以上の制御可能バスバッファの直列接続されたストリングを形成した制御可能バスバッファであって，各制御可能バスバッファは付随ノードを駆動する出力を有する制御可能バスバッファと，

２つ以上の制御可能ローカル出力バッファであって，各制御可能ローカル出力バッファは，前記付随ノードの１つに電気的に結合された入力を有し，かつ前記画素アレイの１つ以上の列を駆動する出力を有する制御可能ローカル出力バッファと，

前記２つ以上の制御可能バスバッファの直列接続されたストリングの１つ以上のバス有効化入力を駆動し，かつ前記２つ以上の制御可能ローカル出力バッファの１つ以上のローカル出力有効化入力を駆動する，有効化コントローラと，

を備え，

前記有効化コントローラは，各ノードがバスシーケンスに従って駆動されるように，前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化するものであり，前記有効化コントローラは，さらに，前記制御可能バスバッファが有効化中のときに少なくとも関連するノードが有効化中であるように，前記制御可能ローカル出力バッファのそれぞれを，前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化する，列ドライバ。

２　本件補正後のもの

【請求項９】

画素アレイ用の列ドライバであって，

２つ以上の制御可能バスバッファを直列に接続して前記２つ以上の制御可能バスバッファの直列接続されたストリングを形成した制御可能バスバッファであって，当該制御可能バスバッファの１つが特定の画素列用である列データ信号を受信して，その出力が他の制御可能バスバッファに与えられて，順次このように続いていくものであり，各制御可能バスバッファは付随ノードを駆動する出力を有する制御可能バスバッファと，

２つ以上の制御可能ローカル出力バッファであって，各制御可能ローカル出力バッファは，前記付随ノードの１つに電気的に結合された入力を有し，かつ前記画素アレイの１つの列を駆動する出力を有する制御可能ローカル出力バッファと，

前記２つ以上の制御可能バスバッファの直列接続されたストリングの１つ以上のバス有効化入力を駆動し，かつ前記２つ以上の制御可能ローカル出力バッファの１つ以上のローカル出力有効化入力を駆動する，有効化コントローラと，

を備え，

前記有効化コントローラは，各ノードがバスシーケンスに従って駆動されるように，前記２つ以上の制御可能バスバッファの直列接続されたストリングにおいて各制御可能バスバッファを順次有効化するものであり，前記有効化コントローラは，さらに，前記制御可能バスバッファが有効化中のときに少なくとも関連するノードが有効化中であるように，前記制御可能ローカル出力バッファのそれぞれを，前記制御可能バスバッファの前記順次有効化の順番でかつこの順次有効化と同期して順次有効化する，列ドライバ。