

令和元年5月23日判決言渡

平成30年（行ケ）第10047号 審決取消請求事件

口頭弁論終結日 平成31年3月14日

判 決

原 告

創見資訊股份有限公司（「トランセン
ド・インフォメーション・インコーポ
レイテッド」）

訴訟代理人弁護士

中 野 浩 和

訴訟代理人弁理士

設 楽 修 一

同

畠 山 明 大

同

江 口 和 敬

同

横 山 達 也

同

片 倉 正 博

同

黒 田 博 道

被 告

東芝メモリ株式会社訴訟承継人

東 芝 メ モ リ 株 式 会 社

（旧商号 株式会社P a n g e a）

訴訟代理人弁護士

高 橋 雄 一 郎

同

北 島 志 保

訴訟代理人弁理士

高 橋 拓 也

同

小 林 啓 一

同

北 崎 聡 一 郎

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事 実 及 び 理 由

第1 請求

特許庁が無効2016-800120号事件について平成29年11月27日にした審決を取り消す。

第2 事案の概要

1 特許庁における手続の経緯等

- (1) 株式会社東芝（以下「東芝」という。）は、平成23年3月16日にした特許出願（特願2011-58140号。以下「原出願」といい、原出願の願書に最初に添付した明細書、特許請求の範囲及び図面を併せて「原出願当初明細書」という。）の一部を分割して、平成26年6月30日、発明の名称を「半導体装置およびシステム」とする発明について特許出願（特願2014-134709号。以下「本件出願」といい、本件出願の願書に添付した明細書を、図面を含めて「本件明細書」という。）をした。

東芝は、平成28年1月15日、本件出願に係る特許権の設定登録（特許番号第5869058号。請求項の数31。以下、この特許を「本件特許」といい、この特許権を「本件特許権」という。甲78）を受けた。

- (2) 原告は、平成28年10月20日、本件特許について特許無効審判の請求（無効2016-800120号事件。以下「本件無効審判」という。）をした。

東芝は、平成29年1月6日付けで、特許請求の範囲について請求項21ないし31を一群の請求項として訂正する旨の訂正請求をし、同年2月8日

付けで、その請求の趣旨及び理由を補正した（以下、補正後の訂正請求を「本件訂正」という。甲46，48，49）。

その後、特許庁は、同年11月27日、本件訂正を認めた上、「本件審判の請求は、成り立たない。」との審決（以下「本件審決」という。）をし、その謄本は、同年12月7日、原告に送達された。

この間に東芝メモリ株式会社（以下「旧東芝メモリ」という。）は、東芝から、会社分割による一般承継により、本件特許権の移転登録（受付日同年4月27日）を受けた（乙4，7）。

(3) 原告は、平成30年4月6日、本件審決の取消しを求める本件訴訟を提起した。

被告は、同年8月1日、旧東芝メモリの吸収合併による一般承継により、旧東芝メモリから本件特許権の移転登録（受付日同年9月6日）を受けた（乙5ないし7）。また、被告は、同年8月1日、商号を「株式会社Pangea」から「東芝メモリ株式会社」に商号変更した。

2 特許請求の範囲の記載

(1) 設定登録時（本件訂正前）

本件特許の設定登録時（本件訂正前）の特許請求の範囲の請求項1ないし31の記載は、以下のとおりである（甲78）。

【請求項1】

基板と、この基板に搭載される複数の不揮発性半導体メモリと、を備え、前記基板は、

第1の主面と、前記第1の主面とは反対側を向いた第2の主面と、を有し、前記第1の主面に設けられ、前記複数の不揮発性半導体メモリが搭載される

第1の配線層と、

前記第2の主面に設けられた第2の配線層と、

内層として形成される複数の配線層と、

これら配線層間にそれぞれ設けられる複数の絶縁層と、
を備え、

前記複数の絶縁層の1つは、前記基板の層構造の中心線を含む領域に形成され、

前記基板の層構造の中心線よりも前記第1の主面側に形成された前記配線層および前記第1の配線層の配線密度の平均値である第1の平均値と、

前記基板の層構造の中心線よりも前記第2の主面側に形成された前記配線層および前記第2の配線層の配線密度の平均値である第2の平均値との差の絶対値である第1の値が7.5%以下であり、

前記第1の平均値と前記第2の平均値はともに60%以上であり、

前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第1の主面側に形成され前記中心線に最も近い前記配線層の配線密度と、前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第2の主面側に形成され前記中心線に最も近い前記配線層の配線密度との差の絶対値である第2の値が前記第1の値よりも大きく、

前記内層として形成される複数の配線層のうち少なくとも1の前記配線層は、配線密度が80%以上である半導体装置。

【請求項2】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第1の配線層と対向する第3の配線層は配線密度が80%以上である請求項1に記載の半導体装置。

【請求項3】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第3の配線層と対向する第4の配線層及び前記第1の配線層は、信号を送受信するための信号層である請求項2に記載の半導体装置。

【請求項4】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第3の配線層と対向する第4の配線層の配線密度が前記第1の平均値より小さい請求項2に記載の半導体装置。

【請求項5】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第2の配線層と対向する第5の配線層は配線密度が80%以上である請求項1に記載の半導体装置。

【請求項6】

前記内層として形成される複数の配線層のうち少なくとも1の前記配線層は、信号を送受信するための信号層であり、

前記信号層は、前記配線層のうち配線密度が80%以上である第6の配線層及び第7の配線層と絶縁層を隔ててそれぞれ対向する請求項1に記載の半導体装置。

【請求項7】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第2の配線層と対向する第5の配線層と絶縁層を隔てて対向する第8の配線層の配線密度が前記第2の平均値より小さい請求項2に記載の半導体装置。

【請求項8】

前記第1の配線層の表面は、ソルダーレジストに覆われている請求項1に記載の半導体装置。

【請求項9】

前記第2の配線層の表面は、ソルダーレジストに覆われている請求項1に記載の半導体装置。

【請求項10】

前記不揮発性半導体メモリは、NAND型フラッシュメモリである請求項1に記載の半導体装置。

【請求項 1 1】

前記基板の前記第 1 の配線層側には、4 個の NAND 型フラッシュメモリが搭載されている請求項 1 0 に記載の半導体装置。

【請求項 1 2】

前記基板は、平面視において略長方形形状を呈する請求項 1 に記載の半導体装置。

【請求項 1 3】

前記第 1 の配線層、前記第 2 の配線層、及び前記内層として形成される複数の配線層は、8 層の配線層から構成され、前記 8 層の配線層のうち 4 層は信号を送受信するための信号層であり、残りの 4 層はグランド又は電源線を備える配線層である請求項 1 に記載の半導体装置。

【請求項 1 4】

コネクタを備える基板と、前記基板に搭載される複数の不揮発性半導体メモリと、前記コネクタと接続されるコンピュータと、を備え、

前記基板は、

第 1 の主面と、前記第 1 の主面とは反対側を向いた第 2 の主面と、を有し、

前記第 1 の主面に設けられ、前記複数の不揮発性半導体メモリが搭載される第 1 の配線層と、

前記第 2 の主面に設けられた第 2 の配線層と、

内層として形成される複数の配線層と、

これら配線層間にそれぞれ設けられる複数の絶縁層と、

を備え、

前記複数の絶縁層の 1 つは、前記基板の層構造の中心線を含む領域に形成され、

前記基板の層構造の中心線よりも前記第 1 の主面側に形成された前記配線層および前記第 1 の配線層の配線密度の平均値である第 1 の平均値と、

前記基板の層構造の中心線よりも前記第2の主面側に形成された前記配線層および前記第2の配線層の配線密度の平均値である第2の平均値との差の絶対値である第1の値が7.5%以下であり、

前記第1の平均値と前記第2の平均値はともに60%以上であり、

前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第1の主面側に形成され前記中心線に最も近い前記配線層の配線密度と、前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第2の主面側に形成され前記中心線に最も近い前記配線層の配線密度との差の絶対値である第2の値が前記第1の値よりも大きく、

前記内層として形成される複数の配線層のうち少なくとも1の前記配線層はシールド層であるシステム。

【請求項15】

前記不揮発性半導体メモリは、NAND型フラッシュメモリである請求項14に記載のシステム。

【請求項16】

前記不揮発性半導体メモリと電氣的に接続される揮発性メモリをさらに備える請求項15に記載のシステム。

【請求項17】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第1の配線層と対向する第3の配線層の配線密度が80%以上である請求項14に記載のシステム。

【請求項18】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第3の配線層と対向する第4の配線層の配線密度が前記第1の平均値より小さい請求項17に記載のシステム。

【請求項19】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第2の配線層と対向する第5の配線層と絶縁層を隔てて対向する第6の配線層の配線密度が前記第2の平均値より小さい請求項17に記載のシステム。

【請求項20】

前記基板に搭載される電源回路をさらに備え、
前記コンピュータは、前記コネクタへ電源を入力し、
前記コネクタは、前記入力された電源を前記電源回路に供給し、
前記電源回路は、前記入力された電源から内部電圧を生成し、前記不揮発性半導体メモリへ供給するように構成されている請求項14に記載のシステム。

【請求項21】

コンピュータに接続可能なコネクタを備える基板と、前記基板に搭載され前記コネクタと電氣的に接続されるドライブ制御回路と、このドライブ制御回路により制御される複数の不揮発性半導体メモリと、を備え、

前記基板は、

第1の主面と、前記第1の主面とは反対側を向いた第2の主面と、を有し、

前記第1の主面に設けられた第1の配線層と、

前記第2の主面に設けられた第2の配線層と、

内層として形成される複数の配線層と、

これら配線層間にそれぞれ設けられる複数の絶縁層と、

を備え、

前記複数の絶縁層の1つは、前記基板の層構造の中心線を含む領域に形成され、

前記基板の層構造の中心線よりも前記第1の主面側に形成された前記配線層および前記第1の配線層の配線密度の平均値である第1の平均値と、

前記基板の層構造の中心線よりも前記第2の主面側に形成された前記配線

層および前記第 2 の配線層の配線密度の平均値である第 2 の平均値との差の絶対値である第 1 の値が 7.5%以下であり、

前記第 1 の平均値と前記第 2 の平均値はともに 60%以上であり、

前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第 1 の主面側に形成され前記中心線に最も近い前記配線層の配線密度と、前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第 2 の主面側に形成され前記中心線に最も近い前記配線層の配線密度との差の絶対値である第 2 の値が前記第 1 の値よりも大きく、

前記内層として形成される複数の配線層のうち少なくとも 1 の前記配線層は、配線密度が 80%以上であり、

前記ドライブ制御回路は、前記基板の前記第 1 の主面に搭載される半導体装置。

【請求項 2 2】

前記複数の不揮発性半導体メモリは、平面視において、前記ドライブ制御回路の位置から見て前記コネクタとは反対側に設けられる請求項 2 1 に記載の半導体装置。

【請求項 2 3】

前記複数の不揮発性半導体メモリは、NAND型フラッシュメモリである請求項 2 1 または 2 2 に記載の半導体装置。

【請求項 2 4】

前記ドライブ制御回路と電気的に接続される揮発性メモリをさらに備える請求項 2 1 から 2 3 のいずれか 1 つに記載の半導体装置。

【請求項 2 5】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第 1 の配線層と対向する第 3 の配線層の配線密度が 80%以上である請求項 2 1 に記載の半導体装置。

【請求項 2 6】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第 3 の配線層と対向する第 4 の配線層の配線密度が前記第 1 の平均値より小さい請求項 2 5 に記載の半導体装置。

【請求項 2 7】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第 2 の配線層と対向する第 5 の配線層と絶縁層を隔てて対向する第 6 の配線層の配線密度が前記第 2 の平均値より小さい請求項 2 5 に記載の半導体装置。

【請求項 2 8】

前記コネクタは、前記基板の短辺に設けられ、
前記揮発性メモリは、平面視において、前記複数の不揮発性半導体メモリから見て前記コネクタと同じ側に設けられる請求項 2 4 に記載の半導体装置。

【請求項 2 9】

前記半導体装置の状態を表示する LED をさらに備える請求項 2 1 から 2 8 のいずれか 1 つに記載の半導体装置。

【請求項 3 0】

前記基板の前記第 1 の主面に搭載される揮発性メモリをさらに備え、
前記基板は、平面視において略長方形形状を呈し、
前記複数の不揮発性半導体メモリは、4 個の NAND 型フラッシュメモリであって、前記基板の前記第 1 の主面であって、平面視において、前記ドライブ制御回路の位置から見て前記揮発性メモリとは反対側に搭載され、
前記揮発性メモリと、前記ドライブ制御回路と、前記 4 個の NAND 型フラッシュメモリと、が前記基板の長辺方向に配置される請求項 2 1 に記載の半導体装置。

【請求項 3 1】

前記コネクタは、前記基板の短辺であって、平面視において、前記揮発性

メモリの位置から見て前記ドライブ制御回路とは反対側に設けられ、

前記コネクタと、前記揮発性メモリと、前記ドライブ制御回路と、前記4個のNAND型フラッシュメモリと、が前記基板の長辺方向に配置される請求項30に記載の半導体装置。

(2) 本件訂正後

本件訂正後の特許請求の範囲の請求項21ないし31の記載は、以下のとおりである（甲46。下線部は本件訂正による訂正箇所である。以下、請求項1ないし20（前記(1)）、本件訂正後の請求項21ないし31に係る発明を、請求項の番号に応じて、それぞれ「本件特許発明1」などという。）。

【請求項21】

コンピュータに接続可能なコネクタを備える基板と、前記基板に搭載され前記コネクタと電氣的に接続されるドライブ制御回路と、このドライブ制御回路により制御される複数の不揮発性半導体メモリと、を備え、

前記基板は、

第1の主面と、前記第1の主面とは反対側を向いた第2の主面と、を有し、

前記第1の主面に設けられた第1の配線層と、

前記第2の主面に設けられた第2の配線層と、

内層として形成され、グラウンドまたは電源となる3つのプレーン層と、信号を送受信する3つの信号層を備える配線層と、

これら配線層間にそれぞれ設けられる複数の絶縁層と、

を備え、

前記複数の絶縁層の1つは、前記基板の層構造の中心線を含む領域に形成され、

前記基板の層構造の中心線よりも前記第1の主面側に形成された前記配線層および前記第1の配線層の配線密度の平均値である第1の平均値と、

前記基板の層構造の中心線よりも前記第2の主面側に形成された前記配線

層および前記第 2 の配線層の配線密度の平均値である第 2 の平均値との差の絶対値である第 1 の値が 7.5%以下であり、

前記第 1 の平均値と前記第 2 の平均値はともに 60%以上であり、

前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第 1 の主面側に形成され前記中心線に最も近い前記配線層の配線密度と、前記内層として形成される複数の配線層のうち前記基板の層構造の中心線よりも前記第 2 の主面側に形成され前記中心線に最も近い前記配線層の配線密度との差の絶対値である第 2 の値が前記第 1 の値よりも大きく、

前記内層として形成される複数の配線層のうち少なくとも 1 の前記配線層は、配線密度が 80%以上であり、

前記ドライブ制御回路は、前記基板の前記第 1 の主面に搭載される半導体装置。

【請求項 2 2】

前記複数の不揮発性半導体メモリは、平面視において、前記ドライブ制御回路の位置から見て前記コネクタとは反対側に設けられる請求項 2 1 に記載の半導体装置。

【請求項 2 3】

前記複数の不揮発性半導体メモリは、NAND型フラッシュメモリである請求項 2 1 または 2 2 に記載の半導体装置。

【請求項 2 4】

前記ドライブ制御回路と電氣的に接続される揮発性メモリをさらに備える請求項 2 1 から 2 3 のいずれか 1 つに記載の半導体装置。

【請求項 2 5】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第 1 の配線層と対向する第 3 の配線層の配線密度が 80%以上である請求項 2 1 に記載の半導体装置。

【請求項 2 6】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第 3 の配線層と対向する第 4 の配線層の配線密度が前記第 1 の平均値より小さい請求項 2 5 に記載の半導体装置。

【請求項 2 7】

前記内層として形成される複数の配線層のうち絶縁層を隔てて前記第 2 の配線層と対向する第 5 の配線層と絶縁層を隔てて対向する第 6 の配線層の配線密度が前記第 2 の平均値より小さい請求項 2 5 に記載の半導体装置。

【請求項 2 8】

前記コネクタは、前記基板の短辺に設けられ、
前記揮発性メモリは、平面視において、前記複数の不揮発性半導体メモリから見て前記コネクタと同じ側に設けられる請求項 2 4 に記載の半導体装置。

【請求項 2 9】

前記半導体装置の状態を表示する LED をさらに備える請求項 2 1 から 2 8 のいずれか
1 つに記載の半導体装置。

【請求項 3 0】

前記基板の前記第 1 の主面に搭載される揮発性メモリをさらに備え、前記基板は、平面視において略長方形形状を呈し、

前記複数の不揮発性半導体メモリは、4 個の NAND 型フラッシュメモリであって、前記基板の前記第 1 の主面であって、平面視において、前記ドライブ制御回路の位置から見て前記揮発性メモリとは反対側に搭載され、

前記揮発性メモリと、前記ドライブ制御回路と、前記 4 個の NAND 型フラッシュメモリと、が前記基板の長辺方向に配置される請求項 2 1 に記載の半導体装置。

【請求項 3 1】

前記コネクタは、前記基板の短辺であって、平面視において、前記揮発性メモリの位置から見て前記ドライブ制御回路とは反対側に設けられ、

前記コネクタと、前記揮発性メモリと、前記ドライブ制御回路と、前記4個のNAND型フラッシュメモリと、が前記基板の長辺方向に配置される請求項30に記載の半導体装置。

3 本件審決の理由の要旨

本件審決の理由は、別紙審決書（写し）のとおりである。

その要旨は、①請求項21の「内層として形成される複数の配線層」を「内層として形成され、グランドまたは電源となる3つのプレーン層と、信号を送受信する3つの信号層を備える配線層」と訂正し（以下「本件訂正事項」という。）、その結果として請求項21を直接的又は間接的に引用する請求項22ないし31も訂正する本件訂正は、特許請求の範囲の減縮（特許法134条の2第1項ただし書1号）を目的とするものであり、本件明細書に記載された事項の範囲内においてしたもの（同条9項で準用する同法126条5項）であって、特許請求の範囲を拡張し、又は変更するもの（同条6項）ではないから、本件訂正を認める、②本件特許発明1、14及び21の「第1の値が7.5%以下」及び「前記第1の平均値と前記第2の平均値はともに60%以上」並びに本件特許発明1、2、5、6、17、21及び25の「配線密度が80%以上」は、いずれも原出願当初明細書に記載されたものであるから、本件特許は分割出願の要件を満たすものであり、「原出願を先行文献として」特許法29条1項3号の規定により特許を受けることができないとすることはできない、③本件特許発明1、2、5、6、14、17、21及び25の上記配線密度に関わる数値は、本件明細書に記載されたものであるから、本件特許発明1ないし31は特許法36条6項1号に規定する要件（以下「サポート要件」という。）に適合する、④甲1の1、2の製品解析報告書で解析されたPCB基板「PCB29-7970」が、本件特許の原出願日である2011年（平成23年）

3月16日より前に一般市場において発売されていた製品TSXXGSSD25S-M（XXには、製品の記憶容量GBを示す数値が入る。）に搭載されていたことは立証されておらず、甲11は「PCB29-7970が搭載されたTSXXGSSD25S-M」が上記原出願日前に一般市場において発売されていたことを立証するための証拠にならないから、甲1の1、2のPCB基板「PCB29-7970」により実施された発明（以下「PCB29-7970」に係る発明」という場合がある。）は、上記原出願日前に公然実施されていたとは認められない、したがって、本件特許発明1ないし31は、上記原出願日前に公然実施をされた「PCB29-7970」に係る発明と同一であるとはいえず、また、かかる公然実施発明に基づいて当業者が容易に発明をすることができたものではないから、原告主張の無効理由はいずれも理由がないというものである。

第3 当事者の主張

1 取消事由1（訂正要件の判断の誤り）について

(1) 原告の主張

本件審決は、本件明細書の【0015】に「基板8の各層に形成された配線層8bは、図5に示すように、信号を送受信する信号層、グランドや電源線となるプレーン層として機能する。」との記載があること及び図5によれば、本件訂正は、本件明細書に記載された事項の範囲内においてしたものであるから、特許法134条の2第9項で準用する同法126条5項の規定に適合する旨判断した。

しかしながら、本件明細書の【0011】ないし【0013】には、電源と配線層との関係について、電源はホスト1にあり、電源回路には内部直流電源電圧が供給され、電源回路は基板に搭載され、基板に配線層が形成されることが記載されている。

上記記載によれば、本件明細書の【0015】記載の「電源線」とは、基

板のいずれかの層に設けられた「配線」程度を意味するものであり、「発電機または電池のように、外部に電気エネルギーを供給しうる源」を意味する「電源」（甲62、63）とは全く異なる概念である。

本件訂正事項は、「電源線」を「電源」とする訂正を含むものであり、本件訂正事項のとおり請求項21を訂正した場合には、配線層の中に「電源」があることとなって、本件明細書の「電源はホスト1にある」旨の記載とも矛盾する。

したがって、本件訂正は、本件明細書に記載されていない新規事項を追加するものであって、本件明細書に記載された事項の範囲内においてしたものはいえないから、本件審決の上記判断は誤りである。

(2) 被告の主張

本件訂正後の請求項21の「内層として形成され、グラウンドまたは電源となる3つのプレーン層と、信号を送受信する3つの信号層を備える配線層」における「電源となる」という用語は、「プレーン層」を修飾するものであり、「プレーン層」は、半導体装置の基板の「内層として形成される配線層」の一部であることは明らかであるから、「配線層」が「電源となる」という記載の意味は、当該配線層に電源電圧が供給されて電源線として機能することをいうと解するのが合理的であり、「発電機」や「電池」のような電気エネルギー供給源そのものが「配線層」に備わることを規定するものではない。

また、「プレーン層」に電源電圧が供給されて電源線として機能することは、本件明細書の【0011】ないし【0013】、【0015】及び図5の記載にも合致する。

したがって、本件訂正は、本件明細書に記載された事項の範囲内においてしたものであって、新規事項の追加に当たらないから、これと同旨の本件審決の判断に誤りはなく、原告主張の取消事由1は理由がない。

2 取消事由 2（分割出願の要件の判断の誤り）について

(1) 原告の主張

ア 「第1の値が7.5%以下」について

本件審決は、原出願当初明細書には、「本発明」の目的は、「基板の反りを防止」することであり、そのために「上層全体と下層全体の配線密度の平均値を略等しくした」ものであること（【0005】、【0024】）、具体例として、第8層の配線密度を最小の30%にすると、下層全体の配線密度の平均が約60%になり、上層全体の配線密度の平均との差は最小の0となり、第8層の配線密度を最大の60%にすると、下層全体の配線密度の平均が約67.5%となり、上層全体の配線密度の平均との「差は最大の7.5%」となること（【0014】～【0016】、【0024】）が記載されているから、本件特許発明1、14及び21の「第1の値が7.5%以下」は、原出願当初明細書に記載されたものである旨判断した。

しかしながら、原出願当初明細書には、上層全体の配線密度と下層全体の配線密度とを略等しくすることで、基板の反りを防止することは記載されているものの、上層全体の配線密度と下層全体の配線密度とに差を設けて、「第1の値が7.5%以下」とすることについての記載はない。

また、原出願当初明細書の【0016】の「なお、第8層の配線密度は、約30～60%の範囲で調整することで、上層全体の配線密度と略等しくなるようにすればよい。」との記載は、第8層の配線密度を約30～60%の範囲で調整することを可能とすることで、上層全体の配線密度を67.5%とした場合（例えば、第3層の配線密度を80%とした場合）であっても、第8層の配線密度を60%とすると、下層全体の配線密度も67.5%となり、上層全体の配線密度と略等しくすることで、反りを防止していることを意味するものと理解できる。【0016】の上記記載から、第8層の配線密度を最大の60%とすることで、下層全体の配線密度と上層

全体の配線密度との平均との「差は最大の7.5%」となることの開示があるとはいえない。

さらに、原出願当初明細書には、「上層全体の配線密度と下層全体の配線密度との差が、15%になると反りが発生しやすい」(【0023】)との記載があるものの、反りが発生するのを抑えることができるための差が何%かについての記載はない。

したがって、本件特許発明1, 14及び21の「第1の値が7.5%以下」は、原出願当初明細書に記載されていないから、本件審決の上記判断は誤りである。

イ 「前記第1の平均値と前記第2の平均値はともに60%以上」について

本件審決は、各層の配線密度や、上層全体及び下層全体の配線密度の平均値をそれぞれ所定範囲にすることは、基板の反りを防止するための直接的な目的であるとは原出願当初明細書から読み取ることはできず、単に原出願当初明細書に記載された範囲内で特許請求の範囲を限定した事項と認められる、そして、原出願当初明細書の図5には、上層全体の配線密度の平均が約60%であり、下層全体の配線密度の平均が約67.5%であること、それぞれの配線密度の平均が60%以上である事実が記載されているから、本件特許発明1, 14及び21の「前記第1の平均値と前記第2の平均値はともに60%以上」は、原出願当初明細書に記載されたものである旨判断した。

しかしながら、「前記第1の平均値と前記第2の平均値はともに60%以上」は、最高値の制限がないから、「60%~100%」を示すものであるが、原出願当初明細書には、配線密度の平均値が「約60%~67.5%の範囲」の例しか開示されておらず、配線密度の平均値が「67.5%以上」である構成についての記載はない。

また、仮にすべての配線層の配線密度を100%とした場合は、全面が

導通面となっていることから、信号層あるいは配線層に配線を施すことができないこととなる。

したがって、本件特許発明 1，14 及び 21 の「前記第 1 の平均値と前記第 2 の平均値はともに 60%以上」は、原出願当初明細書に記載されていないから、本件審決の上記判断は誤りである。

ウ 「配線密度が 80%以上」について

本件審決は、原出願当初明細書には、プレーン層（GND，電源）の配線密度は約 80%であり（図 5），最外層又は内側の層の全域を銅箔で覆ってシールド層としても良い（配線密度は 100%）点（【0030】）も開示されているから、本件特許発明 1，2，5，6，17，21 及び 25 の「配線密度が 80%以上」は、原出願当初明細書に記載されたものである旨判断した。

しかしながら、図 5 には、配線層について、80%の配線密度の記載はあるが（2層，5層及び7層），「80%以上」の配線密度の記載はない。

また、図 7 には、8層が 90%となっていることの記載があるが、図 7 の例は、上層全体と下層全体での配線密度の平均が大きく異なる（15%）と反りが生じることを説明するためのものであり（【0023】），「8層を 90%」としたときに実用性があるか否かは不明である。

さらに、【0030】及び図 11 には、半導体装置からのノイズの漏れを防止するために最外層にシールド層を設けていることの記載があるが、このシールド層は、配線層とは異なるものである。

したがって、本件特許発明 1，2，5，6，17，21 及び 25 の「配線密度が 80%以上」は、原出願当初明細書に記載されていないから、本件審決の上記判断は誤りである。

エ 小括

以上のとおり、本件特許発明 1，14 及び 21 の「第 1 の値が 7.5%

以下」及び「前記第1の平均値と前記第2の平均値はともに60%以上」並びに本件特許発明1, 2, 5, 6, 17, 21及び25の「配線密度が80%以上」は、いずれも原出願当初明細書に記載されていないから、本件出願は、分割出願の要件を満たしていない不適法な分割出願である。これと異なる本件審決の判断は誤りである。

そうすると、本件出願の出願日は、原出願日に遡及せず、現実の出願日である平成26年6月30日となり、本件特許発明1ないし31は、本件出願前に頒布された刊行物である原出願の公開特許公報（甲65。特開2012-195440号公報）に記載された発明と同一であるから、特許法29条1項3号の規定により特許を受けることができない。

(2) 被告の主張

ア 「第1の値が7.5%以下」について

原出願当初明細書の【0016】の「そこで、第8層の配線密度を約30%として配線パターンを形成することで、下層全体での配線密度を約60%とすることができ、上層全体の配線密度と下層全体の配線密度とを略等しくすることができる。」との記載は、下層全体の配線密度と上層全体の配線密度との差を略等しくする調整方法の一例として、第8層の配線密度を約30%にする例（差が0%の例）を説明するものである。

これに続く「なお、第8層の配線密度は、約30～60%の範囲で調整することで、上層全体の配線密度と略等しくなるようにすればよい。」との記載は、第8層の配線密度の調整範囲を説明するものであって、上層全体の配線密度と下層全体の配線密度との差が7.5%になる場合（約60%）を上限とする範囲内で調整可能であることを説明するものである。一方、【0016】には、上層全体の配線密度を67.5%とした場合や第3層の配線密度を80%とした場合についての記載はない。

また、原出願当初明細書の図5には、上層全体の配線密度が約60%で

ある場合に、下層全体の配線密度の採り得る値の範囲が約60%～67.5%であることが明示されている。

したがって、本件特許発明1, 14及び21の「第1の値が7.5%以下」は、原出願当初明細書に記載されている。

イ 「前記第1の平均値と前記第2の平均値はともに60%以上」について
本件特許発明1, 14及び21は、基板の反りを防止するという目的を達成するために、上層全体と下層全体の配線密度の平均値を略等しくしたものであり、各層の配線密度や、上層全体及び下層全体の配線密度の平均値をそれぞれ所定範囲にするという発明特定事項は、上記目的を達成するための直接的な手段ではないから、「前記第1の平均値と前記第2の平均値はともに60%以上であり」という記載は、原出願当初明細書に記載された範囲内で特許請求の範囲を限定した事項に過ぎないと解するのが合理的である。

また、本件特許発明1, 14及び21の特許請求の範囲に「半導体装置」の「基板」に形成される「配線層」として特定されている以上、「配線層」に何らかの配線が施されていることを前提とするため、「配線層」がすべて配線密度100%の層である構成は特許請求の範囲から除外されていると理解するのが自然である。

したがって、本件特許発明1, 14及び21の「前記第1の平均値と前記第2の平均値はともに60%以上」は、原出願当初明細書に記載されている。

ウ 「配線密度が80%以上」について

本件特許発明1, 2, 5, 6, 17, 21及び25における各層の配線密度や、上層全体及び下層全体の配線密度の平均値をそれぞれ所定範囲にするという発明特定事項は、基板の反りを防止するという「本発明」の目的を達成するための直接的な手段ではないから、配線層の「配線密度が8

0%以上」という記載は、原出願当初明細書に記載された範囲内で特許請求の範囲を限定した事項に過ぎないと解するのが合理的である。

また、原出願当初明細書には、プレーン層の配線密度が約80%であること(図5)、第9層目である最外層のみならず、9層目より内側の層の全域を銅箔で覆って、配線密度が100%であるシールド層としてもよいこと(【0030】)が記載されている。

したがって、本件特許発明1、2、5、6、17、21及び25の「配線密度が80%以上」は、原出願当初明細書に記載されている。

エ 小括

以上のとおり、本件特許発明1、14及び21の「第1の値が7.5%以下」及び「前記第1の平均値と前記第2の平均値はともに60%以上」並びに本件特許発明1、2、5、6、17、21及び25の「配線密度が80%以上」は、いずれも原出願当初明細書に記載されているから、本件出願は、適法な分割出願であり、本件出願の出願日は原出願日に遡及する。

したがって、原告主張の取消事由2は理由がない。

3 取消事由3(サポート要件の判断の誤り)について

(1) 原告の主張

本件審決は、本件明細書の【0005】、【0014】ないし【0016】、【0024】、【0028】及び図5には、原出願当初明細書と同内容の記載があるから、本件特許発明1ないし31の配線密度に関わる数値(「第1の値が7.5%以下」、「前記第1の平均値と前記第2の平均値はともに60%以上」及び「配線密度が80%以上」)は、本件明細書に記載されたものであるとして、本件特許発明1ないし31はサポート要件に適合する旨判断した。

しかしながら、前記2(1)のとおり、原出願当初明細書には本件特許発明1ないし31の配線密度に関わる上記数値についての記載はなく、本件明細書

もこれと同様であるから、本件特許は、サポート要件に適合するものではない。

(2) 被告の主張

前記2(2)のとおり、原出願当初明細書には、本件審決にいう配線密度に関わる数値が記載されており、本件特許発明1ないし31は、サポート要件に適合するとした本件審決の判断に誤りはないから、原告主張の取消事由3は理由がない。

4 取消事由4（新規性・進歩性に関する判断遺脱）について

(1) 原告の主張

本件審決は、甲1の1, 2で解析された特定のPCB基板「PCB29-7970」が搭載されたTSXXGSSD25S-M製品が本件特許の原出願日前に一般に販売されていたことについて立証されていないから、甲1の1, 2で解析された特定のPCB基板「PCB29-7970」により実施された発明（「PCB29-7970」に係る発明）は上記原出願日前に公然実施されていたものとは認められないので、「PCB29-7970」に係る発明に基づいて本件特許発明1ないし31の新規性・進歩性がないとの無効理由は採用することができない旨判断した。

しかしながら、原告は、本件無効審判の審判請求書（甲44）において、「4 引用発明の説明」中に「（1）甲1発明」として「甲1発明は、トランセンド・インフォメーション・インコーポレイテッド社製のソリッドステートドライブ（以下「SSD」という。）製品名「TSXXGSSD25S-M」におけるプリントサーキットボード（以下「PCB」という。）29-7970である。」と記載して、甲1の1, 2で解析されたPCB基板の構造と同一仕様の型番「PCB29-7970」のPCB基板が搭載されたTSXXGSSD25S-M製品が本件特許の原出願日前に一般市場において発売されていた事実を主張したこと、大量生産品を構成する電子回路の

基板において、同じ型番の基板であれば、個々の基板に基板の層構成や銅箔により形成された配線パターンに違いがないことは、技術常識であることに基づいて、型番「PCB29-7970」のPCB基板により実施された発明が公然実施発明に当たり、かかる公然実施発明を主引用例とする本件特許発明1ないし31の新規性の欠如又は進歩性の欠如の無効理由を主張し、上記事実を推認させる証拠として、甲1の3ないし甲1の7、甲11（2011年（平成23年）3月11日にロシアの「3R Memory」へ出荷されたTS256GSSD25S-M及び同製品に関連する書類に関する事実実験公正証書）、甲16ないし18を提出し、さらに、平成29年8月24日付け口頭審理陳述要領書（甲54）においてその旨を主張したにもかかわらず、本件審決は、甲1の1、2で解析された特定のPCB基板「PCB29-7970」が搭載されたTSXXGSSD25S-M製品の販売に係る発明の公然実施発明該当性についてのみ判断し、原告が主張した上記公然実施発明を主引用例とする新規性の欠如又は進歩性の欠如の無効理由については、何らの判断を示していない。

したがって、本件審決は、審決の結論に影響する事項について、判断の遺脱があるから、違法として取り消されるべきである。

(2) 被告の主張

「公然実施」（特許法29条1項2号）による無効を主張する者は、公然実施を基礎づける「実施」がされたことを示す具体的事実を主張立証する必要がある、その具体的事実を主張立証するには、どの製品が、いつ、どこで、誰に対して販売等されたのかという具体的な社会的事実を特定する必要があるというべきである。仮にこのような具体的な社会的事実を特定する必要がなく、単に型番などで製品群を特定して、特許無効審判を請求し、製品群に含まれる製品の販売等の具体的な社会的な事実をいくつでも追加して主張することができるのであれば、公然実施による無効を争う特許権者（被請求人）

としては、請求人が新たな社会的事実に基づく具体的な「実施」行為を追加主張するたびに、当該「実施」行為の有無について、一から事実確認を行い、認否反論等の防御活動を行わざるを得なくなり、応訴の負担は過大となるからである。

しかるところ、本件無効審判の平成28年10月19日付け審判請求書(甲44)には、公然実施を基礎づける「実施」行為として、甲1の1, 2で解析された特定のPCB基板が2010年(平成22年)7月から一般に販売されたという事実が主張されていた。

その後、原告は、平成29年8月24日付けの口頭審理陳述要領書(甲54)において、甲11記載の製品(TS256GSSD25S-M)が平成23年3月11日にロシアの「3R Memory」に出荷されたこと、甲16のインターネット記事において解析された製品は、甲17記載の製品及び甲18記載の製品であり、それぞれ平成22年8月3日及び平成23年1月6日にオランダの「Transcend Information Europe B. V」に出荷されたことを主張するに至ったところ、かかる主張は、審判請求書において主張した具体的な社会的事実とは別個の新たな「実施」行為に基づく公然実施の無効理由を構成するものである。このような新たな「実施」行為に基づく公然実施の主張又は主張の事後的な補充は、審判請求書の請求の理由の要旨変更該当するが、本件無効審判手続では、かかる請求の理由の要旨変更を許可する旨の審判長の決定(特許法131条の2第2項)はされていない。

したがって、本件無効審判における公然実施による無効理由は、甲1の1, 2で解析された特定のPCB基板「PCB29-7970」が搭載されたTSXXGSSD25S-M製品の販売により実施された発明(「PCB29-7970」に係る発明)を主引用例とするもののみであり、本件審決は、この無効理由は採用することができない旨の判断をしているから、本件審決

に、判断の遺脱はない。

仮に原告主張の本件無効審判における公然実施による無効理由は、型番「PCB29-7970」のPCB基板が搭載されたTSXXGSSD25S-M製品の販売により実施された発明（「PCB29-7970」に係る発明）を主引用例とするものであるとしても、甲11記載の製品は、本件審決が予備的に判断するように、本件特許の原出願日前にロシアの「3R Memory」に到着した事実を認めることができない。また、甲17記載の製品及び甲18記載の製品に甲1の1、2に示す内部構造を備えるPCB基板が搭載されていた事実の立証はされていないし、上記各製品の出荷先は、原告の100%子会社の「Transcend Information Europe B. V」（トランセンド・インフォメーション・ヨーロッパB. V）であり、上記各製品が上記原出願日前に一般に販売されていた事実は立証されていないから、原告主張の上記無効理由は理由がない。

以上によれば、原告主張の取消事由4は理由がない。

第4 当裁判所の判断

1 取消事由1（訂正要件の判断の誤り）について

(1) 本件明細書の記載事項について

ア 本件明細書（甲78）の発明の詳細な説明には、次のような記載がある（下記記載中に引用する「図1ないし5、7及び11」については別紙1を参照）。

(ア) 【技術分野】

【0001】

本発明は、半導体装置およびシステムに関する。

【背景技術】

【0002】

従来、コネクタが形成された基板上に、NANDフラッシュメモリな

どの不揮発性半導体記憶素子が搭載された半導体装置が用いられている。また、半導体装置には、不揮発性半導体記憶素子の他に、揮発性半導体記憶素子や、不揮発性半導体記憶素子および揮発性半導体素子を制御するコントローラが搭載される。

【0003】

このような半導体装置は、その使用環境や規格などに合わせて、基板の形状や大きさが制約される場合があり、例えば、平面視において長方形形状を呈する基板を用いる場合がある。また、近年の半導体装置への小型化の要求により、基板が薄型化する傾向にある。このような、薄型化された長方形形状の基板を用いる場合に、基板の反りを抑えることが求められている。

(イ) 【発明が解決しようとする課題】

【0005】

本発明は、基板の反りを抑えることができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本願発明の一態様によれば、基板と、この基板に搭載される複数の不揮発性半導体メモリと、を備える半導体装置が提供される。基板は、第1の主面と、第1の主面とは反対側を向いた第2の主面と、を有する。基板には、第1の主面に設けられ、複数の不揮発性半導体メモリが搭載される第1の配線層と、第2の主面に設けられた第2の配線層と、内層として形成される複数の配線層と、これら配線層間にそれぞれ設けられる複数の絶縁層と、が形成される。基板の層構造の中心線よりも第1の主面側に形成された配線層および第1の配線層の配線密度の平均値と、基板の層構造の中心線よりも第2の主面側に形成された配線層および第

2の配線層の配線密度の平均値との差が7.5%以下であり、かつ、少なくとも1の配線層は、配線密度が80%以上である。

(ウ) 【発明を実施するための形態】

【0008】

以下に添付図面を参照して、本発明の実施の形態にかかる半導体装置を詳細に説明する。なお、これらの実施の形態により本発明が限定されるものではない。

【0009】

(第1の実施の形態)

図1は、第1の実施の形態にかかる半導体装置の構成例を示すブロック図である。半導体装置100は、SATAインタフェース(ATA I/F)2などのメモリ接続インタフェースを介してパーソナルコンピュータあるいはCPUコアなどのホスト装置(以下、ホストと略す)1と接続され、ホスト1の外部メモリとして機能する。ホスト1としては、パーソナルコンピュータのCPU、スチルカメラ、ビデオカメラなどの撮像装置のCPUなどがあげられる。また、半導体装置100は、RS232Cインタフェース(RS232C I/F)3などの通信インタフェースを介して、デバッグ用機器200との間でデータを送受信することができる。

【0010】

半導体装置100は、不揮発性半導体記憶素子としてのNAND型フラッシュメモリ(以下、NANDメモリと略す)10と、コントローラとしてのドライブ制御回路4と、NANDメモリ10よりも高速記憶動作が可能な揮発性半導体記憶素子であるDRAM20と、電源回路5と、状態表示用のLED6と、ドライブ内部の温度を検出する温度センサ7とを備えている。…

【0011】

電源回路5は、ホスト1側の電源回路から供給される外部直流電源から複数の異なる内部直流電源電圧を生成し、これら内部直流電源電圧を半導体装置100内の各回路に供給する。また、電源回路5は、外部電源の立ち上がりを検知し、パワーオンリセット信号を生成して、ドライブ制御回路4に供給する。

【0012】

図2は、半導体装置100の概略構成を示す平面図である。図3は、半導体装置100の側面図である。電源回路5、DRAM20、ドライブ制御回路4、NANDメモリ10は、配線パターンが形成された基板8上に搭載される。基板8は、平面視において略長方形形状を呈する。略長方形形状を呈する基板8の一方の短辺側には、ホスト1に接続されて、上述したSATAインタフェース2、通信インタフェース3として機能するコネクタ9が設けられている。コネクタ9は、ホスト1から入力された電源を電源回路5に供給する電源入力部として機能する。…

【0013】

基板8は、合成樹脂を重ねて形成された多層構造になっており、例えば8層構造となっている。なお、基板8の層数は8層に限られない。図4は、基板8の層構成を示す図である。基板8には、合成樹脂で構成された各層（絶縁膜8a）の表面あるいは内層に様々な形状で配線層8bとして配線パターンが形成されている。配線パターンは、例えば銅で形成される。基板8に形成された配線パターンを介して、基板8上に搭載された電源回路5、DRAM20、ドライブ制御回路4、NANDメモリ10同士が電氣的に接続される。また、基板の表面（第1層側）と裏面（第8層側）は、保護膜としてソルダーレジスト8cに覆われている。

【0014】

図5は、基板8の各層の配線密度を示す図である。ここで、基板8の層構造の中心線30（図4も参照）よりも表面層側に形成された第1層から第4層までを上層といい、中心線30よりも裏面層側に形成された第5層から第8層までを下層という。

【0015】

基板8の各層に形成された配線層8bは、図5に示すように、信号を送受信する信号層、グランドや電源線となるプレーン層として機能する。そして、各層に形成された配線パターンの配線密度、すなわち、基板8の表面面積に対する配線層が占める割合を、図5に示すように構成している。

【0016】

本実施の形態では、グランドとして機能する第8層をプレーン層ではなく網状配線層とすることで、その配線密度を30～60%に抑えている。ここで、基板8の上層全体での配線密度は約60%となっている。そこで、第8層の配線密度を約30%として配線パターンを形成することで、下層全体での配線密度を約60%とすることができ、上層全体の配線密度と下層全体の配線密度とを略等しくすることができる。なお、第8層の配線密度は、約30～60%の範囲で調整することで、上層全体の配線密度と略等しくなるようにすればよい。

(エ) 【0023】

図7は、比較例としての基板の各層の配線密度を示す図である。図7の比較例に示すように、従来の基板では、第8層をプレーン層とすることで、配線密度が約90%となっていた。そのため、下層の配線密度が約75%となり、上層の配線密度（約60%）との差が大きくなっている。配線密度が異なることで、基板8の上層全体に占める絶縁膜8a（合成樹脂）と配線部分（銅）との比率が、基板8の下層全体に占める合成

樹脂と銅との比率と異なることとなる。これにより、基板 8 の上層と下層とで熱膨張係数も異なることとなる。この熱膨張係数の違いにより、基板 8 の温度変化に伴って、基板 8 の長手方向に沿って表面層側に凸形状（図 3 における上に凸形状）となるような反りが発生しやすくなる。このような温度変化は、半導体装置 100 の製造過程で生じやすい。また、近年の半導体装置への小型化の要求により、基板 8 も薄型化する傾向にあり、このような反りが発生しやすくなっている。

【0024】

一方、本実施の形態では、第 8 層の配線密度は、約 30～60% の範囲で調整し、上層全体の配線密度と下層全体の配線密度とを略等しくしているため、熱膨張係数も略等しくなる。そのため、基板 8 に反りが発生するのを抑制することができる。また、中心線 30（図 4 も参照）から最も離れた第 8 層で配線密度を調整しているため、反りを抑制するためのモーメントをより大きく発生させることができる。

【0025】

また、基板 8 の第 8 層で配線密度を調整しているため、信号層のように配線レイアウトに制限のある層で配線密度の調整をする場合に比べて、配線設計が容易になり、コストの抑制を図ることができる。

【0028】

なお、本実施の形態では、基板 8 の下層全体の配線密度を調整するために、第 8 層の配線層を網状配線層にしているが、これに限られず、例えばライン上に配線層を形成してもよい。また、下層のうち第 8 層以外の層、すなわち第 5 層から第 7 層までの配線層の配線密度を調整して、下層全体としての配線密度を調整してもよい。もちろん、第 5 層から第 8 層までのすべての層で配線密度を調整して、下層全体としての配線密度を調整してもよい。

(オ) 【0030】

(第2の実施の形態)

図11は、第2の実施の形態にかかる半導体装置が備える基板の層構成を示す図である。本実施の形態では、基板8の第8層の外側に、9層目の層として最外層を設けている。そして、最外層の全域を銅箔で覆ってシールド層としている。このように、最外層の全域を銅箔で覆うことで、半導体装置からのノイズの漏れをより確実に防ぐことができる。なお、9層目よりも内側の層の全域を銅箔で覆ってシールド層としてもよい。

イ 前記アの記載事項によれば、本件明細書の発明の詳細な説明には、次のような開示があることが認められる。

(ア) コネクタが形成された基板上に、NANDフラッシュメモリなどの不揮発性半導体記憶素子、揮発性半導体記憶素子及びコントローラが搭載された従来の半導体装置では、その使用環境や規格などにより基板の形状や大きさが制約され、例えば、平面視において長方形形状を呈する基板を用いる場合があり、また、近年の半導体装置への小型化の要求によって基板が薄型化する傾向にあり、このような薄型化された長方形形状の基板を用いる場合に基板の反りを抑えることが求められる（【0002】、【0003】）。

(イ) 「本発明」は、基板の反りを抑えることができる半導体装置を提供することを目的とし（【0005】）、その課題を解決するための手段として、第1の主面及び第1の主面とは反対側を向いた第2の主面を有する基板と、基板に搭載される複数の不揮発性半導体メモリとを備える半導体装置であって、基板には、第1の主面に設けられ、複数の不揮発性半導体メモリが搭載される第1の配線層と、第2の主面に設けられた第2の配線層と、内層として形成される複数の配線層と、これら配線層

間にそれぞれ設けられる複数の絶縁層とが形成されており、基板の層構造の中心線よりも第1の主面側に形成された配線層及び第1の配線層の配線密度の平均値と、基板の層構造の中心線よりも第2の主面側に形成された配線層及び第2の配線層の配線密度の平均値との差を7.5%以下とし、かつ、少なくとも1の配線層の配線密度を80%以上とする構成を採用した（【0006】）。

「本発明」は、上記構成を採用することにより、上層（基板の層構造の中心線よりも表面層側に形成された層）全体の配線密度と下層（基板の層構造の中心線よりも裏面層側に形成された層）全体の配線密度とが略等しくなることで、基板の上層全体に占める絶縁膜（合成樹脂）と配線部分（銅）との比率が、基板の下層全体に占める合成樹脂と銅との比率と略等しくなり、上層と下層とで熱膨張係数も略等しくなるため、基板に反りが発生するのを抑制するという効果を奏する（【0014】，【0015】，【0023】，【0024】，図5）。

(2) 訂正の適否について

ア 本件訂正事項は、本件訂正前の請求項21の「内層として形成される複数の配線層」にいう「複数の配線層」を「グランドまたは電源となる3つのプレーン層」と「信号を送受信する3つの信号層」を備える「配線層」に限定するものである。そして、本件訂正後の請求項21の文言から、「グランドまたは電源となる3つのプレーン層」にいう「電源となる…プレーン層」は、「配線層」であって、半導体装置の基板に搭載された「ドライブ制御回路」や「不揮発性半導体メモリ」に対して、電源電圧が供給される電源線として機能することを理解できる。

次に、本件明細書には、「電源回路5は、ホスト1側の電源回路から供給される外部直流電源から複数の異なる内部直流電源電圧を生成し、これら内部直流電源電圧を半導体装置100内の各回路に供給する。」（【0

011】），「略長方形形状を呈する基板8の一方の短辺側には，ホスト1に接続されて，上述したSATAインタフェース2，通信インタフェース3として機能するコネクタ9が設けられている。コネクタ9は，ホスト1から入力された電源を電源回路5に供給する電源入力部として機能する。」（【0012】），「図4は，基板8の層構成を示す図である。基板8には，合成樹脂で構成された各層（絶縁膜8a）の表面あるいは内層に様々な形状で配線層8bとして配線パターンが形成されている。配線パターンは，例えば銅で形成される。基板8に形成された配線パターンを介して，基板8上に搭載された電源回路5，DRAM20，ドライブ制御回路4，NANDメモリ10同士が電氣的に接続される。…」（【0013】），「基板8の各層に形成された配線層8bは，図5に示すように，信号を送受信する信号層，グラウンドや電源線となるプレーン層として機能する。」（【0015】）との記載がある。また，図5には，基板8の内層として，「3層」，「4層」及び「6層」に「信号層」を，「2層」及び「7層」に「プレーン層（GND）」を，「5層」に「プレーン層（電源）」を配する層構成が示されている。

これらの記載事項によれば，図5の「5層」の「プレーン層（電源）」は，配線層であって，半導体装置の基板に搭載された「ドライブ制御回路」や「不揮発性半導体メモリ」である「NANDメモリ」に対して，電源回路5において外部直流電源から生成した「内部直流電源電圧」が供給される電源線として機能することを理解できる。

以上によれば，本件訂正後の請求項21の「グラウンドまたは電源となる3つのプレーン層」にいう「電源となる…プレーン層」は，本件明細書に記載されているものと認められるから（【0011】ないし【0013】，【0015】，図5），本件訂正は，本件明細書に記載された事項の範囲内においてしたものであって，新規事項の追加に当たらないものと認めら

れる。

イ これに対し原告は、本件明細書の【0015】記載の「電源線」とは、基板のいずれかの層に設けられた「配線」程度を意味するものであり、「発電機または電池のように、外部に電気エネルギーを供給しうる源」を意味する「電源」（甲62，63）とは全く異なる概念であるが、本件訂正事項は、「電源線」を「電源」とする訂正を含むものであり、本件訂正事項のとおり請求項21を訂正した場合には、配線層の中に「電源」があることとなって、本件明細書の「電源はホスト1にある」旨の記載とも矛盾するから、本件訂正は、本件明細書に記載されていない新規事項を追加するものであって、本件明細書に記載された事項の範囲内においてしたものとはいえない旨主張する。

しかしながら、前記ア認定のとおり、本件訂正後の請求項21の「グラウンドまたは電源となる3つのプレーン層」にいう「電源となる…プレーン層」は、半導体装置の基板に搭載された「ドライブ制御回路」や「不揮発性半導体メモリ」に対して、電源電圧が供給される電源線として機能する「配線層」であって、「電源」そのものではないから、原告の上記主張は、その前提において採用することができない。

(3) 小括

以上のとおり、本件訂正は、本件明細書に記載された事項の範囲内においてしたものであって、新規事項の追加に当たらないから、これと同旨の本件審決の判断に誤りはなく、原告主張の取消事由1は理由がない。

2 取消事由2（分割出願の要件の判断の誤り）について

(1) 原出願当初明細書の記載事項について

原出願当初明細書（甲65）には、次のような記載がある（下記記載中に引用する「図1ないし5，7，9及び11」については別紙2を参照）。

ア 【特許請求の範囲】

【請求項 1】

配線パターンが形成された多層構造で、平面視において略長方形形状を呈する基板と、

前記基板の表面層側に長手方向に沿って並べて設けられた不揮発性半導体記憶素子と、

前記不揮発性半導体記憶素子の表面を露出させつつ、前記不揮発性半導体記憶素子同士の隙間と、前記不揮発性半導体記憶素子と前記基板との隙間に充填された接着部と、を備える半導体装置。

【請求項 2】

前記基板の層構造の中心線よりも表面層側に形成された前記配線パターンの配線密度と、前記基板の層構造の中心線よりも裏面層側に形成された前記配線パターンの配線密度とが略等しい請求項 1 に記載の半導体装置。

イ 【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来、コネクタが形成された基板上に、NANDフラッシュメモリなどの不揮発性半導体記憶素子が搭載された半導体装置が用いられている。また、半導体装置には、不揮発性半導体記憶素子の他に、揮発性半導体記憶素子や、不揮発性半導体記憶素子および揮発性半導体素子を制御するコントローラが搭載される。

【0003】

このような半導体装置は、その使用環境や規格などに合わせて、基板の形状や大きさが制約される場合があり、例えば、平面視において長方形形状を呈する基板を用いる場合がある。また、近年の半導体装置への小型化

の要求により、基板が薄型化する傾向にある。このような、薄型化された長方形形状の基板を用いる場合に、基板の反りを抑えることが求められている。

ウ 【発明が解決しようとする課題】

【0005】

本発明は、平面視において長方形形状の基板を用いる場合に、基板の反りを抑えることができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本願発明の一態様によれば、基板と、不揮発性半導体記憶素子と、接着部とを備える半導体装置が提供される。基板は、配線パターンが形成された多層構造で、平面視において略長方形形状を呈する。不揮発性半導体記憶素子は、基板の表面層側に長手方向に沿って並べて設けられる。接着部は、不揮発性半導体記憶素子の表面を露出させつつ、不揮発性半導体記憶素子同士の隙間と、不揮発性半導体記憶素子と基板との隙間に充填される。

エ 【発明を実施するための形態】

【0008】

以下に添付図面を参照して、本発明の実施の形態にかかる半導体装置を詳細に説明する。なお、これらの実施の形態により本発明が限定されるものではない。

【0009】

(第1の実施の形態)

図1は、第1の実施の形態にかかる半導体装置の構成例を示すブロック図である。半導体装置100は、SATAインタフェース(ATA I/F)2などのメモリ接続インタフェースを介してパーソナルコンピュータあるいはCPUコアなどのホスト装置(以下、ホストと略す)1と接続さ

れ、ホスト1の外部メモリとして機能する。ホスト1としては、パーソナルコンピュータのCPU、スチルカメラ、ビデオカメラなどの撮像装置のCPUなどがあげられる。また、半導体装置100は、RS232Cインタフェース（RS232C I/F）などの通信インタフェース3を介して、デバッグ用機器200との間でデータを送受信することができる。

【0010】

半導体装置100は、不揮発性半導体記憶素子としてのNAND型フラッシュメモリ（以下、NANDメモリと略す）10と、コントローラとしてのドライブ制御回路4と、NANDメモリ10よりも高速記憶動作が可能な揮発性半導体記憶素子であるDRAM20と、電源回路5と、状態表示用のLED6と、ドライブ内部の温度を検出する温度センサ7とを備えている。…

【0011】

電源回路5は、ホスト1側の電源回路から供給される外部直流電源から複数の異なる内部直流電源電圧を生成し、これら内部直流電源電圧を半導体装置100内の各回路に供給する。また、電源回路5は、外部電源の立ち上がりを検知し、パワーオンリセット信号を生成して、ドライブ制御回路4に供給する。

【0012】

図2は、半導体装置100の概略構成を示す平面図である。図3は、半導体装置100の側面図である。電源回路5、DRAM20、ドライブ制御回路4、NANDメモリ10は、配線パターンが形成された基板8上に搭載される。基板8は、平面視において略長方形形状を呈する。略長方形形状を呈する基板8の一方の短辺側には、ホスト1に接続されて、上述したSATAインタフェース2、通信インタフェース3として機能するコネクタ9が設けられている。コネクタ9は、ホスト1から入力された電源を

電源回路 5 に供給する電源入力部として機能する。…

【0013】

基板 8 は、合成樹脂を重ねて形成された多層構造になっており、例えば 8 層構造となっている。なお、基板 8 の層数は 8 層に限られない。図 4 は、基板 8 の層構成を示す図である。基板 8 には、合成樹脂で構成された各層（絶縁膜 8 a）の表面あるいは内層に様々な形状で配線層 8 b として配線パターンが形成されている。配線パターンは、例えば銅で形成される。基板 8 に形成された配線パターンを介して、基板 8 上に搭載された電源回路 5、DRAM 20、ドライブ制御回路 4、NAND メモリ 10 同士が電氣的に接続される。また、基板の表面（第 1 層側）と裏面（第 8 層側）は、保護膜としてソルダーレジスト 8 c に覆われている。

【0014】

図 5 は、基板 8 の各層の配線密度を示す図である。ここで、基板 8 の層構造の中心線 30（図 4 も参照）よりも表面層側に形成された第 1 層から第 4 層までを上層といい、中心線 30 よりも裏面層側に形成された第 5 層から第 8 層までを下層という。

【0015】

基板 8 の各層に形成された配線層 8 b は、図 5 に示すように、信号を送受信する信号層、グラウンドや電源線となるプレーン層として機能する。そして、各層に形成された配線パターンの配線密度、すなわち、基板 8 の表面面積に対する配線層が占める割合を、図 5 に示すように構成している。

【0016】

本実施の形態では、グラウンドとして機能する第 8 層をプレーン層ではなく網状配線層とすることで、その配線密度を 30～60% に抑えている。ここで、基板 8 の上層全体での配線密度は約 60% となっている。そこで、第 8 層の配線密度を約 30% として配線パターンを形成することで、下層

全体での配線密度を約60%とすることができ、上層全体の配線密度と下層全体の配線密度とを略等しくすることができる。なお、第8層の配線密度は、約30～60%の範囲で調整することで、上層全体の配線密度と略等しくなるようにすればよい。

オ 【0021】

図9は、NANDメモリ10の隙間に充填された接着部を示す図である。図9に示すように、NANDメモリ10と基板8との隙間には、合成樹脂材料で構成された接着部31が充填されて、NANDメモリ10と基板8とを接着させている。また、接着部31は、その一部がNANDメモリ10と基板8との隙間からはみ出している。そのはみ出した部分は、基板8の長手方向に沿って並べられたNANDメモリ10同士の隙間に充填される。したがって、接着部31は、NANDメモリ10同士をその側面で接着させている。なお、接着部31は、NANDメモリ10の高さを超えない程度にはみ出しており、NANDメモリ10の表面は露出している。また、図9では、NANDメモリ10の高さの中間部程度まで接着部31を充填させているが、これより低くてもよく、隣接するNANDメモリ10同士に接着部31が接触していればよい。もちろん、図9に示す高さよりも高くなるようにNANDメモリ10間に接着部31を充填してもよい。

【0023】

図7は、比較例としての基板の各層の配線密度を示す図である。図7の比較例に示すように、従来の基板では、第8層をプレーン層とすることで、配線密度が約90%となっていた。そのため、下層の配線密度が約75%となり、上層の配線密度（約60%）との差が大きくなっている。配線密度が異なることで、基板8の上層全体に占める絶縁膜8a（合成樹脂）と配線部分（銅）との比率が、基板8の下層全体に占める合成樹脂と銅との比率と異なることとなる。これにより、基板8の上層と下層とで熱膨張係

数も異なることとなる。この熱膨張係数の違いにより、基板8の温度変化に伴って、基板8の長手方向に沿って表面層側に凸形状（図3における上に凸形状）となるような反りが発生しやすくなる。このような温度変化は、半導体装置100の製造過程で生じやすい。また、近年の半導体装置への小型化の要求により、基板8も薄型化する傾向にあり、このような反りが発生しやすくなっている。

【0024】

一方、本実施の形態では、第8層の配線密度は、約30～60%の範囲で調整し、上層全体の配線密度と下層全体の配線密度とを略等しくしているので、熱膨張係数も略等しくなる。そのため、基板8に反りが発生するのを抑制することができる。また、中心線30（図4も参照）から最も離れた第8層で配線密度を調整しているので、反りを抑制するためのモーメントをより大きく発生させることができる。

【0025】

また、基板8の第8層で配線密度を調整しているので、信号層のように配線レイアウトに制限のある層で配線密度の調整をする場合に比べて、配線設計が容易になり、コストの抑制を図ることができる。

【0028】

なお、本実施の形態では、基板8の下層全体の配線密度を調整するために、第8層の配線層を網状配線層にしているが、これに限られず、例えばライン上に配線層を形成してもよい。また、下層のうち第8層以外の層、すなわち第5層から第7層までの配線層の配線密度を調整して、下層全体としての配線密度を調整してもよい。もちろん、第5層から第8層までのすべての層で配線密度を調整して、下層全体としての配線密度を調整してもよい。

カ 【0030】

(第2の実施の形態)

図11は、第2の実施の形態にかかる半導体装置が備える基板の層構成を示す図である。本実施の形態では、基板8の第8層の外側に、9層目の層として最外層を設けている。そして、最外層の全域を銅箔で覆ってシールド層としている。このように、最外層の全域を銅箔で覆うことで、半導体装置からのノイズの漏れをより確実に防ぐことができる。なお、9層目よりも内側の層の全域を銅箔で覆ってシールド層としてもよい。

(2) 分割出願の適否について

原告は、本件特許発明1、14及び21の「第1の値が7.5%以下」及び「前記第1の平均値と前記第2の平均値はともに60%以上」並びに本件特許発明1、2、5、6、17、21及び25の「配線密度が80%以上」は、いずれも原出願当初明細書に記載されていないから、本件出願は、分割出願の要件を満たしていない不適法な分割出願であり、これと異なる本件審決の判断は誤りである旨主張するので、以下において判断する。

ア 「第1の値が7.5%以下」について

(ア) 前記(1)の記載事項によれば、原出願当初明細書には、「本発明」は、平面視において長方形形状の基板を用いる場合に、基板の反りを抑えることができる半導体装置を提供することを目的とし（【0005】）、上層（基板の層構造の中心線よりも表面層側に形成された層）全体の配線密度と下層（基板の層構造の中心線よりも裏面層側に形成された層）全体の配線密度とが略等しくなることで、基板の上層全体に占める絶縁膜（合成樹脂）と配線部分（銅）との比率が、基板の下層全体に占める合成樹脂と銅との比率と略等しくなり、上層と下層とで熱膨張係数も略等しくなるため、基板に反りが発生するのを抑制するという効果を奏すること（【0014】、【0015】、【0023】、【0024】、図5）の開示があることが認められる。

次に、原出願当初明細書には、①「基板8の各層に形成された配線層8bは、図5に示すように、信号を送受信する信号層、グランドや電源線となるプレーン層として機能」し、「各層に形成された配線パターンの配線密度、すなわち、基板8の表面面積に対する配線層が占める割合」を「図5に示すように構成している」こと（【0015】）、②「本実施の形態では、グランドとして機能する第8層をプレーン層ではなく網状配線層とすることで、その配線密度を30～60%に抑え」、「基板8の上層全体での配線密度は約60%となつて」おり、「第8層の配線密度を約30%として配線パターンを形成することで、下層全体での配線密度を約60%とすることができ、上層全体の配線密度と下層全体の配線密度とを略等しくすることができる」こと、「なお、第8層の配線密度は、約30～60%の範囲で調整することで、上層全体の配線密度と略等しくなるようにすればよい」こと（【0016】）、③「本実施の形態では、第8層の配線密度は、約30～60%の範囲で調整し、上層全体の配線密度と下層全体の配線密度とを略等しくしているため、熱膨張係数も略等しくなる」ため、「基板8に反りが発生するのを抑制することができる」こと（【0024】）の記載がある。また、図5には、「第1の実施の形態」に係る8層構造の配線層の上層の配線密度について、「1層」が「約60%」、「2層」が「約80%」、「3層」が「約50%」、「4層」が「約50%」、上層全体（「1層」ないし「4層」）で「約60%」であること、下層の配線密度について、「5層」が「約80%」、「6層」が「約50%」、「7層」が「約80%」、「8層」が「約30～60%」、下層全体（「5層」ないし「8層」）で「約60%～67.5%」であることが示されている。

そして、図5、【0016】及び【0024】の記載（上記②及び③）から、図5の「8層」の配線密度を「約30%」とした場合には下層全

体の配線密度が「約60%」（計算式 $(80+50+80+30) \div 4$ ）になり、「8層」の配線密度を「約60%」とした場合には下層全体の配線密度が「約67.5%」（計算式 $(80+50+80+60) \div 4$ ）になること、図5に示す上層全体の配線密度が「約60%」の場合、下層全体の配線密度が「約60%～67.5%」であるときは、「上層全体の配線密度と下層全体の配線密度とを略等しくしているため、熱膨張係数も略等しくなる」ため、「基板8に反りが発生するのを抑制することができる」ことを理解できる。

さらに、これらの記載事項から、図5の「8層」の配線密度を「約30%～60%」の範囲で調整すると、上層全体の配線密度の平均値（約60%）と下層全体の配線密度の平均値（約60～67.5%）の差が「約0%～7.5%」の範囲で調整され、両者の配線密度が略等しくなり、熱膨張係数も略等しくなるため、基板8に反りが発生するのを抑制することができるものと理解できる。

そうすると、原出願当初明細書には、「本発明」の「第1の実施の形態」として、配線層の上層全体の配線密度の平均値（「第1の平均値」に相当）と下層全体の配線密度の平均値（「第2の平均値」に相当）との差を「7.5%以下」とすることが記載されていることが認められるから、本件特許発明1、14及び21の「第1の値が7.5%以下」は、原出願当初明細書に記載された事項の範囲内の事項であるものと認められる。

したがって、これと同旨の本件審決の判断に誤りはない。

(イ) これに対し原告は、原出願当初明細書には、基板の反りが発生するのを抑えることができるための上層全体の配線密度と下層全体の配線密度との差が何%かについての記載はなく、また、【0016】の「なお、第8層の配線密度は、約30～60%の範囲で調整することで、上層全

体の配線密度と略等しくなるようにすればよい。」との記載は、第8層の配線密度を約30～60%の範囲で調整することを可能とすることで、上層全体の配線密度を67.5%とした場合（例えば、第3層の配線密度を80%とした場合）であっても、第8層の配線密度を60%とすると、下層全体の配線密度も67.5%となり、上層全体の配線密度と略等しくすることで、反りを防止していることを意味するものであり、上層全体の配線密度と下層全体の配線密度とに差を設けて、「第1の値が7.5%以下」とすることについての記載はないから、本件特許発明1、14及び21の「第1の値が7.5%以下」は、原出願当初明細書に記載されていない旨主張する。

しかしながら、前記(ア)認定のとおり、図5、【0016】及び【0024】から、図5に示す上層全体の配線密度が「約60%」の場合、下層全体の配線密度が「約60%～67.5%」であるときは、「上層全体の配線密度と下層全体の配線密度とを略等しくしているため、熱膨張係数も略等しくなる」ため、「基板8に反りが発生するのを抑制することができる」ことを理解できるから、原出願当初明細書には、上層全体の配線密度と下層全体の配線密度とに差を設けて、「第1の値が7.5%以下」とすることについての記載はあるものと認められる。

したがって、原告の上記主張は採用することができない。

- イ 「前記第1の平均値と前記第2の平均値はともに60%以上」について
- (ア) 前記(ア)認定のとおり、原出願当初明細書の図5には、「第1の実施の形態」に係る8層構造の配線層について、上層全体（「1層」ないし「4層」）の配線密度が「約60%」であること、下層全体（「5層」ないし「8層」）の配線密度が「約60%～67.5%」であることが示されており、上層全体の配線密度は「第1の平均値」に、下層全体の配線密度は「第2の平均値」に相当するから、図5には、「前記第

1の平均値と前記第2の平均値はともに60%以上」の構成が「第1の実施の形態」として記載されていることを理解できる。

加えて、原出願当初明細書には、「以下に添付図面を参照して、本発明の実施の形態にかかる半導体装置を詳細に説明する。なお、これらの実施の形態により本発明が限定されるものではない。」（【0008】）との記載があること、「本発明」は、平面視において長方形形状の基板を用いる場合に、基板の反りを抑えることができる半導体装置を提供することを目的とし（【0005】）、上層全体の配線密度と下層全体の配線密度とが略等しくなることで、基板の上層全体に占める絶縁膜（合成樹脂）と配線部分（銅）との比率が、基板の下層全体に占める合成樹脂と銅との比率と略等しくなり、上層と下層とで熱膨張係数も略等しくなるため、基板に反りが発生するのを抑制するという効果を奏すること（【0014】、【0015】、【0023】、【0024】、図5）の開示があること（前記ア(ア)）からすると、原出願当初明細書には、配線層の上層全体の配線密度と下層全体の配線密度とが略等しくなることで、基板に反りが発生するのを抑制するという効果を奏するものであれば、図5に示した第1の実施の形態以外の「前記第1の平均値と前記第2の平均値はともに60%以上」の構成のものも、「本発明」の実施の形態に含まれることの開示があるものと認められる。

そうすると、本件特許発明1、14及び21の「前記第1の平均値と前記第2の平均値はともに60%以上」は、原出願当初明細書に記載された事項の範囲内の事項であるものと認められる。

したがって、これと同旨の本件審決の判断に誤りはない。

(イ) これに対し原告は、「前記第1の平均値と前記第2の平均値はともに60%以上」は、最高値の制限がないから、「60%～100%」を示すものであるが、原出願当初明細書には、配線密度の平均値が「67.

5%以上」である構成についての記載はなく、また、仮にすべての配線層の配線密度を100%とした場合は、全面が導通面となっていることから、信号層あるいは配線層に配線を施すことができないこととなるから、本件特許発明1、14及び21の「前記第1の平均値と前記第2の平均値はともに60%以上」は、原出願当初明細書に記載されていない旨主張する。

しかしながら、前記(ア)認定のとおり、原出願当初明細書には、配線層の上層全体の配線密度と下層全体の配線密度とが略等しくなることで、基板に反りが発生するのを抑制するという効果を奏するものであれば、図5に示した第1の実施の形態（「第1の平均値」が「約60%」、第2の平均値」が「約60%～67.5%」）以外の「前記第1の平均値と前記第2の平均値はともに60%以上」の構成のものも、「本発明」の実施の形態に含まれることの開示があるものと認められる。

また、本件特許発明1、14及び21の「半導体装置」が機能するためには、「第1の主面に設けられる第1の配線層」と「第1の主面とは反対側を向いた第2の主面に設けられた第2の配線層」のうち、少なくともいずれかの配線層においては、搭載された不揮発性半導体メモリに対する信号の送受信のための配線パターンが形成されていることを要するから、すべての配線層の配線密度が100%である構成のもの（「前記第1の平均値と前記第2の平均値はともに100%」）は、「前記第1の平均値と前記第2の平均値はともに60%以上」の構成から除外されているものと理解できる。

したがって、原告の上記主張は採用することができない。

ウ 「配線密度が80%以上」について

(ア) 原出願当初明細書の図5には、「第1の実施の形態」に係る8層構造の配線層の配線密度について、「2層」（「プレーン層（GND）」）

「5層」（「プレーン層（電源）」）及び「7層」（「プレーン層（GND）」）がいずれも「約80%」であることが示されている。

また、原出願当初明細書の【0030】には、「第2の実施の形態」に係る9層構造の配線層の配線密度について、「本実施の形態では、基板8の第8層の外側に、9層目の層として最外層を設けている。そして、最外層の全域を銅箔で覆ってシールド層としている。このように、最外層の全域を銅箔で覆うことで、半導体装置からのノイズの漏れをより確実に防ぐことができる。なお、9層目よりも内側の層の全域を銅箔で覆ってシールド層としてもよい。」との記載があり、上記記載は、図11に示す9層構造の最外層の「9層目」よりも「内側の層」について、その全域を銅箔で覆って（配線密度100%）の「シールド層」としてもよいことを開示するものである。

加えて、原出願当初明細書の【0008】の記載のほか、原出願当初明細書には、「本発明」は、平面視において長方形形状の基板を用いる場合に、基板の反りを抑えることができる半導体装置を提供することを目的とし（【0005】）、上層全体の配線密度と下層全体の配線密度とが略等しくなることで、基板の上層全体に占める絶縁膜（合成樹脂）と配線部分（銅）との比率が、基板の下層全体に占める合成樹脂と銅との比率と略等しくなり、上層と下層とで熱膨張係数も略等しくなるため、基板に反りが発生するのを抑制するという効果を奏すること（【0014】、【0015】、【0023】、【0024】、図5）の開示があること（前記ア(ア)）からすると、原出願当初明細書には、配線層の上層全体の配線密度と下層全体の配線密度とが略等しくなることで、基板に反りが発生するのを抑制するという効果を奏するものであれば、図5に示した第1の実施の形態以外の「配線密度が80%以上」の構成のものも、「本発明」の実施の形態に含まれることの開示があるものと認め

られる。

そうすると、本件特許発明 1, 2, 5, 6, 17, 21 及び 25 の「配線密度が 80%以上」は、原出願当初明細書に記載された事項の範囲内の事項であるものと認められる。

(イ) これに対し原告は、原出願当初明細書の図 5 には、配線層について、80%の配線密度の記載はあるが（2層、5層及び7層）、「80%以上」の配線密度の記載はないし、また、【0030】及び図 11 には、半導体装置からのノイズの漏れを防止するために最外層にシールド層を設けていることの記載があるが、このシールド層は、配線層とは異なるものであるから、本件特許発明 1, 2, 5, 6, 17, 21 及び 25 の「配線密度が 80%以上」は、原出願当初明細書に記載されていない旨主張する。

しかしながら、前記(ア)認定のとおり、原出願当初明細書には、配線層の上層全体の配線密度と下層全体の配線密度とが略等しくなることで、基板に反りが発生するのを抑制するという効果を奏するものであれば、図 5 に示した第 1 の実施の形態（「2層」、「5層」及び「7層」が「約 80%」）以外の「配線密度が 80%以上」の構成のものも、「本発明」の実施の形態に含まれることの開示があるものと認められる。

また、前記(ア)認定のとおり、原出願当初明細書の【0030】には、図 11 に示す 9 層構造の最外層の「9層目」よりも「内側の層」についてその全域を銅箔で覆って（配線密度 100%）の「シールド層」としてもよいことの開示がある。

したがって、原告の上記主張は採用することができない。

エ まとめ

以上のとおり、本件特許発明 1, 14 及び 21 の「第 1 の値が 7.5%以下」及び「前記第 1 の平均値と前記第 2 の平均値はともに 60%以上」

並びに本件特許発明 1, 2, 5, 6, 17, 21 及び 25 の「配線密度が 80%以上」は、いずれも原出願当初明細書に記載されているから、本件出願は、適法な分割出願であって、本件出願の出願日は、原出願日に遡及するものと認められる。

これと異なる原告の前記主張は理由がない。

(3) 小括

以上によれば、本件出願が分割出願の要件を満たしていない不適法な分割出願であることを前提に、本件特許発明 1 ないし 31 は、本件出願前に頒布された刊行物である原出願の公開特許公報（甲 65）に記載された発明と同一の発明であるから、新規性を欠如する旨の原告主張の取消事由 2 は、その前提を欠くものであり、理由がない。

3 取消事由 3（サポート要件の判断の誤り）について

原告は、本件特許発明 1 ないし 31 の配線密度に関わる数値（「第 1 の値が 7.5%以下」、「前記第 1 の平均値と前記第 2 の平均値はともに 60%以上」及び「配線密度が 80%以上」）は、本件明細書に記載されていないから、本件審決が、上記数値は原出願当初明細書と同様に本件明細書にも記載されているとして、本件特許発明 1 ないし 31 はサポート要件に適合する旨判断したのは誤りである旨主張する。

しかしながら、前記 2 で説示したとおり、本件特許発明 1 ないし 31 の配線密度に関わる上記数値は、いずれも原出願当初明細書に記載された事項の範囲内の事項であり、また、本件明細書においても、原出願当初明細書と同内容の記載があること（前記 1）が認められるから、本件特許発明 1 ないし 31 は、サポート要件に適合するものと認められる。

したがって、これと同旨の本件審決の判断に誤りはなく、原告主張の取消事由 3 は理由がない。

4 取消事由 4（新規性・進歩性に関する判断遺脱）について

(1) 本件無効審判の経過について

前記第2の1の事実と証拠（甲1ないし29，44，45，52，54，57ないし61（枝番号を含む。））及び弁論の全趣旨によれば，以下の事実が認められる。

ア 原告は，平成28年10月20日，本件特許について本件無効審判を請求し，証拠として，甲1ないし10（枝番号を含む。）を提出した。原告が提出した同月19日付け審判請求書（甲44）の「請求の理由」には，以下の記載がある。

「2 無効審判請求の根拠

（4）無効理由4（甲第1号証を理由とする新規性・進歩性の欠如）

本件特許の請求項1～31に係る発明は，甲第1号証に記載された発明と同一であって特許法第29条第1項第3号の規定により特許を受けることができないものであるか，甲第1号証に記載された発明に基づいて出願前に当業者が容易に発明をすることができたものであって特許法第29条第2項の規定により特許を受けることができないものであるから，その特許は同法第123条第1項第2号に該当し，無効とすべきである。」（3頁5行，3頁24行～4頁3行）

「4 引用発明の説明

（1）甲1発明

甲1発明は，トランセンド・インフォメーション・インコーポレイテッド社製のソリッドステートドライブ（以下，「SSD」という。）製品名「TSXXGSSD25S-M」におけるプリントサーキットボード（以下「PCB」という。）29-7970である。製品名中「XX」には，16/32/64/128/256/512が入り，それぞれ16GB/32GB/64GB/128GB/256GB/512GBの記憶容量を意味する。

TSXXGSSD25S-Mの外観は、およそ横100mm、縦70mm、厚さ7mmの筐体に備えられ、筐体表面には、「Transcend」と印字されている（写真1（A））。

製品系列としてのTSXXGSSD25S-Mは2007年にリリースを開始したが、同製品にPCB29-7970が使われ始めたのは2010年7月からである。

TS128GSSD25S-Mは、トランセンド社の2010年製品カタログ（甲1-3）の21頁に掲載されている。TS256GSSD25S-Mは、価格.comに発売日を2010年7月21日として掲載されている（甲1-4）。TS512GSSD25S-Mは、Amazon.co.jpに2010年12月10日から取扱いを開始した旨掲載されており（甲1-5）、価格.com（甲1-6）及びNews2U（甲1-7）に、新製品ニュースとして2010年9月10日に掲載されている。したがって、甲1発明（PCB29-7970）は、本件特許の原出願日より前に、一般に発売されていたものである。

なお、甲1発明は、被請求人が請求人に対して提起した判定請求（判定2016-600009）におけるイ号製品（TS512GSSD370において使用されている29-5000 V1.1 VIC 3C）の旧型製品である。

PCB29-7970は、その両面にそれぞれ8個ずつ合計16個の不揮発性メモリが搭載されており、略長方形形状であることが分かる（写真1（B）（C））。

写真1（B）に示される面がTOP面で、写真1（C）に示される面が、BOTTOM面である。

TOP面には基板種類（29-7970）が銅箔パターンにより表示されており、また、バージョン番号（VER1.0）が印刷されている

(写真1 (E))。

PCB29-7970の製造日付は、BOTTOM面に「1034」と印刷されており、その意味は2010年34週(すなわち8月)に製造された物である。…

甲第1号証-1は、PCB29-7970の配線密度を解析した「製品解析報告書」である。

製品解析報告書(甲1-1) Fig. 2 基板X-Rayから、PCB29-7970は6層から成ることがわかり、中心部が絶縁層であることが分かる。また、各層の配線密度を表1に示す。TOP面(写真1 (B))に位置する層がTOP層であり、BOTTOM面(写真1 (C))に位置する層がBOT層である。

		外層	内層				外層
甲1	配線密度(%)	TOP	L2	L3	L4	L5	BOT
		68.5	90.8	70.3	79.8	86.1	68.7

表1 PCB29-7970の配線密度

解析作業を行った者は、被請求人が提起した判定2016-600009において解析作業を行った株式会社エルテックであり、配線密度の測定方法も該判定と同様である(甲1-2)。(19頁23行~22頁3行)

「8 無効理由4(新規性・進歩性の欠如)

甲第1号証(トランセンド社製「TSXXGSSD25S-M」におけるPCB29-7970)で示される先行実施された甲1発明を主引例として、本件発明の新規性・進歩性の欠如について、以下に説明する。」

(30頁27行~31頁3行)

イ 東芝は、平成29年1月6日付け答弁書(甲45)をもって、「甲第1号証-1ないし甲第1号証-7」によっても、PCB29-7970を備

えるSSDの販売時期が平成22年（2010年）7月からであることは立証されないから、甲1発明が本件特許の原出願日より前に公然知られた発明であることは立証されていない旨（19頁から32頁）を主張した。

ウ 特許庁は、平成29年6月9日付けの審理事項通知書（甲52）をもって、請求人（原告）に対し、同年9月7日の口頭審理の審理事項を通知した。同審理事項通知書には、以下の記載がある。

「1. 請求人は、特に以下の点について、口頭審理陳述要領書を作成し、提出してください。

（1）甲第1号証のPCB29-7970（甲1発明）について

請求人は、「PCB29-7970」は「TSXXGSSD25S-M」という製品名のSSDにおけるPCBであると主張していますが、審判請求書及び各甲号証を参照しても、2010年7月の「TSXXGSSD25S-M」に「PCB29-7970」が使用されていた具体的な証拠がありません。つまり、審判請求書および甲第1号証には、「TSXXGSSD25S-M」自体がいつ販売されたか（審判請求書第20頁、甲第1号証-3ないし7）、「PCB29-7970」自体の内部構造解析（審判請求書第31頁ないし第57頁、甲第1号証-1ないし2）についての証拠及び主張しか見当たらず、当時の「TSXXGSSD25S-M」内に甲第1号証-1および甲第1号証-2で解析した「PCB29-7970」が組み込まれていた事実（両者を結び付ける具体的な事実）を証明するものは何ともありません。この点について、意見があれば主張してください。」（1頁～2頁）

エ 原告は、平成29年8月25日、同月24日付け口頭審理陳述要領書（甲54）を提出し、証拠として、甲11ないし27（枝番号を含む。）を提出した。

同口頭審理陳述要領書には、①原告は、PCB29-7970（甲1発

明) が搭載されたTSXXGSSD25S-Mが本件特許の原出願日(2011年3月16日)より前に一般市場において発売されていたことを、甲11及び16ないし18(枝番号を含む。)により立証する、②甲11は、シリアルナンバー「411303-0009」が付された「TS256GSSD25S-M」(以下「甲11製品」という。)及び甲11製品に関連する書類に関する事実実験公正証書であり、甲11製品にはPCB29-7970(甲1発明)が用いられており(甲11の写真34)、同製品は、2011年(平成23年)年3月11日に、航空貨物便で、ロシアの「3R Memory」へ出荷され(甲11の別紙3)、同月12日にロシアに到着していたと推認できるから、甲11製品に搭載されたPCB29-7970(甲1発明)は、本件特許の原出願日より前に、不特定多数により当該発明の内容を知り得る状況となったものであり、同発明は上記原出願日前に公然実施された発明に該当する、③甲16は、コントローラとして、JMF612を使用したTS256GSSD25S-MとJMF616を使用したTS256GSSD25S-Mとを比較した2011年(平成23年)3月14日付けのインターネット上の記事であり、JMF612を使用したTS256GSSD25S-M(以下「甲17製品」という。)のシリアルナンバーは「347811-0005」、JMF616を使用したTS256GSSD25S-M(以下「甲18製品」という。)のシリアルナンバーは「397069-0006」であり、いずれもPCB29-7970が使用され(甲16の5頁ないし7頁の拡大写真)、甲17製品は2010年(平成22年)8月4日に、甲18製品は2011年(平成23年)1月6日に、いずれもオランダの「Transcend Information Europe B.V.」(以下「トランセンド・ヨーロッパ」という。)へ出荷されたものである(甲17、18)旨の記載がある。

オ 旧東芝メモリは、平成29年9月5日付け上申書（甲57）を提出した。

同上申書には、①審理事項通知書（甲52）に記載されているように、請求人（原告）が立証しなければならない事実は、2010年（平成22年）7月当時の「TSXXGSSD25S-M」と「甲1-1及び1-2」で解析した「PCB29-7970」を結び付ける具体的な事実でなければならないところ、請求人が新たに提出した証拠（甲11～19）は、いずれも「甲1-1及び1-2」で解析した「PCB29-7970」を対象としたものではないから、請求人は、これらの証拠を間接証拠として用い、2010年7月当時の「TSXXGSSD25S-M」と「甲1-1及び1-2」で解析した「PCB29-7970」とを結び付ける具体的な事実を間接的に立証しようとしているものと推測される（なお、請求人が、甲11及び16ないし18のSSDが公然実施品であることを主張・立証する場合には、当該主張は、請求理由の要旨変更該当するから、認められるべきではない。）、②しかし、甲11製品を載せたとされる飛行機がロシアのシェレメチェボ国際空港に到着したのは、2011年（平成23年）3月13日12時29分であり（甲40・審判乙10）、輸入貨物は、保税倉庫に保管され、通関手続を経てから目的地に発送されるため、目的地に到着するまでに相応の時間がかかり、とりわけロシアではかなりの時間がかかること（甲41・審判乙11）からすると、甲11製品が本件特許の原出願日より前に「3R Memory」のもとに到着し、当該発明（甲1発明）の内容を知り得る状態となっていたかどうかは不明である、③甲16の5頁の拡大写真を見ても、シリアルナンバーを一義的に読み取ることはできないから、甲16の記事に掲載されている製品が甲17製品及び甲18製品であるとは認められない旨の記載がある。

カ 特許庁は、平成29年9月7日、第1回口頭審理を行い、甲1ないし27（枝番号を含む。）の取調べを行った（甲58）。

同口頭審理において、請求人（原告）は、①甲 1 1 製品がロシアの通関を通った日や、発注先である「3R Memory」が同製品を受領した日は不明である、②甲 1 6 の 6 頁及び 7 頁の拡大写真に写っている基板は、素子やパターン配置が同じであることから、PCB 29-7970 であると強く推認される、③甲 1 6 の記事は、甲 1 7 及び 1 8 で示される SSD（甲 1 7 製品及び甲 1 8 製品）をテストしたものであり、テスト後に当該 SSD を返品したものと推認される旨を主張した。

これに対し、被請求人（旧東芝メモリ）は、甲 1 6 の 5 頁（SSD の筐体の写真）と 6 頁ないし 7 頁（PCB の一部の写真）から、6 頁及び 7 頁に写っている PCB が 5 頁の SSD のものであるか分からず、当該 PCB が PCB 29-7970 であるかどうか分からない旨を主張した。

審判長は、被請求人から同月 5 日に送付された上申書（甲 5 7）は、口頭審理までに十分検討する時間がないので受領しない旨を述べた上、請求人及び被請求人に対し、別途上申書の提出を認める旨を述べた。

キ 被請求人（旧東芝メモリ）は、平成 29 年 9 月 14 日、同月 13 日付け上申書（甲 5 9）を提出した。

同上申書には、同月 5 日付け上申書（甲 5 7）と同様の内容のほか、仮に甲 1 6 の 5 頁の拡大写真の製品が測定のために貸し出されたのであれば、測定以外の目的に使用しない旨の契約が締結されることが通常であるから、これにより同製品に使用されている PCB の構造が秘密状態を脱したことはない旨の記載がある。

ク 原告は、平成 29 年 10 月 2 日、同年 9 月 29 日付け上申書（甲 6 0）を提出し、証拠として、甲 1 2 ないし 1 5 の各 4、甲 2 8 及び 2 9 の 1 ないし 4 を提出した。

同上申書には、①甲 1 1 製品について、被請求人が、目的地に到着するまでにかかりの時間がかかる根拠とする証拠（甲 4 1・審判乙 1 1）は、

一個人の個人的な経験の記録であり、請求人は、普通の郵便サービスを利用せず、専門の航空貨物取扱業者しか利用しないから、上記証拠は被請求人の主張の根拠とならない、②甲17製品及び甲18製品は、販売目的で輸出された商品群の一部であり、トランセンド・ヨーロッパに販売されたものであるから、出荷先に到着した時点で秘密状態を脱したことになる、③甲16の記事の筆者が、甲17製品及び甲18製品を入手した経緯については、トランセンド・ヨーロッパ等から貸し出された記録が見つからないこと、原告が記事の掲載元に対して行った照会に反応がないことから、甲16の記事の筆者が店頭で購入して解析後に返品したか、現地の販売店から貸出しを受けて解析後に返品したかであると推認される、④原告が更に調査したところ、PCB29-7970の搭載されたTS256GSSD25S-Mがトランセンド・ヨーロッパにより貸し出された記録及び2010年（平成22年）11月26日付けのTS32GSSD25S-M及びTS256GSSD25S-Mのインターネット上の解析記事（甲28）が見つかった、上記解析記事には、「トランセンド社」からレビュー用にこれらの製品の提供を受けた旨が記載されている、甲28の4頁の写真から、TS256GSSD25S-Mのシリアルナンバーが「358462-0003」であることが分かる、上記シリアルナンバーのTS256GSSD25S-M（以下「甲28製品」という。）は、同年8月20日に原告からトランセンド・ヨーロッパに販売され、同年9月8日にトランセンド・ヨーロッパから「MM_MyCE_NL」へ貸し出されたものであり（甲29の2, 3）、トランセンド・ヨーロッパに到着した時点で秘密状態を脱したことになる旨が記載されている。

ケ 被請求人（旧東芝メモリ）は、平成29年10月10日、同月6日付け上申書（甲61）を提出した。同上申書には、請求人代理人は、同年9月7日の口頭審理において、合議体から、「上申書において新たな証拠の提

出はないか」との確認を受けた際に、「ない」と回答したにもかかわらず、請求人の同月29日付け上申書には新たな証拠が添付され、当該証拠に基づいて従前の主張の補強及び新たな主張がされており、これは、合議体の審判指揮に明確に反している旨の記載がある。

コ 特許庁は、平成29年11月27日、「本件審判の請求は、成り立たない。」との本件審決をした。

本件審決は、「PCB29-7970」に係る発明を主引用例とする新規性欠如及び進歩性欠如の無効理由について、次のような判断をした。①甲1の1, 2の製品解析報告書には、PCB基板の表面、裏面、各内層及び配線密度を算出するための画像がそれぞれ写真掲載されているだけで、当該PCB基板がどのような製品に組み込まれていたかは記載がなく不明であり、甲1の3ないし7は、製品TSXXGSSD25S-M（XXには、製品の記憶容量GBを示す数値が入る。）が本件特許の原出願日である2011年（平成23年）3月16日より前に一般に発売されていたことを示したものであるが、当該製品に使用されたPCB基板を示すものではない、②請求人（原告）は、平成29年8月24日付け口頭審理陳述要領書（甲54）、同年9月29日付け上申書（甲60）において、新たな証拠（甲11ないし甲29の4。特に、甲11の製品、甲16の製品。）を提示し、「PCB29-7970が搭載されたTSXXGSSD25S-Mが、本件特許の原出願日より前に一般市場において発売されていたことを立証」する主張をするが、仮にそれが立証できたとしても、本件特許の原出願日前の「製品TSXXGSSD25S-M全てに、必ずPCB29-7970が使用されていた」事実はないから、PCB29-7970が搭載されたTSXXGSSD25S-Mをいくつか示しただけで、甲1の1, 2で解析された「PCB29-7970」が本件特許の原出願日前の製品に搭載されていたとは立証できず、甲1の1, 2で解析されたPC

B 2 9 - 7 9 7 0 を搭載された製品がどれであるかも不明のままである、
③甲 1 の 1 の基板の B o t t o m 面に「1 0 3 4」と印刷されていることから、2 0 1 0 年（平成 2 2 年）3 4 週（8 月）に製造されたとの請求人（原告）の主張を認めたとしても、それが製品（S S D）に搭載されて本件特許の原出願日より前に販売されていたとする証拠はない、④平成 2 9 年 9 月 7 日に証拠調べを行った甲 1 1 について予備的に検討をすると、甲 1 1 製品は、P C B 2 9 - 7 9 7 0 を備えた T S 2 5 6 G S S D 2 5 S - M であって、2 0 1 1 年（平成 2 3 年）3 月 1 3 日にロシアのシェレメチェボ国際空港に到着したものと認められるが、甲 1 1 製品が、ロシアの通関を通った日、3 R M e m o o r y に届いた日は不明であり、また、ロシアにおいて、商品が空港に到着してから、通関を経た後に届け先に到着するのが、通常 1 ～ 2 日間で行われる立証もないので、甲 1 1 製品は、本件特許の原出願日前に公然実施されていたものとは認められないとして、甲 1 の 1、2 の P C B 基板が本件特許の原出願日より前に公然実施されていたことは認められないから、「P C B 2 9 - 7 9 7 0」に係る発明を主引用例とする本件特許発明 1 ないし 3 1 の新規性欠如及び進歩性欠如の無効理由は採用することができない。

(2) 判断遺脱の有無について

ア 前記(1)の認定事実によれば、原告が提出した平成 2 8 年 1 0 月 1 9 日付け審判請求書（甲 4 4）には、「無効審判請求の根拠」の「(4) 無効理由 4」として、本件特許発明 1 ないし 3 1 は甲 1 に記載された発明と同一であって特許法 2 9 条 1 項 3 号により特許を受けることができないものであるか、同発明に基づいて当業者が容易に発明をすることができたものであって同条 2 項により特許を受けることができない旨の記載がある一方で、「8 無効理由 4」として、甲 1 で示される「先行実施された甲 1 発明」を主引用例とする本件特許発明 1 ないし 3 1 の「新規性・進歩性の欠如」

を主張する旨の記載があること（前記(1)ア），その後原告が提出した平成29年8月24日付け口頭審理陳述要領書（甲54）において、「PCB29-7970（甲1発明）」は本件特許の原出願日前に公然実施された発明に該当する旨の記載があること（前記(1)エ）に鑑みると，原告が上記審判請求書において主張した「無効理由4」は，公然実施発明（特許法29条1項2号）を主引用例とする本件特許発明1ないし31の新規性の欠如又は進歩性の欠如を主張したものと認められる。

そして，上記審判請求書には，「引用発明の説明」（前記(1)ア）として，①「甲1発明」は，原告が製造した製品名「TSXXGSSD25S-M」（「XX」には，16/32/64/128/256/512が入り，それぞれ16GB/32GB/64GB/128GB/256GB/512GBの記憶容量を意味する。）のSSDに搭載された型番「29-7970」のPCB基板である，②TSXXGSSD25S-M製品に「PCB29-7970」が使われ始めたのは2010年（平成22年）7月からである，③TS128GSSD25S-M，TS256GSSD25S-M，TS512GSSD25S-Mは，2010年製品カタログ（甲1の3），価格.com（甲1の4，1の6），Amazon.co.jp（甲1の5），News2U（甲1の7）に掲載されていることからすると，甲1発明（PCB29-7970）は本件特許の原出願日前に一般に発売されていたものである，④PCB29-7970の製造日付は，BOTTOM面に「1034」と印刷されており，その意味は2010年34週（すなわち8月）に製造された物であり，バージョン番号は「VER1.0」である，⑤甲1の1は，PCB29-7970の配線密度を解析した「製品解析報告書」であり，解析作業を行った者は，被請求人が提起した判定2016-600009において解析作業を行った株式会社エルテックであり，配線密度の測定方法も該判定と同様である（甲1の2）旨の記載が

ある。上記審判請求書で引用した「甲1の1」ないし「甲1の7」は、上記審判請求書とともに証拠として提出されたものである。

加えて、原告は、上記口頭審理陳述要領書とともに甲11ないし27（枝番号を含む。）を証拠として提出し、さらに、平成29年9月29日付上申書（甲60）とともに甲12ないし15の各4、甲28及び29の1ないし4を証拠として提出した上で、甲11製品、甲17製品、甲18製品及び甲28製品が本件特許の原出願日前に公然実施されていた旨を主張したこと（前記(1)エ、ク）を総合すると、原告は、上記審判請求書において、「無効理由4」として、甲1の1（製品解析報告書）及び甲1の2（製品解析報告書（配線密度算出手法））で解析されたPCB基板の構造と同一仕様のPCB基板「PCB29-7970」を搭載した製品名「TSXXGSSD25S-M」のSSDが本件特許の原出願日前に販売されたことにより実施された「PCB29-7970」に係る発明が公然実施発明に当たり、かかる公然実施発明を主引用例とする本件特許発明1ないし31の新規性の欠如又は進歩性の欠如の無効理由を主張したものと認めるのが相当である。

これに反する被告の主張は採用することができない。

イ そこで、原告が主張した前記アの「無効理由4」に関し、本件審決に判断の遺脱があるかどうかについて検討する。

前記(1)コ認定の本件審決の判示事項によれば、本件審決は、請求人（原告）が審判請求書（甲44）とともに提出した甲1の1ないし1の7、平成29年8月24日付口頭審理陳述要領書（甲54）及び同年9月29日付上申書（甲60）とともに提出した「新たな証拠（甲11ないし甲29の4。特に、甲11の製品、甲16の製品。）」によっても、PCB29-7970が搭載されたTSXXGSSD25S-Mが、本件特許の原出願日より前に一般市場において発売されていたことが立証されておら

ず、仮にそれが立証できたとしても、甲1の1、2で解析された「PCB 29-7970」がTSXXGSSD 25S-Mに搭載されていたとは立証できないとして、甲1の1、2のPCB基板が本件特許の原出願日前に公然実施されていたことは認められないから、「PCB 29-7970」に係る発明を主引用例とする新規性欠如及び進歩性欠如の無効理由を採用することができない旨判断し、さらに、甲11について予備的に検討し、甲11製品は、本件特許の原出願日前に公然実施されていたものとは認められない旨判断したものと認められる。

本件審決の上記判断は、原告が本件無効審判において提出した証拠（甲1の1ないし1の7、甲11ないし29の4）によっても、甲1の1、2で解析されたPCB基板の構造と同一の仕様の「PCB 29-7970」を搭載した製品名「TSXXGSSD 25S-M」のSSDが本件特許の原出願日前に一般市場において販売されたことが立証されていないため、「PCB 29-7970」に係る発明は公然実施発明に当たるものとは認められず、「PCB 29-7970」に係る発明を主引用例とする新規性欠如及び進歩性欠如の無効理由は採用することができない旨を判断したものと見えるから、原告主張の「無効理由4」に関し、本件審決の判断に遺脱はないものと認められる。

ウ さらに進んで、本件審決における原告主張の「無効理由4」の判断に誤りがないかどうかについて検討する。

(ア) 甲1の3ないし1の7

甲1の3ないし1の7は、本件審決が判断するように、「TSXXGSSD 25S-M」が本件特許の原出願日前に一般に発売されていたことを示したものであるが、当該製品に甲1の1、2で解析されたPCB基板の構造と同一の仕様の「PCB 29-7970」を搭載された事実を示すものではない。

(イ) 甲11

証拠(甲11, 40)によれば, 原告からロシアの「3R Memory」社に販売された甲11製品が, 2011年(平成23年)3月11日に原告から出荷され, 同月13日12時59分に, 甲11製品を載せた飛行機がロシアのシェレメチェボ国際空港に到着したことが認められるものの, 甲11製品が「3R Memory」に到着した具体的な日時を裏付ける客観的な証拠はない。

一方で, 乙1の1及び2(日本貿易振興機構「【ロシア】通関制度の一層の改善を求めて」2013年(平成25年)7月発行)には, 2012年(平成24年)において, ロシアでビジネスを展開する日系企業や外資系企業から, ロシアでは通関に時間がかかるなどの問題が指摘されていたこと, 同年におけるロシアの「輸入手続きにかかる期間」は「96時間」(4日)であること(表)の記載があることに照らすと, 甲11製品を載せた飛行機がロシアの空港に到着した3日後である本件特許の原出願日(平成23年3月16日)前に, 甲11製品が「3R Memory」に到着したものと認めることはできない。

(ウ) 甲16ないし18

甲17製品及び甲18製品に関し, 甲16の1頁中央の写真(甲16の5頁の拡大写真と同じ。)に示されている2つの製品のシリアルナンバー(S/N)は, 写真が不鮮明であるため正確に読み取ることができないから, 甲16に写真が掲載された「SSD」が甲17製品及び甲18製品であると認めることはできない。

また, 仮に上記写真に示されている2つの製品のシリアルナンバーが, 原告の主張するとおり甲17製品及び甲18製品の番号であるとしても, これらの製品は, 原告の100%子会社であるトランセンド・ヨーロッパ(乙2の1ないし2の3)に出荷されたものであるところ(甲17の

2, 3, 18の2, 3), トランセンド・ヨーロッパは, 親会社である原告が製造した製品の基板を分解して, その内部構造を分析しないと判明しない各層の配線密度等の情報について, 原告に対して守秘義務を負っているものと推認されるから, これらの製品がトランセンド・ヨーロッパに到達した時点では, これらの製品により実施された発明が公然実施されたものと認めることはできない。

さらに, 甲17製品及び甲18製品は, いずれも2011年(平成23年)3月15日に不良品として原告に返品されているところ(甲17の2, 18の2), 一般の顧客が, 店頭で購入した製品を自ら解析した後に, 不良品として製造元に返品することや, 販売店が, 一般の顧客に対し, 製品を解析する目的で当該製品を貸し出した後に, 顧客から返却された解析済みの製品を不良品として製造元に返品することは, 社会通念上考え難いことから, 甲16の記事の筆者は, 解析記事を作成して新商品を紹介するなどの目的で, トランセンド・ヨーロッパから甲17製品及び甲18製品の貸出を受けたものと推認され, 他の目的で当該製品を分解等することが許されていたものとは認め難い。

したがって, 甲16の記事の筆者が甲17製品及び甲18製品を入手したからといって, これらの製品が本件特許の原出願日(平成23年3月16日)前に一般市場において販売されていたものと認めることはできず, これらの製品により実施された発明が公然実施されたものと認めることはできない。

(エ) 甲28及び29の1ないし4

甲28製品は, 2010年(平成22年)8月20日に原告からトランセンド・ヨーロッパに販売され(甲29の2), 同年9月8日に同社から甲28の記事の筆者(MM_MyCE_NL)に広告宣伝活動用に貸し出され(甲29の3の2), 同年10月26日付けで, 上記筆者に

よる同製品の解析記事がインターネット上で公開され、2011年（平成23年）4月21日に不良品として原告に返品されていること（甲29の2）が認められる。

しかしながら、前記(ウ)と同様の理由により、甲28製品がトランセンド・ヨーロッパに到着したこと及び同社から甲28の記事の筆者に広告宣伝活動用に貸し出されたことをもって、同製品により実施された発明が本件特許の原出願日（平成23年3月16日）前に公然実施されたものと認めることはできない。

(オ) まとめ

以上のとおり、請求人（原告）が本件無効審判で提出した証拠から、甲1の1，2で解析されたPCB基板の構造と同一の仕様の「PCB29-7970」を搭載した製品名「TSXXGSSD25S-M」のSSDが本件特許の原出願日前に一般市場において販売されたことを認めることはできないから、「PCB29-7970」に係る発明は公然実施発明に当たるものとは認められない。

したがって、「PCB29-7970」に係る発明を主引用例とする新規性欠如及び進歩性欠如の無効理由は採用することができないとした本件審決の判断は、結論において誤りはない。

(3) 原告の主張について

原告は、本件無効審判の審判請求書において、型番「29-7970」のPCB基板により実施された発明が公然実施発明に当たり、かかる公然実施発明を主引用例とする本件特許発明1ないし31の新規性の欠如又は進歩性の欠如の無効理由を主張し、上記事実を推認させる証拠として、甲1の3ないし甲1の7、甲11、甲16ないし18を提出したにもかかわらず、本件審決は、甲1の1，2で解析された特定のPCB基板「PCB29-7970」が搭載されたTSXXGSSD25S-M製品の販売に係る発明の公然

実施発明該当性についてのみ判断し，原告が主張した上記公然実施発明を主引用例とする新規性の欠如又は進歩性の欠如の無効理由については，何らの判断を示さなかったから，本件審決には，判断の遺脱がある旨主張する。

しかしながら，前記(2)イのとおり，本件審決には，原告主張の無効理由についての判断の遺脱はなく，また，前記(2)ウのとおり，本件審決の判断は結論において誤りはない。

したがって，原告の上記主張は理由がない。

(4) 小括

以上によれば，原告主張の取消事由4は理由がない。

5 結論

以上のとおり，原告主張の取消事由はいずれも理由がなく，本件審決にこれを取り消すべき違法は認められない。

したがって，原告の請求は棄却されるべきものである。

知的財産高等裁判所第4部

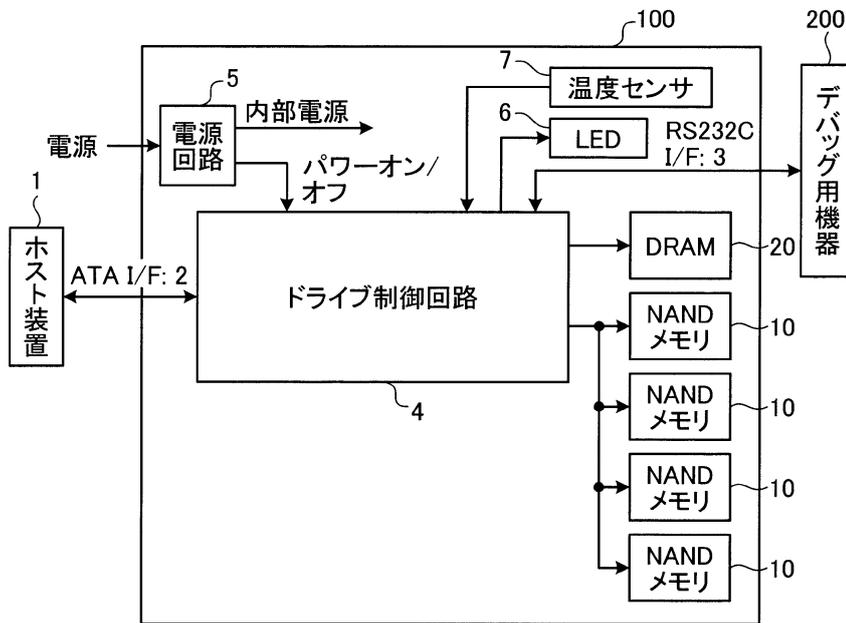
裁判長裁判官 大 鷹 一 郎

裁判官 古 河 謙 一

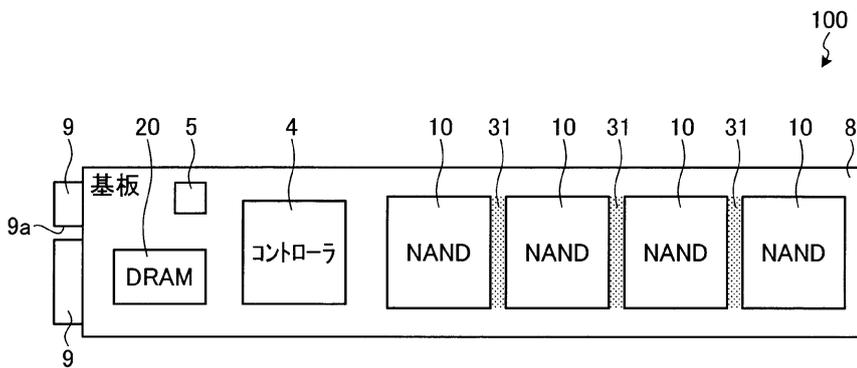
裁判官 山 門 優

(別紙1)

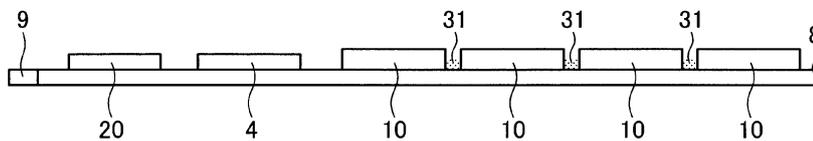
【図1】



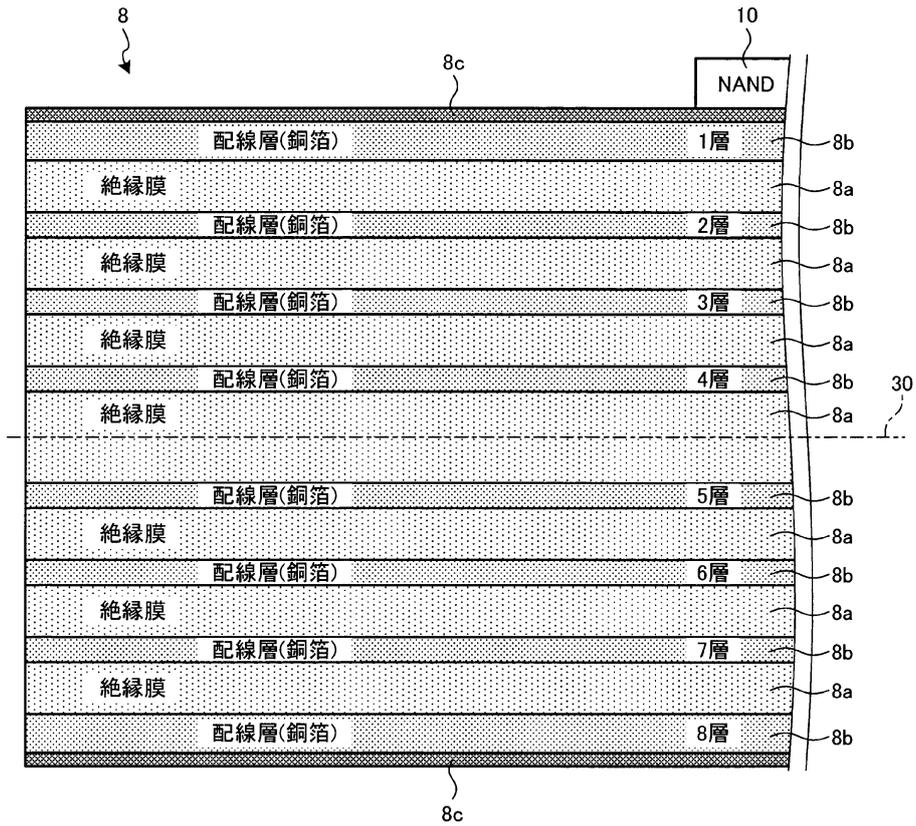
【図2】



【図3】



【図4】



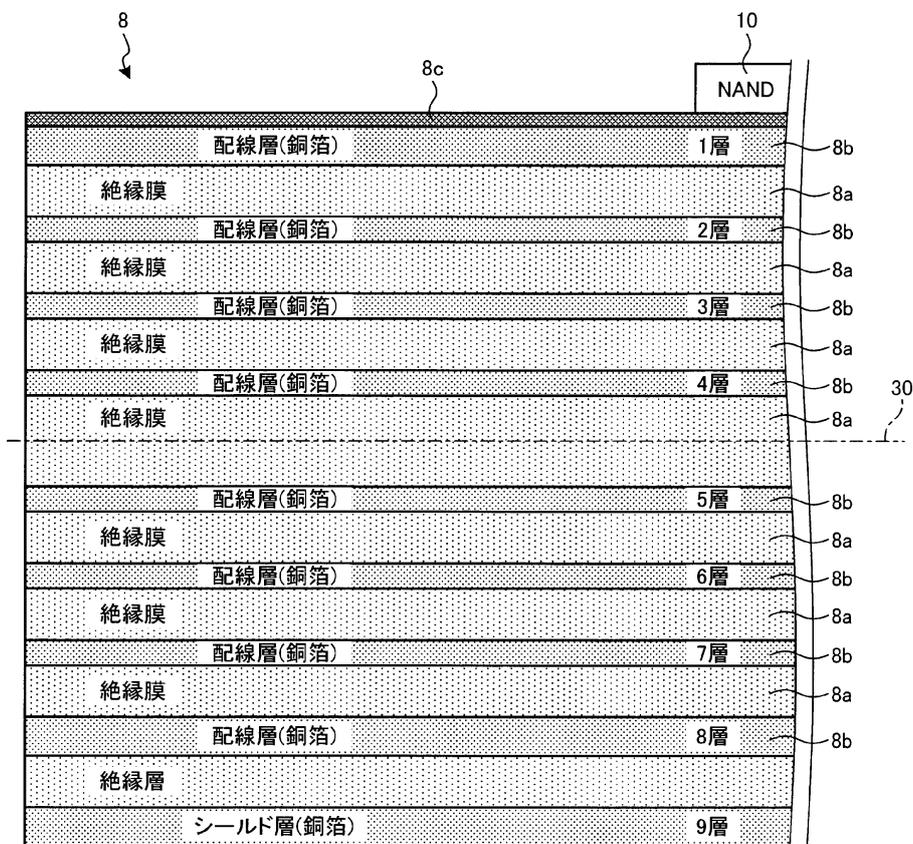
【図5】

		配線層(銅箔)	配線密度	配線密度
上層	1層	信号層(部品実装面)	約60%	約60%
	2層	プレーン層(GND)	約80%	
	3層	信号層	約50%	
	4層	信号層	約50%	
下層	5層	プレーン層(電源)	約80%	約60% ~67.5%
	6層	信号層	約50%	
	7層	プレーン層(GND)	約80%	
	8層	網状配線層(GND)	約30~60%	

【図7】

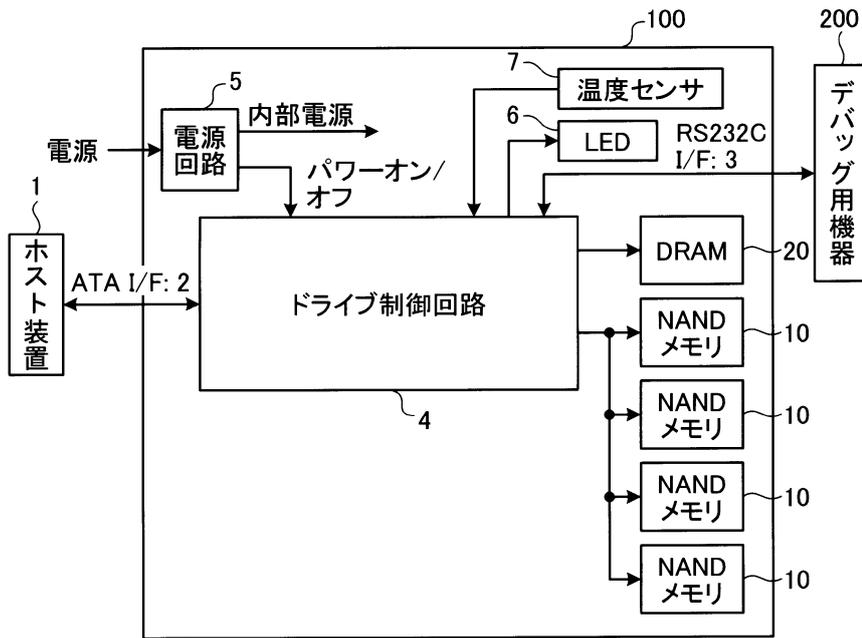
		配線層(銅箔)	配線密度	配線密度
上層	1層	信号層(部品実装面)	約60%	約60%
	2層	プレーン層(GND)	約80%	
	3層	信号層	約50%	
	4層	信号層	約50%	
下層	5層	プレーン層(電源)	約80%	約75%
	6層	信号層	約50%	
	7層	プレーン層(GND)	約80%	
	8層	プレーン層(GND)	約90%	

【図11】

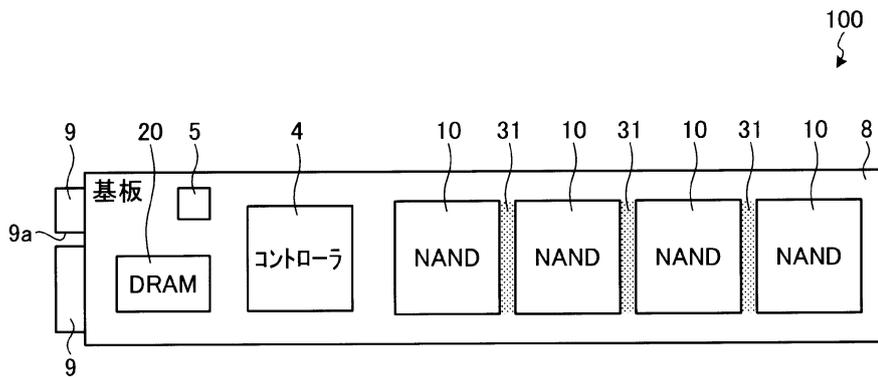


(別紙2)

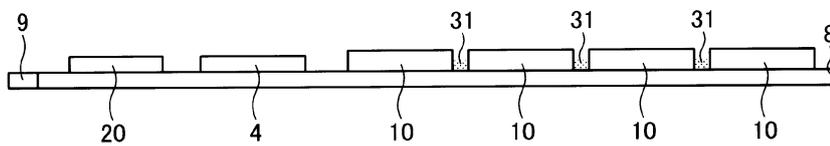
【図1】



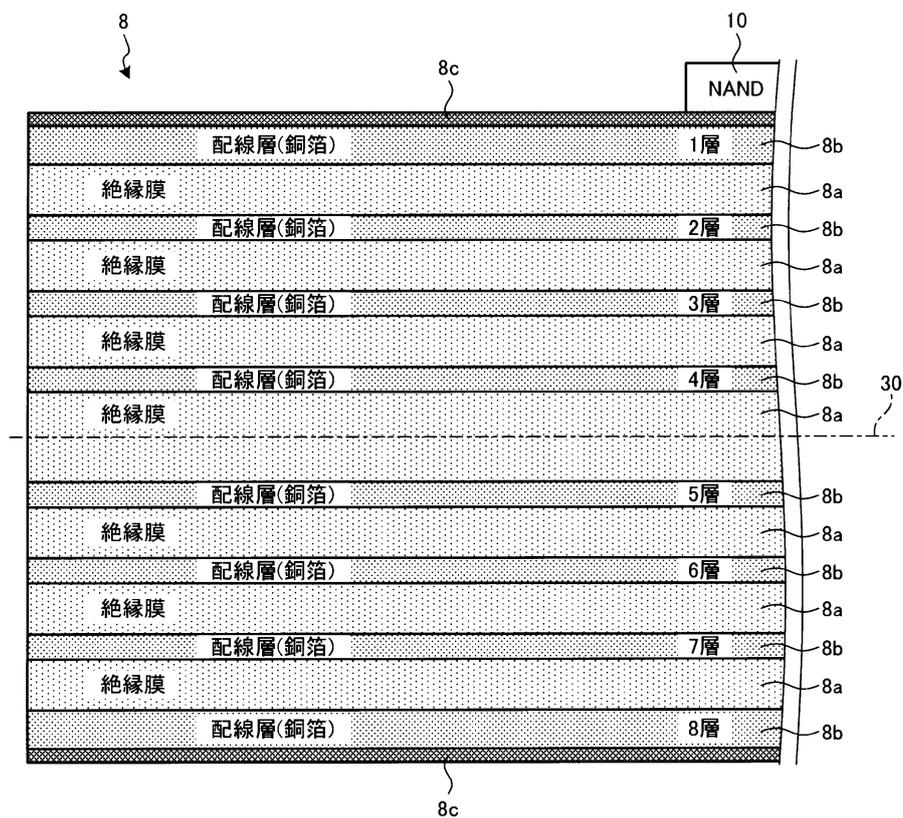
【図2】



【図3】



【図4】



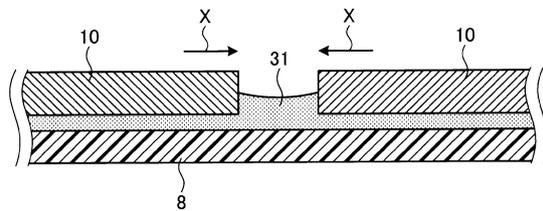
【図5】

		配線層(銅箔)	配線密度	配線密度
上層	1層	信号層(部品実装面)	約60%	約60%
	2層	プレーン層(GND)	約80%	
	3層	信号層	約50%	
	4層	信号層	約50%	
下層	5層	プレーン層(電源)	約80%	約60% ~67.5%
	6層	信号層	約50%	
	7層	プレーン層(GND)	約80%	
	8層	網状配線層(GND)	約30~60%	

【図7】

		配線層(銅箔)	配線密度	配線密度
上層	1層	信号層(部品実装面)	約60%	約60%
	2層	プレーン層(GND)	約80%	
	3層	信号層	約50%	
	4層	信号層	約50%	
下層	5層	プレーン層(電源)	約80%	約75%
	6層	信号層	約50%	
	7層	プレーン層(GND)	約80%	
	8層	プレーン層(GND)	約90%	

【図9】



【図 1 1】

