

平成23年9月29日判決言渡 同日原本領収 裁判所書記官

平成23年（行ケ）第10045号 審決取消請求事件

口頭弁論終結日 平成23年9月8日

判 決

原 告	三星電子株式会社
同訴訟代理人弁理士	萩 原 誠
被 告	特 許 庁 長 官
同 指 定 代 理 人	市 川 篤
	北 島 健 次
	樋 口 信 宏
	板 谷 玲 子

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理の申立てのための付加期間を30日と定める。

事実及び理由

第1 請求

特許庁が不服2010-345号事件について平成22年9月27日にした審決を取り消す。

第2 事案の概要

本件は、原告が、下記1のとおりの手続において、特許請求の範囲請求項7の記載を下記2とする本件出願に対する拒絶査定不服審判の請求について、特許庁が同請求は成り立たないとした別紙審決書（写し）の本件審決（その理由の要旨は下記3のとおり）には、下記4の取消事由があると主張して、その取消しを求める事案である。

1 特許庁における手続の経緯

(1) 原告は、発明の名称を「不揮発性メモリ装置」とする発明について、平成20年4月7日特許出願（特願2008-98991。平成5年3月4日に出願した特願平5-43566号の一部を3回にわたり分割したもの。請求項の数8）したが（甲1）、平成21年9月3日付けの拒絶査定を受けた。

(2) 原告は、平成22年1月7日、これに対する不服の審判を請求するとともに、同日、手続補正書（以下、この補正書による補正を「本件補正」という。）を提出した（甲12）。

(3) 特許庁は、上記請求を不服2010-345号事件として審理した上、平成22年9月27日、「本件審判の請求は、成り立たない。」との本件審決をし、その謄本は同年10月12日原告に送達された。

2 本願発明の要旨

本件審決が対象とした、本件補正後の特許請求の範囲請求項7の記載は、以下のとおりである。なお、文中の「/」は原文の改行箇所である。以下、請求項7に記載された発明を「本願発明」、本件出願に係る本件補正後の明細書（特許請求の範囲につき甲12、その余につき甲1）を「本願明細書」という。

複数のフラッシュメモリセルからなる複数のセクタを有するメモリブロックと、
/上記メモリブロックに記録する情報を一時格納するバッファメモリと、
/入出力端子と、
/上記メモリブロックと上記バッファメモリとの間及び上記入出力端子と上記バッファメモリとの間における情報の転送の制御を行うリードライト回路を有し、
/上記バッファメモリとして、第1のバッファメモリと第2のバッファメモリを有し、
上記第1のバッファメモリと上記第2のバッファメモリは、上記入出力端子と上記メモリブロックの間に並列に接続され、
/上記リードライト回路は、上記第1のバッファメモリと上記第2のバッファメモリと上記メモリブロックに指示することにより、
上記メモリブロックと上記第1のバッファメモリ間のデータ転送、
上記メモリブロックと上記第2のバッファメモリ間のデータ転送、
上記入出力端子と

上記第1及び第2のバッファメモリ間のデータ転送を制御し、／上記第1のバッファメモリに格納された書込みデータを上記メモリブロックの所定のセクタへ転送している間に、他の書込みデータを上記入出力端子から上記第2のバッファメモリへ転送することが可能であることを特徴とするフラッシュメモリ装置

なお、「上記2のバッファメモリ」は「上記第2のバッファメモリ」の誤記であることが明らかであり、当事者間に争いがない。

3 本件審決の理由の要旨

(1) 本件審決の理由は、要するに、本願発明は、下記アの引用例に記載された発明（以下「引用発明」という。）及び下記イ、ウの周知例に記載された技術に基づいて、当業者が容易に発明をすることができたものであり、特許法29条2項の規定により特許を受けることができない、というものである。

ア 引用例：特開昭63-81660号公報（甲2）

イ 周知例1：特開平5-47191号公報（甲3。平成5年2月26日公開）

ウ 周知例2：特開平4-268284号公報（甲4）

(2) なお、本件審決は、その判断の前提として、引用例に記載された発明並びに本願発明と引用発明との一致点及び相違点を、以下のとおり認定した。

ア 引用発明：複数のセクタを有するハードディスクメモリ装置DSKと、上記ハードディスクメモリ装置DSKに記録するデータを一時格納するバッファメモリBUF1及びバッファメモリBUF2と、インターフェイス回路HINFと、上記ハードディスクメモリ装置DSKと上記バッファメモリBUF1及び上記バッファメモリBUF2との間及び上記インターフェイス回路HINFと上記バッファメモリBUF1及び上記バッファメモリBUF2との間におけるデータの転送の制御を行う制御回路CONTを有し、上記制御回路CONTは、上記バッファメモリBUF1と上記バッファメモリBUF2に指示することにより、上記ハードディスクメモリ装置DSKと上記バッファメモリBUF1間のデータ転送、上記ハードディスクメモリ装置DSKと上記バッファメモリBUF2間のデータ転送、上記インター

フェイス回路H I N Fと上記バッファメモリB U F 1及び上記バッファメモリB U F 2間のデータ転送を制御し、上記バッファメモリB U F 1に転送されたデータD 0の上記ハードディスクメモリ装置D S Kのセクタ0への書込み時間を利用して、次のデータD 1を上記インターフェイス回路H I N Fを介して上記バッファメモリB U F 2に書込むことが可能であることを特徴とするハードディスクメモリ制御装置及びハードディスクメモリ装置D S K

イ 一致点：複数のセクタを有する所定容量のメモリと、上記所定容量のメモリに記録する情報を一時格納するバッファメモリと、入出力端子と、上記所定容量のメモリと上記バッファメモリとの間及び上記入出力端子と上記バッファメモリとの間における情報の転送の制御を行うリードライト回路を有し、上記バッファメモリとして、第1のバッファメモリと第2のバッファメモリを有し、上記第1のバッファメモリと上記第2のバッファメモリは、上記入出力端子と上記所定容量のメモリ間に並列に接続され、上記リードライト回路は、上記第1のバッファメモリと上記第2のバッファメモリに指示することにより、上記所定容量のメモリと上記第1のバッファメモリ間のデータ転送、上記所定容量のメモリと上記第2のバッファメモリ間のデータ転送、上記入出力端子と上記第1及び第2のバッファメモリ間のデータ転送を制御し、上記第1のバッファメモリに格納された書込みデータを上記所定容量のメモリの所定のセクタへ転送している間に、他の書込みデータを上記入出力端子から上記第2のバッファメモリへ転送することが可能であることを特徴とする不揮発性メモリ装置

ウ 相違点1：本願発明は、「不揮発性メモリ装置」が「複数のフラッシュメモリセル」を有する「フラッシュメモリ装置」であるのに対し、引用発明は、「不揮発性メモリ装置」が「磁気メモリ」からなる「ハードディスクメモリ制御装置及びハードディスクメモリ装置D S K」である点

エ 相違点2：本願発明は、「所定容量のメモリ」が「メモリブロック」であるのに対し、引用発明は、「所定容量のメモリ」が「ハードディスクメモリ装置D S

K」である点

オ 相違点3：本願発明は、「リードライト回路」が「上記第1のバッファメモリと上記第2のバッファメモリ」に加えて「メモリブロック」にも指示しているのに対し、引用発明は、「制御回路CONT」が「ハードディスクメモリ装置DSK」に指示することが特定されていない点

4 取消事由

本願発明の進歩性判断の誤り

(1) 本願発明の認定の誤り（取消事由1）

ア 本願発明の認定

イ 本願発明の本質の誤認と引用発明の選択の誤り

ウ 一致点の誤認及び相違点の看過

エ 相違点3に係る判断の誤り

(2) 相違点の認定及び判断の誤り（取消事由2）

ア 相違点2の認定の誤り

イ 相違点1に係る判断の誤り

ウ 相違点3に係る判断の誤り

第3 当事者の主張

1 取消事由1（本願発明の認定の誤り）について

[原告の主張]

(1) 本願発明の認定

ア 本願発明が解決しようとする課題は、書換え動作時に、複数のメモリブロックにわたる複数のセクタを選択し、それらを同時に消去する際の消費電流を減少させることにある。そこで、本願発明は、上記課題を解決するために、装置全体の消去又は書込みにおいて流れる消費電流を時間的に分散して、不揮発性メモリ装置の消去、書込み動作、すなわち書換え処理を効率よく低消費電力で高速化することを目的とする。

従来技術では、複数のメモリブロックにまたがる複数のセクタについて同時に書換え動作を行っていたが、本願発明では、複数のメモリブロックにまたがる個々又は複数のセクタを、セクタごとに時間的にシフト選択し、次々に活性化させて書換えを行う、いわゆる「時間シフト制御」を特徴とする。書換え動作を「時間シフト制御」することにより、一時に消費される電流を時間的に分散することができ、従来技術で問題となっていた消費電流増加によるノイズを減少させ、フラッシュメモリ装置の信頼性を高めることができる。

イ 本願発明は、本願明細書の第6の実施例のうち、2つのバッファを並列に構成した例である。

本願発明では、第1及び第2のバッファメモリは、1つのメモリブロックにつき一対となるように構成され、一対で各メモリブロックに対応しているので、「時間シフト制御」による書換え動作が可能となる。装置全体につき一対のバッファメモリを設ける構成では、複数のメモリブロックにわたる「時間シフト制御」はできない。

本願発明は、時間シフト制御によって書換え動作を行うことにより、一時に消費する電流を分散・減少すると共に、各メモリブロックに対応する一対のバッファメモリを有することにより、書換え動作をより高速化することが可能となる。

ウ よって、本願発明は、①「メモリブロック」及び「入出力端子」が、それぞれ「複数」存在するとともに、「複数」の「メモリブロック」の各々に「複数」の「バッファメモリ」が対応すること、②本願発明が、メモリブロック間の各セクタへの書込みデータを時間的にシフトして転送するように制御するという、いわゆる「時間シフト制御」による書換え動作を行うものであることを補足して認定すべきである。

エ 以上に鑑み、請求項7の記載を補足すると、本願発明は、以下のとおり、括弧内の本願明細書（特に【0019】）の記載から当然に導かれるべき事項を補足して認定すべきである。

複数のフラッシュメモリセルからなる複数のセクタを有する [複数の] メモリブロックと、 / 上記 [複数の] メモリブロック [の各々] に記録する情報を一時格納する [上記メモリブロックの各々に対応する複数の] バッファメモリと、 / [複数の] 入出力端子と、 / 上記 [複数の] メモリブロックと上記 [複数の] バッファメモリとの間及び上記 [複数の] 入出力端子と上記 [複数の] バッファメモリとの間における情報の転送の制御 [=時間シフト制御] を行うリードライト回路を有し、 / 上記 [複数のバッファメモリの各] バッファメモリとして、第1のバッファメモリと第2のバッファメモリを有し、上記第1のバッファメモリと上記第2のバッファメモリは、上記入出力端子と上記メモリブロックの間に並列に接続され、 / 上記リードライト回路は、 [複数の] 上記第1のバッファメモリと [複数の] 上記第2のバッファメモリと上記 [複数の] メモリブロックに指示することにより、上記 [複数の] メモリブロックと上記 [複数の] 第1のバッファメモリ間のデータ転送 [=時間シフト制御]、上記 [複数の] メモリブロックと上記 [複数の] 第2のバッファメモリ間のデータ転送 [=時間シフト制御]、上記 [複数の] 入出力端子と上記 [複数の] 第1及び第2のバッファメモリ間のデータ転送を制御し、 / 上記 [複数の] 第1のバッファメモリ [の各々] に [それぞれ] 格納された書込みデータを上記 [複数の] 第1バッファメモリの各々に対応するメモリブロック [の各々] の所定のセクタへ [時間シフト制御をしながら] 転送している間に、 [上記複数の] 第2のバッファメモリの各々に対応するメモリブロックの各々の他のセクタへの] 他の書込みデータを上記 [複数の] 入出力端子 [の各々] から上記 [複数の] 第2のバッファメモリ [の各々] へ転送することが可能であることを特徴とするフラッシュメモリ装置

オ 被告の主張に対する反論

(ア) 被告は、請求項7に記載された事項のみにより技術的意義が一義的に明確に理解できると主張するが、ここで、「技術的意義」とは、ある未解決の課題をどのようにして解決したかという観点から見た技術的貢献のことであると解される。

本願発明は、あくまで「時間シフト制御」による消費電流減少を技術的意義のメインとしつつ、さらに、2つのバッファメモリを使用することにより装置の高速化を図る、というプラスアルファの作用効果を有する。すなわち、本願発明の技術的意義は、あくまで「複数のメモリブロックにわたる複数セクタの書換え時における消費電流を減少させる」という課題を、装置全体に流れる消費電流を時間的に分散、すなわち「時間シフト制御」をすることにより解決したという観点から見た技術的貢献である。そうすると、本願発明の技術的意義は、上記のような補足事項を加えなければ、一義的に明確に理解することができないという「特段の事情」があるから、発明の詳細な説明の記載を参酌して、本願発明を認定すべきである。

(イ) また、「リードライト回路」についての記載事項は、請求項1では、「前記メモリブロックに対する並列アクセス時には、所定の時間差により選択されたメモリブロックにアクセスするように制御する」との記載がある点で本願発明とは異なるが、これは、本願発明の「リードライト回路」による「情報の転送の制御」との記載をより明確に記載しただけであり、被告の主張するような「時間シフト制御」を含むものと含まないものとで区別したという意図ではない。

したがって、現在の請求項1に「リードライト回路」が「前記メモリブロックに対する並列アクセス時には、所定の時間差により選択されたメモリブロックをアクセスするように制御する」という記載を追加した補正は、あくまで「リードライト回路」による「時間シフト制御」について「明確にした」だけであり、当該記載がない現在の請求項7の「リードライト回路」が「時間シフト制御」を含まないかのように補正した意図は全くない。

原告は、請求項1と請求項7との違いを「時間シフト制御」を含むか含まないかで区別したのではなく、「並列交代バッファ」の動作の異なる実施例を規定するという意図で補正を行ったにすぎない。

(2) 本願発明の本質の誤認と引用発明の選択の誤り

ア 本件審決は、ハードディスクメモリ装置に関する引用例（甲2）を主引例と

しているが、ハードディスクメモリ装置では、本願発明が解決しようとする課題がそもそも存在しない。

本願発明は、「書換え動作時に、複数のメモリブロックにわたる複数のセクタを選択し、それらを同時に消去する際の消費電流を減少させること」を課題としており、書換え動作時に、まず該当するセクタの内容を消去してから、書込み動作を始める。一方、ハードディスクメモリ装置を用いる引用発明は、フラッシュメモリのような消去動作はなく、「消去する際の消費電流を減少させる」という課題が存在しない。

また、本願発明は、複数のメモリブロックにわたるセクタを同時消去する時の電流を減少させることを課題としている。一方、引用発明は、ハードディスクメモリ装置の磁気メモリ装置であり、「複数のメモリブロックにわたる複数のセクタを選択」することがそもそもできない。

よって、引用発明には、本願発明が解決しようとする課題がそもそも存在しないため、主引例となるべき動機付けが存在しない。

イ 本件審決は、本願発明の特徴である「時間シフト制御」について何ら検討していないため、本願発明の本質を見誤ったものと言わざるを得ない。

ウ 本件審決は、本願発明と共通する課題を有しない引用例を主引例とし、本願発明の本質を見誤った上で引用例と対比を行っており、不当である。

(3) 一致点の誤認及び相違点の看過

ア 本願発明は、前記(1)のとおり認定すべきであり、その「セクタ」「メモリブロック」「情報」「入出力端子」は、引用発明の「セクタ」「トラック又は磁気ディスク」「データ」「インターフェイス回路H I N F」に相当するが、これら的一致点は、本願発明の実質的な部分ではない。少なくとも引用発明の「制御回路C O N T」「バッファメモリB U F 1」「バッファメモリB U F 2」は、本願発明の「リードライト回路」「第1のバッファメモリ」「第2のバッファメモリ」とは相違するから、本件審決の一致点の認定は誤りである。

イ 本願発明と引用発明は、以下の点においても相違し、本件審決は、これらの相違点を看過している。

(ア) 本願発明では、複数ある「メモリブロック」の各々には、それぞれに対応した一対の「第1及び第2のバッファメモリ」が装置全体として複数あるのに対し、引用発明では、複数ある「トラック」又は「磁気ディスク」の各々には、それぞれに対応した「バッファメモリ」は存在せず、ハードディスクメモリ装置D S K全体として一対の「バッファメモリB U F 1， B U F 2」があるのみである。したがって、本願発明の「バッファメモリ」と引用発明の「バッファメモリB U F 1， B U F 2」とは相違する。

(イ) 本願発明の「リードライト回路」は、いわゆる「時間シフト制御」を行う。一方、引用発明の「制御回路C O N T」は、「マルチプレクサM P X 1， M P X 2の切り換え、及びバッファメモリB U F 1， B U F 2の選択及びその書き込み又は読み出しの動作モードの制御、並びにインターフェイス回路H I N F， D I N Fの動作に必要な制御」を行うにとどまり、「時間シフト制御」についての記載はない。したがって、本願発明の「リードライト回路」と引用発明の「制御回路C O N T」とは相違する。

(ウ) 本願発明の「リードライト回路」は、「メモリブロックと第1又は第2のバッファメモリ間のデータ転送」を複数のメモリブロックにわたり「時間シフト制御」しつつ行う。一方、引用発明の「制御回路C O N T」は、「時間シフト制御」しながらデータ書き込みを行うことについては記載も示唆もない。

また、本願発明の「リードライト回路」は、「(複数の)入出力端子と(複数の)第1及び第2のバッファメモリ間のデータ転送」を行うのに対し、引用発明の「制御回路C O N T」は、「ホストH Sと(1対の)バッファメモリB U F 1及びバッファメモリB U F 2間のデータ書き込みのためにマルチプレクサM P X 1をバッファメモリB U F 1側又はバッファメモリB U F 2側に切り換える」ように制御する点で相違する。

したがって、本願発明の「リードライト回路」の制御動作と、引用発明の「制御回路CONT」の制御動作とは、相違する。

ウ 本願発明の「上記第1のバッファメモリに格納された書込みデータを上記メモリブロックの所定のセクタへ転送している間」との記載は、「上記〔複数の〕第1のバッファメモリ〔の各々〕に〔それぞれ〕格納された書込みデータを上記〔複数の〕第1バッファメモリの各々に対応する〕メモリブロック〔の各々〕の所定のセクタへ〔時間シフト制御をしながら〕転送している間」と解される。一方、引用発明の「バッファメモリBUF1」は、装置全体として複数ではなく、各トラック又は各磁気ディスクに対応もしておらず、複数のトラック又は複数の磁気ディスクにわたって「時間シフト制御」をしながら「バッファメモリBUF1」から「ハードディスクメモリ装置DSK」の「所定のセクタ」へデータを書込むことができない。

また、本願発明の「他の書込みデータを上記入出力端子から上記第2のバッファメモリへ転送すること」との記載は、「〔上記複数の〕第2のバッファメモリの各々に対応するメモリブロックの各々の他のセクタへの〕他の書込みデータを上記入出力端子から上記〔複数の〕第2のバッファメモリ〔の各々〕へ転送すること」と解される。一方、引用発明の「バッファメモリBUF2」は、装置全体として複数ではなく、各トラック又は各磁気ディスクに対応もしていない。

したがって、本願発明の「上記第1のバッファメモリに格納された書込みデータを上記メモリブロックの所定のセクタへ転送している間に、他の書込みデータを上記入出力端子から上記第2のバッファメモリへ転送すること」との記載は、引用発明の「バッファメモリBUF1に転送されたデータD0のハードディスクメモリ装置DSKのセクタ0への書込み時間を利用して、次のデータD1を上記インターフェイス回路HINFを介して上記バッファメモリBUF2に書き込む」との技術内容とは相違する。

(4) 相違点3に係る判断の誤り

本願発明は、前記(1)のとおり認定すべきであるところ、その「リードライト回

路」は、「第1のバッファメモリ」と「第2のバッファメモリ」とメモリブロックとに指示し、複数のメモリブロック間の、いわゆる「時間シフト制御」を行うものである。一方、引用発明の「制御回路CONT」は、時間シフト制御について何等の記載も示唆もない。

仮に周知例1（甲3）を引用発明に適用したとしても、周知例1にも「時間シフト制御」について記載も示唆もない。引用発明において、「ハードディスクメモリ装置DSK」への制御を「制御回路CONT」で行うようにすることは可能かもしれないが、本願発明の「リードライト回路」のように、複数のメモリブロック間での書換えを「時間シフト制御」することは、「時間シフト制御」に関して記載も示唆もない引用発明及び周知例1をどのように組み合わせてみても、容易ではない。

よって、互いに書換え動作の異なる周知例1を引用発明に適用する本件審決は不当である。

〔被告の主張〕

(1) 特許請求の範囲の記載からみた原告の主張の誤り

本願発明に係る請求項7に記載された事項は、一見してその記載が誤記であることが本願明細書又は図面の記載に照らして明らかな箇所が存在しないことは明白である。

また、原告は、「メモリブロック」及び「入出力端子」が、それぞれ「複数」存在するとともに、「複数」の「メモリブロック」の各々に「複数」の「バッファメモリ」が対応すること及び本願発明が「時間シフト制御」による書換え動作を行うものであることを補足すべきであると主張するが、このような補足事項を加えなくとも、請求項7に記載された事項により特定される発明が、技術的に不明確な点を有さず、かつ、本願明細書（【0019】）に記載された、「第1のバッファメモリと第2のバッファメモリを時間的に効率良く制御して、並行動作もしくは一方の空き時間を活用できるので装置の高速化に寄与する。」という作用効果を奏することは明らかである。よって、何ら補足することなく、請求項7に記載されている事

項のみにより技術的意義が一義的に明確に理解できることも明白である。

したがって、本願発明の認定に当たり、本願明細書又は図面の記載を参酌しなければならない特段の事情は何ら存在しないから、本願発明に補足事項を勘案すべきであるという原告の主張は誤りである。

(2) 手続の経緯からみた原告の主張の誤り

ア 本件補正により補正された請求項1に係る発明は、本願発明には存在しない「上記メモリブロックと上記バッファメモリとの間及び上記入出力端子と上記バッファメモリとの間における情報の転送の制御を行い、前記メモリブロックに対する並列アクセス時には、所定の時間差により選択されたメモリブロックをアクセスするように制御するリードライト回路」という構成を含んでおり、原告が主張する「時間シフト制御」に対応する内容となっている。

したがって、原告は、本件補正をする際に、「時間シフト制御」を含む請求項1と「時間シフト制御」を含まない請求項7とを区別して補正していることは明らかである。

イ また、本願発明が「時間シフト制御」による書換え動作を行うためには、「メモリブロック」が「複数」存在することが動作上の前提であるところ、本願の出願当初の特許請求の範囲には、「メモリブロック」が「複数」存在することが特定された発明のみが記載されていたのに対し、本件補正後の本願発明は、「メモリブロック」の数が「複数」に特定されない構成となっているのであるから、原告は、審査手続の過程において、本願発明について、出願当初の特許請求の範囲に記載された「メモリブロック」が「複数」存在するという技術的限定を削除していることは明らかである。

ウ そうすると、原告の主張は、本願に係る手続の経緯と矛盾するものである。

(3) 小括

以上のとおりであるから、本願発明に補足事項を補った上で本願発明を解釈すべきであるという原告の主張は誤りである。本願発明の上記解釈を前提とする取消事

由1は、全て理由がない。

2 取消事由2（相違点の認定及び判断の誤り）について

〔原告の主張〕

(1) 相違点2の認定の誤り

仮に本願発明の「メモリブロック」を「セクタを含む1つの領域」と捉えた場合、本願発明の「メモリブロック」に対応するものは、引用発明では「トラック」又は「磁気ディスク」である。したがって、本願発明の「メモリブロック」と引用発明の「ハードディスクメモリ装置DSK」とを対応付けた本件審決の相違点2の認定は失当である。

(2) 相違点1に係る判断の誤り

「磁気メモリ」と「フラッシュメモリ」とでは、既にデータが書き込まれている領域への書込み、すなわち書換え動作が異なるため、引用発明において、磁気メモリとフラッシュメモリとを置換することは必ずしも容易ではない。すなわち、引用発明の磁気メモリでは、該当セクタに上書きするだけで書換え動作を実行できるのに対し、本願発明のフラッシュメモリでは、単に上書きするだけでは書換え動作を実行できず、該当するセクタのメモリセル内容をまず消去し、その後データをメモリセルに書込むことによって初めて書換え動作を完了することができる点で相違する。

したがって、磁気メモリとフラッシュメモリとでは書換え動作が相違し、フラッシュメモリの書換え動作は磁気メモリのそれに比較して制御が複雑である。よって、引用発明において、「磁気メモリ」からなる「ハードディスクメモリ装置DSK」を用いることに代えて、周知技術の「フラッシュメモリセル」からなる「フラッシュメモリ」を用いることは、当業者といえども困難であり、当業者であれば容易に想到し得たとする本件審決は、失当である。

(3) 相違点3に係る判断の誤り

周知例1の「データ処理制御回路」は、EEPROMを制御するものであり、磁

気メモリを制御するものではない。そして、EEPROMも単に上書きするだけでは書換え動作を行えず、いったん既存のデータを消去してからでないと書込むことができないので、EEPROMの書換え動作と磁気メモリの書換え動作とは異なる。

よって、本来適用不可能な、書換え動作の異なる周知例1を引用発明に適用することは不当である。

[被告の主張]

(1) 相違点2の認定について

引用発明において、「ハードディスクメモリ装置DSK」が全体として所定容量を有するひとまとまりのメモリを構成することは自明であるから、引用発明の「ハードディスクメモリ装置DSK」が、本願発明の「メモリブロック」に対応することは明らかである。なお、「セクタ」が「ハードディスクメモリ装置DSK」の記憶単位であることは、明らかであり（甲2）、引用発明の「ハードディスクメモリDSK」が「セクタを含む1つの領域」、すなわち本願発明の「メモリブロック」に対応することは自明であるから、原告の主張は誤りである。

(2) 相違点1に係る判断について

ア 引用発明は「磁気メモリ」を用いた「ハードディスクメモリ制御装置及びハードディスクメモリ装置DSK」に関する発明であって、「フラッシュメモリ装置」に関する周知例1とは、不揮発性メモリ装置に関する技術である点において、技術分野が共通するものである。

そして、そのような不揮発性メモリ装置に関する技術分野において、従来使用していた「磁気メモリ」に代えて「フラッシュメモリ」を採用するという技術思想は、従来周知である（甲15、乙1）。

したがって、当業者であれば、当該周知技術を勘案することにより、引用発明の「磁気メモリ」を用いた「ハードディスクメモリ制御装置及びハードディスクメモリ装置DSK」に関する技術を本願発明のような「フラッシュメモリ装置」に転用し、本願発明の相違点1に係る構成とすることを容易に想到し得たものである。

イ また、「フラッシュメモリ装置」は周知技術であり、かつ、当該「フラッシュメモリ装置」が書換えに先立って消去が必要であることも当業者の技術常識であるから、引用発明において、「磁気メモリ」からなる「ハードディスクメモリ装置 DSK」に代えて「フラッシュメモリ装置」を用いるに当たり、書換えに先立って消去を行うように回路を変更する程度のことは、当業者であれば当然にできたことである。

よって、原告が主張するような転用の困難性は存在せず、本件審決の判断に誤りはない。

(3) 相違点3に係る判断について

本件審決は、原告の主張するような、引用発明に対して周知例1を適用するという判断を行っておらず、原告の主張は、本件審決を正解しないものである。

第4 当裁判所の判断

1 取消事由1（本願発明の認定の誤り）について

(1) 本願発明について

ア 本願明細書の記載

本願明細書及び図面の記載によれば、第6実施例では、メモリブロックに記録する情報を一時格納するバッファメモリとして、第1のバッファメモリと第2のバッファメモリを有し、上記第1のバッファメモリと上記第2のバッファメモリは、上記入出力端子と上記メモリブロックの間に並列に接続される構成とすることで、次の作用効果を奏することが記載されている。

(ア) 一度に2セクタ分のデータが転送可能であり、それは所定のセクタに書込みデータを転送しつつでき、一方のバッファメモリでは書込みデータを所定セクタに転送しつつ、書込みの間に他方のバッファメモリでは読出しデータを読み出すこともでき、それによって、2つのバッファメモリを効率よく制御することで空き時間の有効活用ができ、さらに高速化できること。

(イ) 書換え時のバッファは主に第1のバッファメモリに対応させ、第2のバッ

ファメモリは読出し専用を利用し、該当セクタの書込み兼他のメモリブロックのセクタ読出しに活用でき、読出しのみの動作では2つのバッファメモリに交互にデータを取り込み、交互に読出すことによって実効的な読出し時間の短縮を図ることもできること。

(ウ) 続けて同一セクタがアクセスされた場合の読出し、書換え動作では、バッファメモリを交互に活性させ読出しデータを第1のバッファメモリに格納し、書込みデータを第2のバッファメモリに一時的に格納できること。

(エ) 第1と第2のバッファメモリはメモリブロックに対して並列構成とした場合、第1と第2のバッファメモリの活用方法が対等になるので、メモリブロックのセクタに対するバッファメモリの容量が2倍と考えられ、一方を書込みデータ専用、他方を読出しデータ専用にと区分したデータ処理にできること。

(オ) 書換え動作に対して第1のバッファメモリと第2のバッファメモリを時間的に効率良く制御して、並行動作若しくは一方の空き時間を活用できるので装置の高速化に寄与すること。

(カ) 読出しと書換えの並行処理では2つのバッファメモリを交互に活用して同一セクタに対するデータの衝突を避けること又はバッファメモリのデータを更新することが容易になること。

イ 本願発明について

前記第2の3のとおり、特許請求の範囲請求項7には、「複数のフラッシュメモリセルからなる複数のセクタを有するメモリブロック」と、「上記メモリブロックに記録する情報を一時格納するバッファメモリ」とを有し、「上記バッファメモリとして、第1のバッファメモリと第2のバッファメモリを有し、上記第1のバッファメモリと上記第2のバッファメモリは、上記入出力端子と上記メモリブロックの間に並列に接続され」、「上記第1のバッファメモリに格納された書込みデータを上記メモリブロックの所定のセクタへ転送している間に、他の書込みデータを上記入出力端子から上記第2のバッファメモリへ転送することが可能である」ようにす

ることが記載されている。

そして、上記アのと通りの作用効果は、特許請求の範囲請求項7に記載された上記構成により生じることが明らかである。なお、特許請求の範囲の記載の技術的意義が一義的に明確に理解することができないような事情はないし、一見してその記載が誤記であることを認めるに足りる証拠もない。

そうすると、本願発明は、特許請求の範囲請求項7に記載された事項により特定されるとおりのものであり、それによって、本願発明は、上記アの作用効果を奏するものである。

(2) 本願発明の認定に係る原告の主張について

ア 原告は、本願明細書及び図面の記載から、本願発明では、第1及び第2のバッファメモリは、1つのメモリブロックにつき一対となるように構成され、上記第1及び第2のバッファメモリは、一対で各メモリブロックに対応していることにより、複数のメモリブロックにまたがる個々又は複数のセクタを、セクタごとに時間的にシフト選択し、次々に活性化させて書換えを行う、いわゆる「時間シフト制御」による書換えが可能となり、それによって、一時に消費する電流を分散・減少するとともに、各メモリブロックに対応する一対のバッファメモリを有することにより、書換え動作をより高速化することが可能となること、これに対し、装置につき一対のバッファメモリを設ける構成では、複数のメモリブロックにわたる「時間シフト制御」はできないと主張する。

しかしながら、本願明細書（【0019】）及び図面の記載から、本願発明は、特許請求の範囲請求項7に記載された事項により特定される構成を有し、それによって、上記(1)アの作用効果を奏するものであると認められることは、前記のとおりであって、この構成と作用効果との関係は、「第1のバッファメモリ」及び「第2のバッファメモリ」が1つのメモリブロックにつき一対となる構成の有無や、「時間シフト制御」による書換えが行われるか否かによることなく成立することは明らかである。

そして、本願発明について、特許請求の範囲の記載の技術的意義が一義的に明確に理解することができないような事情はないし、一見してその記載が誤記であることを認めるに足りる証拠もないことは前記のとおりであるから、特許請求の範囲の記載を越えて、本願明細書の発明の詳細な説明や図面にだけ記載された、「第1のバッファメモリ」及び「第2のバッファメモリ」が、1つのメモリブロックにつき一対となる構成や、「時間シフト制御」による書換えが行われる構成を付加して、本願発明を認定すべきではなく、本願発明は、本件補正後の特許請求の範囲請求項7に記載されたとおりのものと認定すべきである。

イ 原告は、本願発明の「技術的意義」は、原告主張の補足事項を加えなければ、「一義的に明確に理解することができない」という「特段の事情」があるので、明細書の発明の詳細な説明の記載を参酌して、本願発明を認定すべきであるとも主張する。

確かに、本願明細書には、本願発明の目的について、「装置全体の消去もしくは書込みにおいて流れる消費電流を時間的に分散して、不揮発性メモリ装置の消去、書込み動作、すなわち書換え処理を効率よく低消費電力で高速化することにある。」（【0003】）と記載されている。

しかしながら、上記のとおり、本願明細書及び図面には、メモリブロックに記録する情報を一時格納するバッファメモリとして、第1のバッファメモリと第2のバッファメモリを有し、上記第1のバッファメモリと上記第2のバッファメモリは、上記入出力端子と上記メモリブロックの間に並列に接続される構成とすることで、上記(1)アの作用効果を奏することも記載されている。

そして、本願発明が、出願時の技術水準に照らしてどのような技術的意義を有するかについて検討すると、原告が主張するように、「時間シフト制御」による消費電流減少が主たる作用効果であって、前記(1)ア認定の作用効果が副次的な作用効果であるとする根拠は、本願明細書及び図面の記載には見当たらない。よって、両者は、いずれも本願発明に係る構成によりもたらされた技術的意義を有するものと

認められる。

しかるところ、特許請求の範囲請求項7に記載された事項により特定される発明が、前記(1)アの作用効果を奏することは明らかであり、本願発明の技術的意義は、原告主張の補足事項を加えなくても、一義的に明確に理解することができるのであるから、本件明細書の発明の詳細な説明の記載を参酌して、本願発明を認定すべき特段の事情があるとはいえない。

ウ また、原告は、特許請求の範囲請求項1では、「前記メモリブロックに対する並列アクセス時には、所定の時間差により選択されたメモリブロックをアクセスするように制御する」との記載がある点で請求項7とは異なるが、これは、請求項7の「リードライト回路」による「情報の転送の制御」との記載をより明確に記載しただけであり、被告の主張するような「時間シフト制御」を含むものと含まないものとで区別したという意図ではないなどとも主張する。

しかしながら、特許請求の範囲請求項7には、複数のメモリブロックを有し、1つのメモリブロックにつき一对の「第1のバッファメモリ」及び「第2のバッファメモリ」を有し、上記メモリブロックに対する並列アクセス時には、所定の時間差により選択されたメモリブロックにアクセスするように制御すること（「時間シフト制御」すること）は記載されていない。

そうすると、特許請求の範囲請求項7の記載によれば、原告が主張する意図に関係なく、本願発明は、「時間シフト制御」をしない発明を含むものである。

エ したがって、本願発明の認定に関する原告の主張を採用することはできない。

(3) 取消事由1に係る原告のその余の主張について

原告は、原告による本願発明の認定を前提として、引用発明の認定の誤りと本願発明の本質の誤認、一致点の誤認及び相違点の看過、相違点3の判断の誤りを主張する。しかし、前記のとおり、その前提を採用できないから、上記の主張も採用することはできない。

(4) 小括

したがって、取消事由1は、理由がない。

2 取消事由2（相違点の認定及び判断の誤り）について

(1) 相違点2の認定の認りについて

ア 原告は、仮に本願発明の「メモリブロック」を「セクタを含む1つの領域」と捉えた場合、本願発明の「メモリブロック」に対応するものは、引用発明では「トラック」又は「磁気ディスク」であるから、本願発明の「メモリブロック」と引用発明の「ハードディスクメモリ装置DSK」とを対応付けた相違点2の認定は失当であると主張する。

イ しかしながら、本件補正後の特許請求の範囲請求項7の記載から、本願発明の「メモリブロック」は、複数のセクタを有する、ひとまとまりのメモリであると解され、また、引用発明では「ハードディスクメモリ装置DSK」の構成は明確にされていないが、ハードディスクメモリ装置が、複数枚の磁気ディスクで構成され、上記磁気ディスクが複数のセクタを有することは技術常識である。

そして、これらのことに照らせば、引用発明の「ハードディスクメモリ装置DSK」は、本願発明の「メモリブロック」と同様、複数のセクタを有するひとまとまりのメモリであると解するのが相当である。

そうすると、本願発明の「メモリブロック」と引用発明の「ハードディスクメモリ装置DSK」とを対応付けた、本件審決の相違点2の認定に誤りはない。

(2) 相違点1に係る判断の誤りについて

ア 原告は、磁気メモリとフラッシュメモリとでは書換え動作が相違し、フラッシュメモリの書換え動作は磁気メモリのそれに比較して制御が複雑であり、単に、引用発明において、「磁気メモリ」からなる「ハードディスクメモリ装置DSK」を用いることに代えて、周知技術の「フラッシュメモリセル」からなる「フラッシュメモリ」を用いることは困難であると主張する。

イ 引用例には、「インターフェイス回路HINF」と「ハードディスクメモリ装置DSK」の間に並列に接続された、「バッファメモリBUF1」と「バッファ

メモリ B U F 2」を用いて、上記「ハードディスクメモリ装置 D S K」にデータの書き込む動作について、二個のバッファメモリを有し、その一方から転送された 1 セクタ分のデータが、メモリ装置のセクタに書き込まれている間に、ホストから供給される 1 セクタ分の次のデータが、他方のバッファメモリに高速に書き込まれるようにすることにより、システムの処理能力の向上を図ることが開示されている。

そして、引用発明では、メモリ装置として「ハードディスクメモリ装置 D S K」が用いられているが、メモリ装置において、データの書込み及び読出し動作に伴う、ホストとメモリ装置間のデータ転送を効率よく行い、処理能力の向上を図るという課題は、ハードディスクメモリ装置に限らず、他のメモリ装置においても存在することは明らかである。

また、不揮発性メモリ装置に関する技術分野において、従来使用していたハードディスクメモリ装置のような「磁気メモリ」に代えて、「フラッシュメモリ」を採用することは、周知である（甲 1 5，乙 1）。

さらに、引用発明は、ホストとメモリ装置間でのデータ転送を、2 個のバッファメモリを用いて制御し実行するもので、メモリ装置における書換え動作の違いには関係ないから、引用発明におけるデータ転送の方法を、ハードディスクメモリ装置以外のメモリ装置でも実現できることは、引用例の記載に接した当業者には、自明である。

そうすると、引用発明において、「ハードディスクメモリ装置 D S K」を用いることに代えて、周知な「フラッシュメモリセル」からなる「フラッシュメモリ」を用いることは、当業者であれば容易に想到することができたものである。

ウ よって、相違点 1 に係る本件審決の判断に誤りはない。

(3) 相違点 3 に係る判断の誤りについて

ア 原告は、周知例 1 の「データ処理制御回路」は、E E P R O M を制御するものであり、磁気メモリを制御するものではないから、本件審決が互いに書換え動作の異なる周知例 1 を引用発明に適用した部分は、不当であると主張する。

イ 引用発明において、「ハードディスクメモリ装置D S K」と「バッファメモリB U F 1」及び「バッファメモリB U F 2」間でデータ転送を行うためには、「バッファメモリB U F 1」及び「バッファメモリB U F 2」への制御に合わせて、「ハードディスクメモリ装置D S K」への制御を行わなければならないことは自明である。

そして、メモリ装置において、バッファメモリとメモリ装置の制御を1つの制御回路でまとめて行うことは、当該技術分野では周知の技術であり（甲3【0042】）、この周知技術は、書換え動作の相違に関係なく、全てのメモリ装置に適用可能である。

そうすると、引用発明において、「ハードディスクメモリ装置D S K」への制御を「制御回路C O N T」で行うことは、当業者が普通に行い得るものである。

ウ なお、引用発明において、「ハードディスクメモリ装置D S K」に代えて、周知な「フラッシュメモリセル」からなる「フラッシュメモリ」を用いることは当業者であれば容易に想到し得たものであり、その場合においても、「バッファメモリB U F 1」及び「バッファメモリB U F 2」への制御と、「フラッシュメモリセル」への制御を、周知例1（甲3）の「データ処理制御回路」のような1つの制御回路で行うことは、当業者が普通に行い得るものである。

以上によれば、引用発明において、相違点3に係る構成とすることは、上記周知技術を勘案して、当業者が容易に想到することができたものであり、本件審決の相違点3に係る判断に誤りはない。

(4) 小括

よって、取消事由2は、理由がない。

3 結論

以上の次第であるから、原告主張の取消事由はいずれも理由がなく、原告の請求は棄却されるべきものである。

知的財産高等裁判所第4部

裁判長裁判官 滝 澤 孝 臣

裁判官 高 部 眞 規 子

裁判官 荒 井 章 光