

平成23年9月28日 判決言渡

平成22年（行ケ）第10317号 審決取消請求事件（特許）

口頭弁論終結日 平成23年9月21日

	判	決
原 告		モーセッド・テクノロジーズ・ インコーポレイテッド
訴訟代理人弁理士	伊	東 忠 彦
同	大	貫 進 介
同	山	口 昭 則
同	伊	東 忠 重
被 告	特 許 庁	長 官
指 定 代 理 人	西	脇 博 志
同	北	島 健 次
同	樋	口 信 宏
同	田	村 正 明
	主 文	

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための
付加期間を30日と定める。

事 実 及 び 理 由

第1 請求

特許庁が不服2009-8010号事件について平成22年5月27日に
した審決を取り消す。

第2 事案の概要

- 1 本件は、原告が名称を「ダイナミックメモリのワード線駆動システム」（平

成18年7月10日付け補正後は「ダイナミックランダムアクセスメモリ」とする発明につき特許出願をしたところ、拒絶査定を受けたので、これに対する不服の審判請求をし、その中で原告は平成21年5月13日付けで特許請求の範囲の変更を内容とする補正（請求項の数8）をしたが、特許庁から請求不成立の審決を受けたことから、その取消しを求めた事案である。

2 争点は、上記平成21年5月13日付け補正後の請求項1に係る発明が下記引用例との間で進歩性を有するか（特許法29条2項）である。

記

- ・引用例1：1989 IEEE ISSCC Digest of Technical Papers P. 248-249 (1989-2) FAM 16.6: "A 45ns 16Mb DRAM with Triple-Well Structure"（頒布日 1989年（平成元年）2月17日，発表者 Syuso Fujii 外 [Toshiba Corporation 等] 甲1。以下，これに記載された発明を「引用発明1」という。）
- ・引用例2：特開昭63-239673号公報（発明の名称「半導体集積回路装置」，公開日 昭和63年（1988年）10月5日，甲2。以下，これに記載された発明を「引用発明2」という。）

第3 当事者の主張

1 請求の原因

(1) 特許庁における手続の経緯

原告は、1990年（平成2年）4月6日及び1991年（平成3年）4月5日の優先権（イギリス）を主張して平成3年4月6日付けの原出願（特願平3-73379号。）からの分割出願として、平成14年11月14日、名称を「ダイナミックメモリのワード線駆動システム」とする発明につき特許出願（特願2002-331054号。請求項の数19。公開公報は特開2003-178582号，甲7）をし、平成15年5月27日付け（請求項2，4，9の変更，甲5），平成18年7月10日付け（全文変更。発明

の名称を「ダイナミックランダムアクセスメモリ」とするほか、請求項の数を7等に変更、甲10)、及び平成20年12月10日付け(請求項の数を8に変更、甲17)で各手続補正をしたが、平成21年1月7日付けで拒絶査定を受けたので、これに対する不服の審判請求をした。

特許庁は上記請求を不服2009-8010号事件として審理し、その中で原告は平成21年5月13日付けで特許請求の範囲の変更を内容とする(請求項の数8。以下「本件補正」という。甲20)をしたが、特許庁は、平成22年5月27日、「本件審判の請求は、成り立たない。」との審決(出訴期間として90日附加)をし、その謄本は同年6月8日原告に送達された。

(2) 発明の内容

平成21年5月13日付け本件補正後の請求項の数は前記のとおり8であるが、その請求項1(以下「本願発明」という。)の内容は、以下のとおりである。

【請求項1】

チャージ蓄積コンデンサ及びアクセス電界効果トランジスタ(FET)を有するメモリセルであり、該アクセスFETのドレイン・ソース回路がビット線と前記チャージ蓄積コンデンサとの間に接続され、前記アクセスFETのゲートがワード線に接続されているメモリセル;及び

レベルシフタおよび単一のP-チャンネルパスFETを有するワード線ドライバ;

を備えた、ワード線駆動機能を有するダイナミックランダムアクセスメモリ(DRAM)であって:

前記ワード線ドライバは、それぞれ高論理レベル電圧を選択的に有する複数のワード線選択アドレス信号を受信し、高レベル電圧を前記P-チャンネルパスFETのソース・ドレイン回路を通じて選択的に前記ワード線に印加することによりワード線駆動動作を行い、

2次デコーダ出力レベルを与える前記高レベル電圧は、当該DRAMが機能している間、前記高論理レベル電圧+ F E Tの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧+ 2 x F E Tの閾値電圧との間の実質的に一定である電圧に調整され；

前記レベルシフタは、第1および第2のプルアップF E Tと第1および第2のプルダウンF E Tとを含み；

前記高レベル電圧が前記第1および第2のプルアップF E Tのソースに直接印加され、

前記第1のプルアップF E Tのドレインと第1のノードとの間に電流経路が形成され、

前記第2のプルアップF E Tのドレインと第2のノードとの間に電流経路が形成され、

前記第1のプルダウンF E Tのドレインと前記第1のノードとの間に電流経路が形成され、

前記第2のプルダウンF E Tのドレインと前記第2のノードとの間に電流経路が形成され、

前記第1のノードの電圧が前記第2のプルアップF E Tのゲートに印加され、

前記第2のノードの電圧が前記第1のプルアップF E Tのゲートに印加され、

前記第1および第2のプルダウンF E Tのゲートは前記ワード線選択アドレス信号に応答し、前記第1のノードは選択的にプルアップまたはプルダウンされ、前記レベルシフタは、前記ワード線選択アドレス信号に応答することにより、前記第1のノードから前記パスF E Tのゲートへと前記高レベル電圧を選択的に供給するように動作する、

ことを特徴とするDRAM。

(3) 審決の内容

ア 審決の内容は、別添審決写しのとおりである。その要点は、本願発明は、周知技術を勘案することにより、引用発明 1 及び引用発明 2 に基づいて当業者（その発明の属する技術の分野における通常の知識を有する者）が容易に発明することができたから特許法 29 条 2 項により特許を受けることができない、というものである。

イ なお、審決が認定した引用発明 1 及び引用発明 2 の内容、本願発明と引用発明 1 との一致点及び相違点 1、2 は、上記審決写しのとおりである。

(4) 審決の取消事由

しかしながら、審決には、以下のとおりの誤りがあるから、審決は違法として取り消されるべきである。

ア 取消事由 1（手続違背）

(ア) 審決の理由は、本願発明と引用発明 1 との相違点 2（b）が周知技術であるというものであり、周知性を示すために引用例 2（甲 2）が用いられ、相違点 2（b）に係る構成が引用例 2 に記載されていると誤って認定した。

(イ) 引用例 2 は審査の段階でも引用された文献であるが、その際にはいわゆる組合せによる進歩性否定であったのに対し、審決は相違点 2（b）に係る構成が周知技術であるという新たな拒絶理由により、本願発明について拒絶理由通知を発することなく拒絶審決をなしたものである。

しかし、審査及び審決における拒絶理由は、同じ特許法 29 条 2 項の規定によるものではあっても、進歩性否定の論理づけが異なり、異なる拒絶理由である。このような場合は、拒絶査定不服審判において拒絶査定の理由と異なる理由を発見した場合に当たるということができ、拒絶理由通知制度が要請する手続的適正の保障の観点からも、特許法 159 条 2 項で準用する同法 50 条の規定に従い、新たな拒絶理由通知を発

し、出願人たる原告に意見を述べさせる機会を与えることが必要であった。

(ウ) それにもかかわらず、審決は、原告に意見を述べる機会を与えずに、相違点の判断の基礎として引用例2に記載されていると誤って判断した周知技術を用いているのであるから、この手続の瑕疵は審決の結論に影響を及ぼす重大な違法である。

イ 取消事由2（相違点2（b）についての判断の誤り）

(ア) 審決は、相違点2（b）に関し、「一般に、メモリに用いられている電界効果トランジスタが、ゲート電圧に一定以上の高電圧が印加されると容易に破壊されることは、当業者における技術常識であり、・・・メモリにおける昇圧回路において、電界効果トランジスタが破壊することのないよう、電圧を一定値以下に制限することは、例えば、上記引用例2の摘記事項（h）に『昇圧回路の出力信号が電源電圧以上であって、かつ所定の値以下の電圧とされる。これにより、昇圧回路の出力信号を受ける回路素子の破壊を防止することができる。』と記載されているように、当業者における周知技術である。」（審決17頁2～10行）と判断している。

しかし、引用例2の「昇圧回路の出力信号を受ける回路素子の破壊を防止することができる」における回路素子とは、メモリアレイ（M—ARRAY）の外側にあるMOSFETQ35のことであって、引用例2はセルアクセストランジスタの破壊防止を開示しているのではなく、メモリアレイの外側にあるトランジスタの破壊防止を開示しているにすぎない。すなわち、引用例2においては、メモリアレイ外側にあるMOSFETQ35のゲート絶縁膜の破壊防止は記載されているが、「ワード線に接続されたアクセス電界トランジスタ（FET）（3A，3B）」の破壊防止は記載されていない。

したがって、本願発明のように、「ワード線に接続されたアクセス電界トランジスタ (F E T) (3 A, 3 B)の信頼性を損なうような高論理レベル電圧(V_{pp}) + 2 x F E Tの閾値電圧($2 V_{tn}$)を超えないように調整」するという特徴は技術常識でもなければ、周知技術ともいえない。

本願発明は、特許請求の範囲に記載しているように、DRAMのメモリセル内部のアクセス電界効果トランジスタのゲートに印加されるワード線の電圧を問題にしている発明であるにもかかわらず、審決はそれを無視して、単に半導体メモリ素子という広い概念を利用することにより、引用発明1に対して引用例2に記載されているという周知技術を適用しており、違法である。

(イ) 下限値について

審決は、「引用発明において、『昇圧電圧』の下限を、本願発明のように、『当該DRAMが機能している間、前記高論理レベル電圧+閾値電圧』とすることは、当業者であれば当然になし得たことである。」(審決16頁下から2行～17頁1行)と判断するが、誤りである。

すなわち、引用例1と複数の著者が同じで題名も同じ文献である「A 45-ns 16-Mbit DRAM with Triple-Well Structure」IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 5, OCTOBER 1989」(甲27。以下「甲27文献」という。)を参照すれば、引用発明1の昇圧電圧 V_{bs} の下限値は $V_{int} - v_t$ (約3.3V)となっているのであって、この電圧値は本願発明の高レベル電圧の下限値である「高論理レベル電圧+F E Tの閾値電圧($V_{dd} + V_{tn}$)」($= 4V + 約0.7V = 約4.7V$)よりもずっと低い。一方、本願発明のDRAMでは、アドレス信号を入力してメモリセルの読み出し書き込みをするときだけではなく、当該DRAMの機能している間、前記高レベル電圧の下限が高論

理レベル電圧+閾値電圧 ($V_{dd} + V_{tn}$) に保たれている。審決はこの相違点について容易性の判断をしておらず、違法である。

(ウ) 上限値について

また、審決は、「メモリの信頼性を損ねることがあったので、本願発明においては、電圧 $V_{dd} + 2V_{tn}$ を超えないようにしたという程度のことであって、電界効果トランジスタの破壊、及びそれに伴うメモリの信頼性低下という観点から見て、電圧 $V_{dd} + 2V_{tn}$ という上限値に格別の技術的意味があるとは認められない。」(審決18頁2～6行)と判断しているが、誤りである。

審決は単に「・・・ようにしたという程度のことである」などという安易な認定をしているが、本願発明の発明者は、 $V_{dd} + 2V_{tn}$ の過剰電圧をセルアクセストランジスタのゲートに印加すると信頼性を損ねることを初めて見だし、「ワード線に接続されたアクセス電界トランジスタ (FET) (3A, 3B) の信頼性を損なうような高論理レベル電圧 (V_{pp}) + 2 x FET の閾値電圧 ($2V_{tn}$) を超えないように調整」するという具体的な特徴に至ったのである。

(エ) 以上のとおり、「したがって、引用発明において、当該周知技術を適用し、DRAMが機能している間、『昇圧電圧』を、電界効果トランジスタが破壊することのないような低い電圧とすること、すなわち、『昇圧電圧』を『DRAMの信頼性を損なうような』電圧とならないように低く抑えることは、当業者が容易になし得たことである。」(審決17頁11～15行)との審決の判断は誤りである。

ウ 取消事由3 (相違点2 (c) についての判断の誤り)

(ア) 審決は、相違点の2 (c) に関して、「引用発明における『昇圧電圧』は、メモリの動作に支障を来すことがない程度に一定となっているものと認められる。」と認定しているが、誤りである。

すなわち、引用発明1では、引用例1の図4の説明から明らかなように、ブートストラップ回路を用いている。しかし、本件明細書の段落【0006】の記載から明らかなとおり、ブートストラップ回路では、電圧 $V_{dd} + 2V_{tn}$ を越えてしまう。したがって、引用発明1の「昇圧電圧」では、電圧 $V_{dd} + 2V_{tn}$ を越えてしまい、メモリの動作に支障を来すことがない程度に一定となっていないことは明らかである。また、引用発明2もブートストラップ回路を用いる発明である。

これに対して、本件明細書の段落【0008】に「本発明は、ダブルブートストラッピング回路の必要性を無くし、」と記載されていること、ブートストラップ回路が電圧 $V_{dd} + 2V_{tn}$ を越えてしまい一定の電圧をもたらさないという事実から、本願発明は、ブートストラッピング (bootstrapping) を行う回路を一切廃したものであって、ブートストラップ回路を使用せずに高レベル電圧を実質的に一定である電圧に調整している発明である。

このように、引用発明1から出発して本願発明に至るためには、引用発明1からブートストラッピングを行う回路を除去しなければならず、このようなことの動機も示唆もない状況において、引用発明1からブートストラッピングを行う回路を除去して本願発明の構成に至ることは当業者には容易想到ではない。したがって、引用発明1及び引用発明2から、本願発明の進歩性を否定することはできない。

(イ) この点に関し、被告は、引用例1の図7によれば、引用発明1におけるワード線「WDRV_k」が速やかにほぼ一定の値となっていることが明らかであるから、引用発明1における昇圧電圧が一定でないという原告の主張は誤りであると主張する。

しかし、引用発明1では、当該メモリが機能している間、昇圧電圧 V_{bs} が低電圧（約3.3V）のときがあり、その後、約5.7Vへと

上昇しているのであって、実質的に一定となっていない。このことは、甲 27 文献をみれば明らかであり、甲 27 文献によると、引用発明 1 は、当該メモリが機能している間、昇圧電圧が約 3.3 V と約 5.7 V との間で上昇・下降を繰り返しており、いずれにしても実質的に一定となっていないことは明らかである。

これに対して、本願発明は、高レベル電圧はアドレス信号入力時に既に実質的に一定の高い電圧値であり、ワード線が駆動していない間も高レベル電圧は一定であってその都度高い電圧に上昇させる必要はなく、メモリ動作速度が速いという効果が得られるのであって、引用発明 1 とは大きな差違がある。

(ウ) 上記(イ) に関し、被告は、「DRAMが機能している間」とは「ワード線駆動機能」が働いている期間であると主張するが、誤りである。すなわち、本願発明には、「ワード線が駆動されている間」との表現は存在しないのであって、「DRAMが機能している間」とは、DRAMが何らかの機能を発揮している間の意味であり、ワード線が駆動されている間だけに限られない。例えば、DRAMに電源が入ってから電源が切れるまで、当該DRAMが何らかの機能を発揮している間を意味する。引用発明 1 においては、DRAMに電源が入ってから電源が切れるまでの間に、昇圧電圧 V_{bs} が明らかに上昇下降を繰り返していて一定ではないことは明らかである。

(エ) さらに、被告は、「前記高レベル電圧」が「2次デコーダ」の出力電圧であることを意味するものであることが明らかであると主張しているが、誤りである。すなわち、本願発明において、一定電圧値である高レベル電圧 (V_{pp}) は、レベルシフタ 6 に含まれる P-チャネルトランジスタ 7A, 7B のソースに直接印加されている。その印加電圧は、 V_{pp} (高レベル電圧) であり、それが上下することはない。2次デコ

ーダも動作するために電源電圧を必要としており、そのための電源電圧が高レベル電圧 V_{pp} なのであり、請求項1の表現『2次デコーダ出力レベルを与える』とは、高レベル電圧 V_{pp} が2次デコーダに電源電圧を与えるという意味である。仮に被告の主張どおりだとすると、本願発明においては、請求項1に明記しているように、「前記高レベル電圧が前記第1および第2のプルアップFETのソースに直接印加され」ているDRAMが本来の機能を発揮しなくなる。レベルシフタのトランジスタ7A及び7Bのソースに接続されているラインの電圧は常に高レベル電圧値 V_{pp} であって、ライン15上の電圧と常に一致するわけではないのである。

2 請求原因に対する認否

請求原因(1)ないし(3)の各事実は認めるが、(4)は争う。

3 被告の反論

審決の認定判断に誤りはなく、原告主張の取消事由はいずれも理由がない。

(1) 取消事由1に対し

ア 原告の主張(ア)につき

原告は、被告が相違点2(b)に係る構成が引用例2に記載されていると誤って認定したと主張するが、次のとおり、失当である。

相違点2(b)の構成は、高レベル電圧が、当該DRAMが機能している間、①前記高論理レベル電圧+FETの閾値電圧と②DRAMの信頼性を損なうような前記高論理レベル電圧+2x FETの閾値電圧との間の電圧とする点である。しかし、審決の判断内容をみれば、審決が上記①及び②の構成そのものが引用例2に記載されているとも、周知性が高い技術事項とも認定していないことは明らかである。

したがって、審決において、相違点2(b)に係る構成が引用例2に記載されているという認定がなされていることを前提とする原告の主張は、

誤りである。

イ 原告の主張(イ)につき

原告は、引用例 2 は審査の段階ではいわゆる組合せによる進歩性否定に用いられたのに対し、審決においては周知技術であるという理由に用いられた点は新たな拒絶理由であるから、審判手続において被告が原告に意見を述べる機会を与えなかったことは特許法 50 条違反になる旨主張する。

確かに、審査段階での拒絶理由と審決とを比較すると、審査段階では、引用発明 1 と引用例 2 に記載された技術とから本願発明が容易推考であると認定しているのに対して、審決は、引用例 2 を組み合わせるまでもなく引用発明 1 のみから本願発明が容易推考と認定し、当業者の技術水準を示すための周知例として引用例 2 を例示したものであるといえる。

しかし、引用例 1 及び引用例 2 は、いずれも審査段階の当初より原告に提示されたものであるから、原告がこれらの刊行物を検討し意見を述べる機会は十分にあったものである。また、本願の出願経過からみて、原告は、審判請求時には、引用例 1 及び引用例 2 の両刊行物を検討した上で、「高論理レベル電圧 + F E T の閾値電圧の 2 倍よりも低い電圧」という構成が推考容易であると認識していたものである。

したがって、新たな拒絶理由を通知しなかったことが、意見書の提出及び補正の機会を奪うものでなかったことは明らかであるから、本願の審判手続には、原告の主張するような特許法 50 条に違反する手続違背はない。

(2) 取消事由 2 に対し

ア 原告の主張(ア)につき

(ア) 原告は、「一般に、メモリに用いられている電界効果トランジスタが、ゲート電圧に一定以上の高電圧が印加されると容易に破壊されることは、当業者における技術常識であり、」との審決の認定が誤りであると

主張する。

しかし、上記審決の認定が正しいことは、乙4（特開昭60-57659号公報。以下「乙4文献」という。）、乙5（特開昭61-144857号公報。以下「乙5文献」という。）、乙6（特開昭61-14764号公報）の記載から明らかである。

(イ) 原告は、「メモリにおける昇圧回路において、電界効果トランジスタが破壊することのないよう、電圧を一定値以下に制限することは、・・・当業者における周知技術である。」との審決の認定は誤りであるとし、その理由として、引用例2はセルアクセストランジスタの破壊防止を開示しているのではなく、メモリアレイの外側にあるトランジスタの破壊防止を開示しているにすぎないなどと主張する。

しかし、審決は、「ワード線に接続されたアクセス電界トランジスタ(FET)(3A, 3B)の信頼性を損なうような高論理レベル電圧(V_{pp}) + $2 \times FET$ の閾値電圧($2V_{tn}$)を超えないように調整」という特徴が周知技術であると判断したものではない。審決は、メモリアレイの中にあるセルアクセストランジスタとも外側のトランジスタとも区別せず、メモリ内の昇圧回路の出力を受ける電界効果トランジスタ全般に対して上記のような周知技術の認定をしているのである。そして、一般に、メモリ内には種々の機能を有する電界効果トランジスタが無数に組み込まれているところ、それらは同一の構造（いわゆるMOS構造）を有しており、過電圧に弱いという性質はすべての電界効果トランジスタについてあまねくいえることであるから、上記のような認定が正しいことは明らかである。

イ 原告の主張(イ)（下限値）につき

引用発明1においても、ワード線電圧である「 $WDRV_k$ 」が、昇圧電圧である一定の電圧に速やかに収束して安定し、ワード線が駆動されてい

る間において「昇圧電圧」が一定に制御されているから、引用発明1の昇圧電圧が本願発明の高レベル電圧の下限值よりずっと低い値になることはない。なお、アドレス信号が入る前の時点についていえば、本願発明においては、高レベル電圧が2次デコーダの出力値 V_{ss} であることから、当該「高レベル電圧」は、原告の主張する本願発明の電圧の下限值4.7Vどころか引用発明1より低い電圧になっていることが明らかである。したがって、原告の主張は誤りである。

ウ 原告の主張(ウ) (上限値) につき

FETの構造・形状により破壊電圧は異なるのであるから、 $V_{dd} + 2V_{tn}$ という上限値が技術的意味を持たないことは明らかである。

現に、本願明細書の記載を見ても、従来、昇圧電圧が電圧 $V_{dd} + 2V_{tn}$ （「高論理レベル電圧 + 2 x FETの閾値電圧」に相当）を超えるように設計されていたところ、メモリの信頼性を損ねたので、その値を超えないようにした旨が記載されているのみであり、 $V_{dd} + 2V_{tn}$ という上限値は、実験等により技術的に意味のある値を見いだしたものではなく、たまたま原告が使用していたメモリ内のFETが「高論理レベル電圧 + 2 x FETの閾値電圧」を超えると壊れてしまったという偶然の事象に基づいて決定されたにすぎないものであって、当該上限値が技術的意義を有していないことに疑いの余地はない。

この点に関し、原告は、具体的数値を示して、引用発明1の出力電圧 $WDRV_k$ の上限値（約5.7V）は、本願発明における高レベル電圧（ V_{pp} ）の上限値（5.4V）よりも大きいなどと主張するが、 V_{dd} や V_{th} がどのような値かは不明であるから、原告の主張は、原告にとって都合のよい仮定に基づくものであり、この点においても原告の主張が誤りであることは明らかである。

エ 原告の主張(エ) につき

上記(イ) のとおり，技術的意義を有しない上限値を特定することに対して，当業者が適宜なし得る程度のことであると判断するのは当然のことであり，この点に関する審決の判断に誤りはない。

(3) 取消事由 3 に対し

ア 原告は，(ア) において，本願発明がブートストラップ回路を使用しないものであると主張するが，ブートストラップ回路を使用しないことについては，本願の願書（平成14年11月14日付け）に最初に添付された明細書（甲4。以下「当初明細書」という。）の請求項1では「上記変換手段は電圧昇圧用のブーストコンデンサを有さない」と特定されていた構成を補正により削除し，現在の請求項1（本願発明）には記載も示唆もないのであるから，原告の上記主張は，特許請求の範囲の記載に基づかないものであって，誤りである。

また，引用例1（甲1）の図4に記載された回路における昇圧電圧がメモリの動作に支障を来すことがない程度に一定であることは，当該回路がメモリ用に設けられたものであることから自明な事項であり，実際，引用例1の図7によれば，引用発明1におけるワード線「WDRV_k」が速やかにほぼ一定の値となっていることが明らかであるから，引用発明1における昇圧電圧が一定でないという原告の主張も誤りである。

仮に，本願発明がブートストラップ回路を使用しないものであるとしても，本願明細書（平成18年7月10日付け補正後のもの，甲10）の「ワード線はNANDゲート5の入力に加えられるアドレスA_{i j}によって選択される。従来技術に於いては，ダブルブートストラップ回路がNANDゲート5とワード線との間で接続されていた。」（段落【0014】）との記載によれば，本願発明において使用を廃した「ブートストラップ回路」とは，アドレスA_{i j}が加えられるNANDゲート5とワード線との間に設けられる「ブートストラップ回路」を意味するものであることが明

らかである。そして、引用例1の図4の回路では、ブートストラップ回路は、XVALIDが入力されるインバータとpチャネル電界効果トランジスタ7A、7B、14Aとの間に設けられているのであり、本願発明において使用を廃した「ブートストラップ回路」は引用発明1においても設けられていないことが明らかである。

したがって、仮に本願発明がブートストラップ回路を使用しないものであるという原告の主張を認めたとしても、本願発明と引用発明1との間に原告が主張するブートストラップの有無に関する差異は存在せず、原告の上記主張は誤りである。

イ 次に、原告は、(イ)において、引用発明1は当該メモリが機能している間、昇圧電圧が約3.3Vと約5.7Vとの間で上昇・下降を繰り返しており、いずれにしても実質的に一定となっていないと主張する。

しかし、昇圧電圧が一定かどうかに関し、「DRAMが機能している間」とは「ワード線駆動機能」が働いている期間であるから、引用発明1もその期間において昇圧電圧が一定に制御されていることは明らかであり、約3.3Vと約5.7Vとの間で上昇・下降を繰り返すものではないから、原告の主張は誤りである。

また、原告は、本願発明は、高レベル電圧はアドレス信号入力時に既に実質的に一定の高い電圧値であり、その都度高い電圧に上昇させる必要はなく、メモリ動作速度が速いという効果が得られると主張する。

しかし、本願発明の「高レベル電圧」が「DRAMが機能している間、実質的に一定である」という事項についてみると、当初明細書(甲4)等には、「高レベル電圧」が「DRAMが機能している間、実質的に一定である」ということはもちろん、「一定」という言葉さえ記載されていない。

そして、本願発明は、請求項1の記載及び「ワード線(パストランジスタゲート)駆動電圧が、ワード線を駆動するのに必要な電圧以上にならな

いように、制御されている電圧に合わせて、正確に、ワード線駆動電圧を、制御する回路を提供することを目的とする。」（段落【0008】，甲10）という記載等から明らかなように、専ら「ワード線駆動機能」のみに特徴を有するものであるから、本願発明の「高レベル電圧」が「DRAMが機能している間、実質的に一定である」とは、（メモリの読み書き等の動作の際に）ワード線が駆動されている間（すなわち、「ワード線駆動機能」が働いている期間）にメモリの動作に支障がない程度に一定であることを意味するものであり、ワード線が駆動されていない間（すなわち、「ワード線駆動機能」が働いていない期間）までも「高レベル電圧」が一定であることを意味するものでないことは明らかである。

この点に関し、本願発明には、「高レベル電圧」について「2次デコーダ出力レベルを与える前記高レベル電圧は・・・」と記載されており、本願明細書（甲10）の段落【0018】及び図1の記載から、「前記高レベル電圧」が「2次デコーダ」の出力電圧であることを意味するものであることが明らかである。そうすると、「2次デコーダ」の出力電圧がワード線を駆動していないときに低レベル（通常は V_{ss} ）に落ちていることは当業者の技術常識（例えば、引用例2の第3図参照）であるから、本願の「高レベル電圧」はワード線が駆動されているときにのみ高電圧となり、ワード線を駆動していないときには低電圧となるものであることが明らかである。

したがって、この点からも、本願発明の「高レベル電圧」が「DRAMが機能している間、実質的に一定である」とは、ワード線が駆動されている間にメモリの動作に支障がない程度に一定であることを意味するものであり、ワード線が駆動されていない間までも「高レベル電圧」が一定であると解する余地がないことは明白である。

ウ さらに、原告は、(エ)において、上記イの被告の主張どおりだとすると、

前記高レベル電圧が前記第1および第2のプルアップFETのソースに直接印加されているDRAMが本来の機能を発揮しなくなると主張するが、本願発明において「当該DRAMが機能している間、・・・実質的に一定である電圧に調整され」ているのは、レベルシフタへの電源供給ラインではなく、ライン15の「高レベル電圧」であるから、原告の上記主張は失当である。

第4 当裁判所の判断

1 請求原因(1) (特許庁における手続の経緯) , (2) (発明の内容) , (3) (審決の内容) の各事実は、当事者間に争いが無い。

2 容易想到性の有無

審決は、本願発明は引用発明1及び引用発明2に基づいて当業者が容易に想到できるとし、一方、原告はこれを争うので、以下検討する。

(1) 本願発明の意義

ア 本願明細書(特許請求の範囲は平成21年5月13日付け本件補正後のもの〔甲20〕、発明の詳細な説明は平成18年7月10日付け補正後のもの〔甲10〕、図面は当初明細書〔甲4〕に基づくもの)には、次の記載がある。

(ア) 特許請求の範囲

【請求項1】 前記第3, 1(2)のとおり。

(イ) 発明の詳細な説明

- ・「【産業上の利用分野】本発明はCMOS型ダイナミックランダムアクセスメモリ(DRAM)に関し、更に詳説すれば、ワード線のドライバに関する」(段落【0001】)
- ・【従来の技術】
- ・「DRAM設計の初期においては、もっぱら、NチャンネルデバイスであるNMOS型FETが使用された。V_{dd}+V_{tn}レベル信号

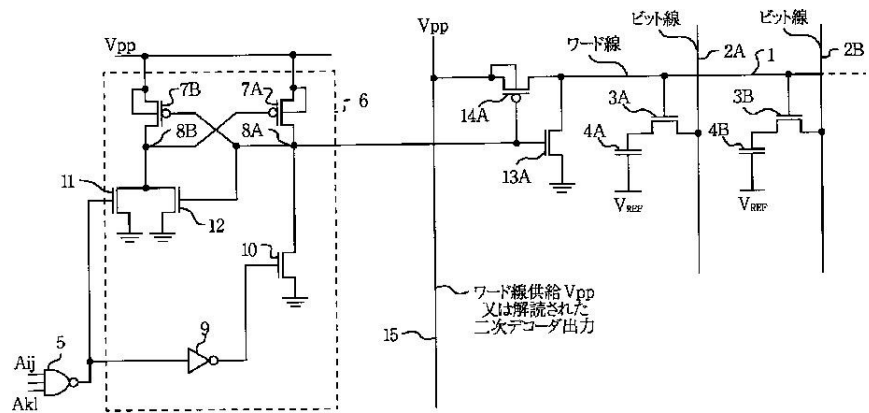
を選択されたワード線に通すためには、少なくとも $V_{dd} + 2V_n$ で、パストランジスタのゲートをドライブさせなければならなかった。更に、このようにして、比較的高速なメモリを助けるために、適度な時間内に、十分なドライブはワード線で $V_{dd} + 2V_{tn}$ 以上の電圧を達成するために、パストランジスタのゲートは十分な高電圧に駆動される。このような、デバイスでは、ワード線駆動信号は、良く知られているダブルブートストラップ回路にコンデンサを用いた。」（段落【0005】）

- ・「上述の回路においては、ブートストラッピング電圧回路は、電圧 $V_{dd} + 2V_{tn}$ を越えるように設計されているが、これは、温度および、電力供給、プロセスの変動によって、パストランジスタ駆動電圧が $V_{dd} + 2V_{tn}$ 以下に低下するようなことが無いように保証するためである。」（段落【0006】）
- ・「しかしながら、小型のVLSIメモリにおいては、ブートストラップ回路によって供給される高電圧が、該メモリの許容電圧を超えることができるので、そのため、該メモリの信頼性が損なわれた。」（段落【0007】）
- ・「【発明の目的と構成】本発明は、ワード線（パストランジスタゲート）駆動電圧が、ワード線を駆動するのに必要な電圧以上にならないように、制御されている電圧に合わせて、正確に、ワード線駆動電圧を、制御する回路を提供することを目的とする。本発明は、ダブルブートストラッピング回路の必要性を無くし、更に、メモリセルアクセストランジスタを、完全に始動するのに必要な電圧以上の電圧が発生しないことを保証する。従って、信頼性を損なうような過剰電圧を防ぐと共に、正確な駆動電圧が得られる。」（段落【0008】）
- ・「【発明の実施の形態】第1図に示されるように、CMOS型DRA

Mはワード線1とビット線2A, 2B等を有している。アクセストランジスタ3A, 3Bは, それぞれワード線1に接続されているゲートを有すると共に, それぞれビットチャージ記憶コンデンサ (BIT CHARGE STORING CAPACITOR) 4A, 4B等に接続されているソースを有している。ビットチャージ記憶コンデンサ4A, 4Bは, 更にアースに接続されている。アクセストランジスタ3A, 3B等のドレインは, それぞれ, ビット線2A, 2B等に接続されている。」(段落【0011】)

- ・「論理信号 $V_{dd} + V_{tn}$ を, アクセストランジスタ3A, 3B等のゲートに加えると, ビットライン2A, 2B等の V_{dd} レベルは, 書き込みサイクル中に, 対応するコンデンサ4A, 4B等に, 完全に転送される。従来技術に於いては, アクセストランジスタ3A, 3B等のゲートに於いて $V_{dd} + V_{tn}$ 以上の電圧を保証する為に, $V_{dd} + 2V_{tn}$ 以上の電圧をN-チャンネルパストランジスタに印加しなければならなかった。」(段落【0012】)

- ・【図1】本願発明の実施例に基づくDRAMの概略ダイアグラム



- ・「従来技術のDRAMでは, 例えば, ビットチャージ記憶コンデンサ

4 Aと、それに対応するアクセストランジスタ 3 Aとを組み合わせ
て、メモリセルが形成される。」（段落【0013】）

- ・「ワード線はNANDゲート5の入力に加えられるアドレスA_{i j}によ
って選択される。従来技術に於いては、ダブルブートストラップ回
路がNANDゲート5とワード線との間で接続されていた。」（段落
【0014】）
- ・「本発明に於いては、論理レベルV_{dd}+V_{tn}以上の電圧V_{pp}が
利用されている。レベルシフト6は一对の交差結合されたされたP-
チャンネルトランジスタ7 A, 7 Bで形成されている。交差結合され
たP-チャンネルトランジスタ7 A, 7 Bのソースは電圧ソースV_{pp}
に接続されている。レベルシフト6は第一制御ノード8 A, 第二制
御ノード8 Bを、それぞれ構成する。」（段落【0015】）
- ・「インバータ9を介して、NANDゲート5は、N-チャンネルFET
10に接続されている。N-チャンネルFET10は、アースに接
続されているソースを有すると共に、第一制御ノード8 Aに接続され
ているドレインを有している。」（段落【0016】）
- ・「NANDゲート5の出力はN-チャンネルFET11のゲートに接
続されている。更に、N-チャンネルFET11は、アースに接続さ
れているソースを有すると共に、第二制御ノード8 Bに接続されてい
るドレインを有している。第三のN-チャンネルFET12は、ア-
ースに接続されているソースを有すると共に、N-チャンネルFET1
1のドレインに接続されているドレインを有し、更に、第一制御ノー
ド8 Aに接続されているゲートを有している。（段落【0017】）
- ・「第一制御ノード8 A（又は、第一制御ノード8 Aのバッファーされ
たバージョン）は、パストランジスタ14 Aのゲートと、プルダウン
トランジスタ13 Aのゲートとに、印加されている。パストランジス

タ14AのソースはVpp線，すなわち，Vss又はVppレベルを供給する2次デコーダの出力に接続されている一方，そのドレインはワード線1に接続されている。プルダウントランジスタ13Aは，そのソースがアースに接続されている一方，そのドレインがワード線1に接続されている。」（段落【0018】）

- ・「以下に，先ず，ワード線1が選択されていない場合の動作について説明する。NANDゲート5の，少なくとも一つのアドレス入力がロー（LOW）であり，NANDゲート5の出力をハイ（HIGH）にする。従って，インバータ9の出力をローにする。N-チャンネルFET11はイネーブルされて，第二制御ノード8Bをアースに接続する。N-チャンネルFET10は，ディスエーブルされて，クロスカップルされたP-チャンネルトランジスタ7Aを介して，第一制御ノード8AをVppにする。N-チャンネルFET12は，このようにして，イネーブルされて，第一制御ノード8Aがハイに維持されることを保証する。Vppレベルにある第一制御ノード8Aはパストランジスタ14Aをディスエーブルする一方，プルダウントランジスタ13Aをイネーブルして，ワード線1をアースに保持する。このようにして，アクセストランジスタ3A，3Bは，イネーブルされず，コンダクトされることもない。従って，ビットチャージ記憶コンデンサ4A及び4Bに，記憶されたチャージは，このようにして保持されて，ビット線に読み出されることはない。」（段落【0019】）

- ・「次に，ワード線1が選択されている場合の動作について説明する。電圧レベルがVddである論理ハイレベル（高論理レベル）のアドレス信号が全てのNANDゲート5の入力に加わると，NANDゲート5の出力は，ローレベルになる。インバータ9の出力は，ハイレベルになる一方，N-チャンネルFET10はイネーブルされ，第一制御

ノード8 Aをアースに接続する。このようにして、クロスカップルされたP-チャンネルトランジスタ7 Bは、イネーブルされ、更に、第二制御ノード8 Bは V_{pp} に接続される。又、クロスカップルされたP-チャンネルトランジスタ7 Aは、ディスエーブルされて、第一制御ノード8 Aがアースに維持される。更に、N-チャンネルFET1 2がディスエーブルされて、クロスカップルされたP-チャンネルトランジスタ7 Bを介して、第二制御ノード8 Bが V_{pp} に維持される。第一制御ノード8 Aのアースレベル電圧によって、プルダウントランジスタ1 3 Aがディスエーブルされる一方、パストランジスタ1 4 Aはイネーブルされて、ワード線1に V_{pp} レベルの電位が加わる。ワード線1の電圧は、このようにして、ワード線1が選択されているか否かに基づいて、制御されて、アースと V_{pp} との間で切り替えられる。電圧 V_{pp} を $V_{dd} + V_{tn}$ に制御することによって、セルアクセストランジスタ3 A、3 Bのゲートには $V_{dd} + V_{tn}$ が加わることとなる。しかしながら、電圧 V_{pp} は、DRAMの信頼性を損なうような過剰電圧より低い値になるように選択される。」（段落【0020】）

イ 上記記載によると、本願発明は、CMOS型DRAMのワード線のドライバに関し、従来のブートストラッピング電圧回路では電圧 $V_{dd} + 2V_{tn}$ を越えるように設計されているため、そのような回路によって供給される高電圧はメモリの許容電圧を超えることがあり該メモリの信頼性が損なわれるという課題があったところ、請求項1に記載されたような構成を採用することによって、ダブルブートストラッピング回路の必要性をなくし、更に、メモリセルアクセストランジスタを、完全に始動するのに必要な電圧以上の電圧が発生しないようにして、信頼性を損なうような過剰電圧を防ぐと共に正確な駆動電圧を得られるDRAM、という発明である

と認めることができる。

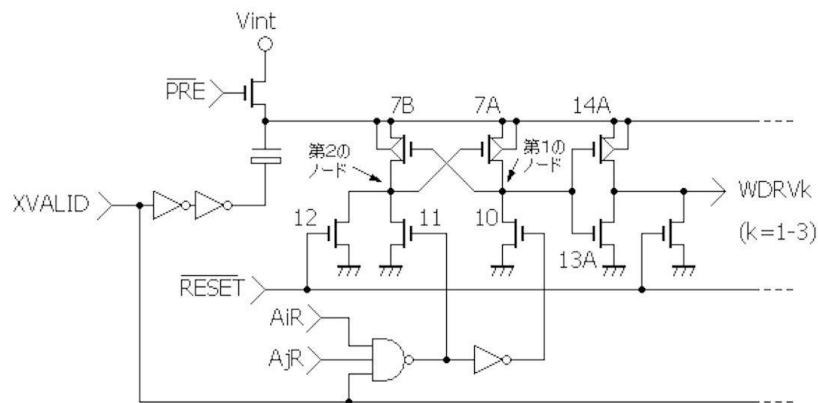
(2) 引用発明1の意義

ア 引用例1（甲1）には、次の記載がある。

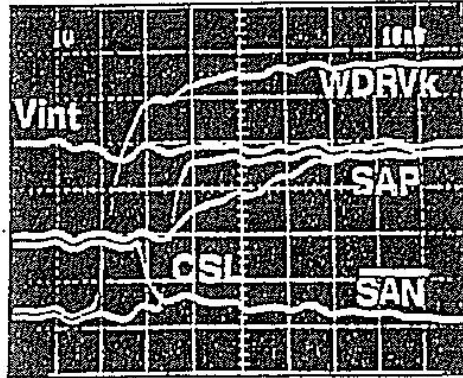
- ・「Figure 4 shows circuit schematics of the wordline driver, which incorporates one of the row address decoding stages and uses P-channel transistors as the drivers which operate in the triode region, achieving fast row decoding and word line bootstrapping.」

（4図はワード線ドライバの回路図を示す。この回路図は、一つの行アドレスデコーディング段を含み、トライオード領域で動作するドライバとしてPチャネルトランジスタを用い、高速行デコーディング及びワード線ブートストラッピングを達成する。248頁左欄45行～49行。ただし、上記訳文は、原告準備書面（第5回）15頁による。）

- ・FIGURE 4（第4図）（Circuit Schematics of decoded wordline driver, なお、図中に付されている番号は、対比のために判決において付した。）



- ・FIGURE 7（第7図）（Operating waveforms of internal signals）（内部信号の駆動波形）



イ 上記記載によれば，引用発明 1 は，審決（6 頁～7 頁）も認定したとおり，次の内容の発明であることが認められる。

「電荷蓄積コンデンサ及び n チャネル電界効果トランジスタを有するメモリセルであり，該 n チャネル電界効果トランジスタのドレイン・ソース回路がビット線と前記電荷蓄積コンデンサとの間に接続され，前記 n チャネル電界効果トランジスタのゲートがワード線 $WDRV_k$ に接続されているメモリセル；及び

レベルシフタ及び p チャネル電界効果トランジスタ 14A を有するワード線 $WDRV_k$ のドライバー；

を備えた DRAM であって：

前記ワード線 $WDRV_k$ のドライバーは，それぞれ高論理レベル電圧又は低論理レベル電圧を選択的に有する複数のアドレス信号（ A_iR ， A_jR ）をデコードして，そのデコードした信号及びデコードした信号の反転信号を前記 n チャネル電界効果トランジスタ 11 及び 10 のゲートに供給し，昇圧回路を構成しているコンデンサから得られる昇圧電圧を前記 p チャネル電界効果トランジスタ 14A を通じて選択的に前記ワード線 $WDRV_k$ に印加することによりワード線を駆動する動作を行い，

前記レベルシフタは， p チャネル電界効果トランジスタ 7A 及び 7B と

前記 n チャンネル電界効果トランジスタ 1 0 及び 1 1 と / R E S E T 信号がゲートに供給される n チャンネル電界効果トランジスタ 1 2 を含み；

前記昇圧電圧が前記 p チャンネル電界効果トランジスタ 7 A 及び 7 B のそれぞれのソースに印加され、

前記 p チャンネル電界効果トランジスタ 7 A のドレインと第 1 のノードとの間に電流経路が形成され、

前記 p チャンネル電界効果トランジスタ 7 B のドレインと第 2 のノードとの間に電流経路が形成され、

前記 n チャンネル電界効果トランジスタ 1 0 のドレインと前記第 1 のノードとの間に電流経路が形成され、

前記 n チャンネル電界効果トランジスタ 1 1 のドレインと前記第 2 のノードとの間に電流経路が形成され、

第 1 のノードの電圧が前記 p チャンネル電界効果トランジスタ 7 B のゲートに印加され、

第 2 のノードの電圧が前記 p チャンネル電界効果トランジスタ 7 A のゲートに印加され、

前記 n チャンネル電界効果トランジスタ 1 0 および前記 n チャンネル電界効果トランジスタ 1 1 のゲートは、前記複数のアドレス信号 (A i R , A j R) に応答し、前記第 1 のノードは選択的にプルアップまたはプルダウンされ、

前記レベルシフタは、前記複数のアドレス信号 (A i R , A j R) に応答することにより、前記第 1 のノードから前記 p チャンネル電界効果トランジスタ 1 4 A のゲートへと前記昇圧電圧を選択的に供給するように動作する、ことを特徴とする D R A M 。 」

(3) 引用発明 2 の意義

ア また、引用例 2 (甲 2) には、次の記載がある。

- ・ 「〔従来の技術〕

情報記憶用キャパシタとアドレス選択用のMOSFETにより構成される1MOSFET型メモリセルを用いたダイナミック型RAM等の半導体集積回路装置においては、上記アドレス選択用MOSFETのゲートに結合される、ワード線の選択レベルを電源電圧以上の電圧に昇圧する昇圧回路（ブートストラップ回路）が設けられる。この理由は、上記メモリセルにおけるアドレス選択用MOSFETのゲート（ワード線）レベルを電源電圧以上に高くして、記憶用キャパシタへの書込みあるいは再書込みハイレベルが上記MOSFETのしきい値電圧により低下してしまうのを防止するとともに、メモリセルからの情報読み出し時に、高速にしかも効率よく信号をデータ線に伝達するためである。」

（2頁左上欄13行～右上欄8行）

- ・ 「〔実施例〕

第2図には、この発明に係る昇圧回路を含むダイナミック型RAMの一実施例のブロック図が示されている。」（2頁右下欄7行～10行）

- ・ 「第1図には、上記タイミング制御回路TCのワード線選択タイミング信号発生回路に含まれる昇圧回路の一実施例の回路図が示されている。

この昇圧回路は、ロウアドレスストロブ信号/RASに基づいて形成されたこれと同相の内部タイミング信号rasAを受け、電源電圧Vccより高い出力電圧とされたワード線選択タイミング信号φxを形成する。」（5頁右上欄6行～13行）

- ・ 「タイミング信号φxは、第2図に示すように、ロウアドレスデコーダR-DCRに供給される。

第3図には、上記ロウアドレスデコーダR-DCRの一実施例の回路図が示されている。ロウアドレスデコーダR-DCRは、特に制限されないが、ロウデコーダR-DCR1とR-DCR2との組み合わせによ

って構成される。第3図には、第1及び第2のデコーダR-DCR1及びR-DCR2の1単位回路が代表として示されている。第3図に示す回路は、ワード線4本(W0~W3)に対応する回路である。」(6頁右下欄3行~13行)

- 「第1デコーダR-DCR1は、2ビットの内部相補アドレス信号 a_{x0} 、 a_{x1} に基づいて4通りのワード線選択タイミング信号 ϕ_{x00} 、 ϕ_{x01} 、 ϕ_{x10} 及び ϕ_{x11} を形成する。特に制限されないが、タイミング信号 ϕ_{x00} は、アドレス信号 a_{x0} 及び a_{x1} がロウレベル($\neg a_{x0}$ と $\neg a_{x1}$ がハイレベル)にされているとき、タイミング信号 ϕ_{x0} に同期してハイレベルにされる。」(6頁右下欄18行~7頁左上欄5行)
- 「信号 $\neg RAS$ のロウレベルへの立下がりに同期して、ロウアドレス信号 $AX0 \sim AXi$ が取り込まれ、内部アドレス信号 $a_{x0} \sim a_{xi}$ が形成される。

内部アドレス信号 a_{x0} と a_{x1} がハイレベルである場合、ワード線選択タイミング信号 ϕ_{x0} のハイレベルに同期して1つのワード線選択タイミング信号 ϕ_{x00} がハイレベルに立ち上がる。この時上記MOSFETQ32のチャネルが信号 ϕ_{x00} のハイレベルにされることによって、すでにハイレベルにプリチャージされていたゲート電圧はセルフブートストラップ作用によって高レベルに持ち上げられる。これによって、信号 ϕ_{x00} は、レベル損失なく(信号 ϕ_{x0} と同一レベルに昇圧され)MOSFETQ35に伝えられる。」(8頁右下欄14行~9頁左上欄7行)

- 「本発明によれば、次の効果が得られる。
(1) 昇圧回路の出力信号が電源電圧以上であって、かつ所定の値以下の電圧とされる。これにより、昇圧回路の出力信号を受ける回路素子の

破壊を防止することができる。」（9頁右下欄20行～10頁左上欄4行）

- ・「たとえば、第5図の回路によって、電源電圧 V_{cc} 以上であって所定の電圧以下にされたワード線選択タイミング信号 ϕ_x を形成してもよい。第5図の昇圧回路では、ブースト容量 C_{p1} の入力側電極に供給されるブースト信号 ϕ_{dr} がローレベルの時、すなわち、ダイナミックRAMの非選択状態において、ブースト容量 C_{p1} の出力側電極がプリチャージMOSFET Q_1 を介して電圧 $V_{cc}-V_{th}$ にプリチャージされる。すなわち、プリチャージ信号 p_c のハイレベルによりMOSFET Q_1 がオン状態となり、ブースト容量 C_{p1} を電圧 $V_{cc}-V_{th}$ にプリチャージさせる。ダイナミックRAMが選択状態となり、ブースト信号 ϕ_{dr} がハイレベルになると、ブースト容量 C_{p1} の出力側電極の電位は、ほぼ電源電圧 V_{cc} の2倍の電圧（ $2V_{cc}-V_{th}$ ）に押し上げられ、電源電圧よりも高い電圧の信号 ϕ_x が得られる。信号 ϕ_x のハイレベルを制限するために、この例では、電圧制限手段が昇圧回路の出力側に設けられる。すなわち、第5図に示すように、ダイオード形態とされたMOSFET Q_{59} および Q_{60} による出力電圧のレベル制限回路が設けられる。これにより、信号 ϕ_x のハイレベルは $V_{cc}+2V_{th}$ （ V_{th} はMOSFET Q_{59} と Q_{60} のしきい値電圧）に制限される。」（10頁右上欄3行～左下欄9行）

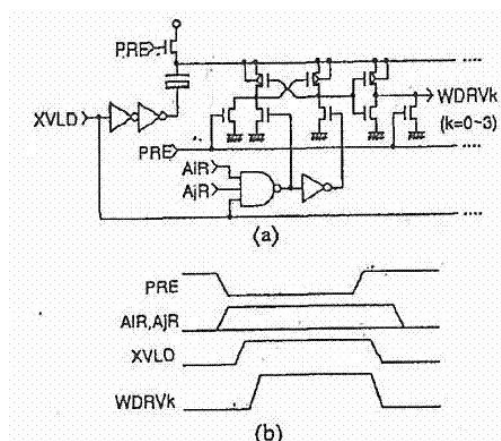
イ 上記記載によれば、引用発明2には、DRAMのメモリセルにおけるアドレス選択用MOSFETのゲート（ワード線）レベルを電源電圧以上に高くして、記憶用キャパシタへの書込みあるいは再書込みハイレベルが上記MOSFETのしきい値電圧により低下してしまうのを防止するためにDRAMにおけるワード線の電圧を電源電圧よりも高くするという技術課題について、「ロウデコーダR-DCR1」の出力する「信号 $\phi_x 0$

0」を昇圧された高レベルとする技術が記載されているものと認められる。

(4) 甲27文献の意義

ア 甲27文献 (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 5, OCTOBER 1989, 甲27) には、次の記載がある。

- ・ 「B. Decoded Word-line Bootstrap Driver」 (デコードされたワード線ブートストラップ回路ドライバ) [1172頁右欄下11行のタイトル]
- ・ 「Fast word-line bootstrapping is one of the key issues inherent to DRAM design since word-line selection, except for bit-line sensing, is the slowest operation in the DRAM critical path. 」
(ビット線検出を除き、ワード線選択はDRAMクリティカルパス中の最低速度動作であるため、高速ワード線ブートストラッピングはDRAM設計に伴う主要な問題の1つである。) [1172頁右欄下10行～下7行]
- ・ 「WDRV_k is selectively raised according to an address input 」 (WDRV_kは、アドレス入力に従って選択的に上昇される。) [1172頁下3行～下2行]
- ・ Fig 8 (第8図) ((a)Circuit schematics of word-line driver and (b) pulse timing) ((a)ワード線ドライバの回路図, (b)波形のタイミング)



イ 上記記載によれば、甲27文献に記載された第8図(a)のメモリ駆動回路は引用例1の図1の回路とほぼ同一のものと認められ、高速ワード線ブートストラッピングはDRAM設計に伴う主要な問題の1つであり、出力WDRV_kは、アドレス入力に従って選択的に上昇していることが認められる。

(5) 原告主張の取消事由に対する判断

ア 取消事由1（手続違背）について

(ア) 本願の出願経過

a 被告は、平成17年12月22日付拒絶理由通知（甲8）において、引用例1に引用例2及び実願昭60-165099号（実開昭62-73638号）のマイクロフィルムの構成を適用することにより、本願発明の進歩性を否定した。

b これに対し、原告は、平成18年7月10日付手続補正書（甲10）において、本願の請求項を補正し、補正後の請求項1において「・・・前記高レベル電圧は、全メモリ動作を通して、実質的に一定であり、かつ、前記高論理レベル電圧+FEETの閾値電圧に等しいかまたはそれよりも高く、前記高論理レベル電圧+FEETの閾値電圧の2倍よりも低い電圧であり；・・・」との電圧に関する構成を付加したが、同補正は平成18年9月7日付けで却下された（甲11）。しかし、原告は平成5年法律第26号による削除前の特許法122条に基づき上記補正却下に対し不服の審判請求（甲12）をしたところ、同補正却下処分は平成19年6月25日付けの審判により取り消された（甲14）。

c その後、被告は、上記補正後の発明について、平成20年6月6日付け拒絶理由通知（甲15）により、引用発明1に引用例2等に記載の構成を適用することにより本願発明の進歩性を否定する旨の通知

をした。

d これに対し原告は、平成20年12月10日付け手続補正書（甲17）において請求項1を補正し、電圧に関する上記構成を、「・・・前記高レベル電圧は、当該DRAMが機能している間、実質的に一定であり、かつ、前記高論理レベル電圧＋FETの閾値電圧に等しいかまたはそれよりも高く、DRAMの信頼性を損なうような電圧よりも低い電圧であり；・・・」と補正（下線部分）するとともに、同日付け意見書（甲16）において、「引用文献1はFETの破壊防止の観点_をを有しないことから、引用文献4（判決注：引用例2）の技術を引用文献1に適用することの契機がない。」と主張した。

e しかし、被告は、「この出願については、平成20年6月6日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものです。」として、平成21年1月7日付けで拒絶査定（甲18）をした。

f これに対し、原告は、平成21年4月13日付けで拒絶査定不服の審判請求（甲19）をし、その後、平成21年5月13日付け手続補正書（甲20）によって特許請求の範囲を減縮補正し、電圧に関する上記構成を請求項1において「・・・2次デコーダ出力レベルを与える前記高レベル電圧は、当該DRAMが機能している間、前記高論理レベル電圧＋FETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧＋2 x FETの閾値電圧との間の実質的に一定である電圧に調整され；・・・」と補正（下線が補正部分）をし、さらに、平成21年8月14日の手続補正書（甲21）において、
「（4） その他の相違点について

本発明はさらに、

「P-チャンネルパスFET」；

「2次デコーダ出力レベルを与える高レベル電圧」；及び

「高レベル電圧は、高論理レベル電圧＋2 x F E Tの閾値電圧との間の実質的に一定である電圧に調整され」という技術的特徴を備えており、これらの特徴はいずれの引用文献にも記載されていない。」と主張した。

g 前記不服審判請求事件は不服2009-8010として審査前置に付されたが、平成21年11月13日付けで審査前置が解除される(甲24)とともに、平成22年4月28日付けで審理が終結され(甲26)、平成22年5月22日付けで本件審決がなされたものである。

(イ)ところで、平成5年法律第26号による改正前の特許法159条2項、50条は、拒絶査定不服審判において査定の理由と異なる拒絶の理由を発見した場合には、拒絶の理由を通知し、相当の期間を指定して、意見書を提出する機会を与えなければならない旨を規定している。その趣旨は、審判官が新たな事由により出願を拒絶すべき旨の判断をしようとするときは、出願人に対してその理由を通知することによって、意見書の提出及び補正の機会を与えることにあるから、拒絶査定不服審判手続において拒絶理由を通知しないことが手続上違法となるか否かは、手続の過程、拒絶の理由の内容等に照らして、拒絶理由の通知をしなかったことが出願人の上記の機会を奪う結果となるか否かの観点から判断すべきものである。

(ウ)これを本件について検討すると、前記(ア)の出願経過からみて、審査段階の拒絶理由通知(甲15)では、本願の高レベル電圧に関する構成が、引用発明1と引用例2に記載された技術とから容易推考であると認定しているところ、審決は、全体の結論として、本願発明が、引用発明1と引用発明2に基づいて容易推考であるとしているものの、相違点2(b)の検討において、引用発明1に周知技術を適用して、当該相違点が容易推考と認定していることが認められる。

しかし、上記のとおり、審決においても、引用例1を主たる引用例として引用発明を認定し、本願発明と引用発明1との相違点を認定した後、当該相違点は当業者が容易に想到することができたものであるという、拒絶理由通知と同様の進歩性判断が基本的に維持されており、その容易性の判断の具体的な検討においても、例えば、相違点2(a)について、「引用発明に対して、上記引用例2(甲2)に記載されている技術を適用し」、当業者が容易になし得たことであると認定判断しているから、判断の枠組みは何ら変更されていないものと認められる。

確かに、審決は、相違点2(b)については当業者における周知技術に基づいて容易想到と判断したものではあるが、相違点2(b)は、本件補正により請求項1に加えられた構成の一部にすぎない上、容易性判断の際に勘案した周知技術は、「一般に、メモリに用いられている電界効果トランジスタが、ゲート電圧に一定以上の高電圧が印加されると容易に破壊されることは、当業者における技術常識であり、当該技術常識に基づき、メモリにおける昇圧回路において、電界効果トランジスタが破壊することのないよう、電圧を一定値以下に制限することは、例えば、上記引用例2の摘記事項(h)(判決注：「摘記事項(g)」の誤記。)に『昇圧回路の出力信号が電源電圧以上であって、かつ所定の値以下の電圧とされる。これにより、昇圧回路の出力信号を受ける回路素子の破壊を防止することができる。』と記載されているように、当業者における周知技術である。」(審決17頁2～10行)と認定しているように、自明ともいえる技術常識や、審査段階の当初より原告に提示された引用例2の記載を、当業者の技術水準を示すための周知例として参照しつつ認定されたものであって、審決の段階において、新たな文献から導びかれた技術的事項に基づいて容易推考(想到)の認定をしたものではない。

以上のとおり、上記周知技術は、引用例2を参照した当業者において

は当然に認識し得る技術的事項にすぎないから、審決が、相違点2(b)について、技術常識と引用例2の記載を参照して認定された周知技術に基づいて進歩性の判断を行うに際して改めて拒絶理由を通知しなかったとしても、原告にとって意見書の提出や補正の機会が奪われたということとはできない。したがって、手続違背に関する原告の上記主張は採用することができない。

(エ) なお、この点に関し、原告は、前記第3、1(4)ア(ア)において、周知性を示すために引用例2(甲2)が用いられ、相違点2(b)に係る構成が引用例2に記載されていると誤って認定した旨主張する。

しかし、そもそも、審決が引用例2(甲2)の記載に基づいて認定判断した技術的事項の適否は、審判における、平成5年法律第26号による改正前の特許法159条2項が準用する同法50条に違反する手続の違法性と直接の関係はないというべきであるし、審決は、「相違点2(b)に係る構成が引用例2に記載されている」と認定したのではなく、また、相違点2(b)に係る構成全体が周知技術であると認定したものでないことは審決の記載から明らかであるから、原告の上記主張は採用することができない。

イ 取消事由2(相違点2(b)についての判断の誤り)について

(ア) 相違点2(b)は、審決書15頁5行から9行記載のとおり、「本願発明は、『前記高レベル電圧』が、『当該DRAMが機能している間、前記高論理レベル電圧+FEETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧+2xFEETの閾値電圧との間の電圧』であるのに対して、引用発明1は、『昇圧電圧』についてそのような特定がなされていない点」であるので、まず、この点の容易想到性について検討する。

a 下限値(高論理レベル電圧+FEETの閾値電圧)につき

引用例2の従来技術の欄（前記(3)ア(ア)）に記載されているとおり、一般に、DRAMにおいて、昇圧回路で発生させた高電圧を用いてワード線を駆動する理由は、メモリセルの電荷蓄積コンデンサからデータを読み出したり当該コンデンサにデータを書き込む際に、アクセストランジスタとして機能しているnチャネル電界効果トランジスタのしきい（閾）値電圧によって、読み出し電圧又は書き込み電圧が低下することを防止するためであることは、当業者における技術常識と認められる。

そうすると、引用発明1における「昇圧電圧」においても、それが高論理レベル電圧nチャネル電界効果トランジスタのしきい値を加えた電圧よりも低ければ十分な効果を奏し得ないことは、上記技術常識に照らし、当業者が直ちに察知し得たものと認められる。

したがって、引用発明1において、「昇圧電圧」の下限を、本願発明のように「当該DRAMが機能している間、前記高論理レベル電圧＋FETの閾値電圧」とすることは、当業者が当然に想到し得たことと認められる。

- b 上限値（DRAMの信頼性を損なうような前記高論理レベル電圧＋2 x FETの閾値電圧）につき

引用例2の従来技術の欄（前記(3)ア(ア)）の「情報記憶用キャパシタとアドレス選択用のMOSFETにより構成される1MOSFET型メモリセルを用いたダイナミック型RAM等の半導体集積回路装置においては、・・・」との記載から明らかなように、メモリに用いられている電界効果トランジスタとしてMOSFETが用いられることはよく知られたことであって、本願の優先権主張日（平成2年〔1990年〕4月6日）前に公開された乙4文献（特開昭60-57659号公報、公開日 昭和60年4月3日）に〔背景技術〕とし

て、「MOS集積回路装置では、入力端子に静電気などの過電圧が印加されることにより内部回路特に入力回路を構成するMOSFET（絶縁ゲート型電界効果トランジスタ）のゲートが破壊され易い。」（1頁右欄2～5行）との記載があり、また、同じく乙5文献（特開昭61-144857号公報、公開日 昭和61年7月2日）の〔従来の技術〕として「MOS型トランジスタのゲート絶縁膜はきわめて薄い為、ゲート電極に印加される電圧が過大になると破壊され易い欠点を有している。」（1頁右欄2～4行）と記載されていることから明らかにおり、メモリに用いられているMOS型電界効果トランジスタが、ゲート電圧に一定以上の高電圧が印加されると容易に破壊されることは当業者における技術常識であった。そして、引用例2の前記(3)アに「昇圧回路の出力信号が電源電圧以上であって、かつ所定の値以下の電圧とされる。これにより、昇圧回路の出力信号を受ける回路素子の破壊を防止することができる。」（9頁右下欄20行から10頁左上欄4行）と記載されているように、上記技術常識に基づき、メモリにおける昇圧回路において電界効果トランジスタを破壊することのないように電圧を一定値以下に制限することも周知技術であったと認められる。

したがって、引用発明1において、上記周知技術を適用し、「DRAMが機能している間」、「昇圧電圧」を「DRAMの信頼性を損なうような」電圧とならないように低く抑えることは、当業者が容易に想到し得たことである。

そして、引用例2の前記(3)アの「信号 ϕ_x のハイレベルを制限するため、この例では、電圧制限手段が昇圧回路の出力側に設けられる。すなわち、・・・ダイオード形態とされたMOSFETQ59およびQ60による出力電圧のレベル制限回路が設けられる。これによ

り、信号 ϕ_x のハイレベルは $V_{cc} + 2V_{th}$ (V_{th} はMOSFET Q59とQ60のしきい値電圧)に制限される。」(10頁右上欄下2行～左下欄7行)という記載から明らかなように、「昇圧電圧」の上限値として、「前記高論理レベル電圧+2x FETの閾値電圧」を選択することは、当業者であれば容易に想到しうることである。

したがって、引用発明1において上記周知技術を適用し、DRAMが機能している間、「昇圧電圧」を「DRAMの信頼性を損なうような」電圧とならないよう低く抑えるに当たり、「昇圧電圧」の上限値を本願発明のように、「DRAMの信頼性を損なうような前記高論理レベル電圧+2x FETの閾値電圧」とすることは、当業者が容易になし得たことである。

c 以上によれば、引用発明1において、本願発明のように「前記高レベル電圧」を「当該DRAMが機能している間、前記高論理レベル電圧+FETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧+2x FETの閾値電圧との間の電圧」とすることは、当業者が容易に想到し得たと認められる。

(イ) 原告の主張に対する補足的説明

a 原告は、前記第3, 1(4)イ(ア)において、メモリにおける昇圧回路において電界効果トランジスタが破壊することのないように電圧を一定値以下に制限することは技術常識や周知技術とはいえず、引用例2はセルアクセストランジスタの破壊防止を開示しているのではなく、メモリアレイの外側にあるトランジスタの破壊防止を開示しているにすぎないと主張する。

しかし、審決は、メモリに用いられている電界効果トランジスタが、高電圧が印加されると容易に破壊されるとの技術常識に基づいて、メモリの昇圧回路の出力を受ける電界効果トランジスタが破壊するこ

とのないよう、当該昇圧回路の出力電圧をトランジスタの破壊電圧より低くすること、つまり一定値以下に制限することが必要であることを指摘したものであり、前記のとおり、上記事項が周知技術あるいは技術常識というべきものであることは明らかである。

そして、過電圧に弱いという性質はすべての電界効果トランジスタについてあまねくいえることであるし、上記認定は、特定の電界効果トランジスタを対象としたものではなく、昇圧回路の出力を受ける電界効果トランジスタにおいて共通のものであることは、審決の上記認定の過程からも明らかである。

また、引用例2の「昇圧回路の出力信号が電源電圧以上であって、かつ所定の値以下の電圧とされる。これにより、昇圧回路の出力信号を受ける回路素子の破壊を防止することができる。」との記載は、甲2の「回路素子」がどのような素子を意味するものであっても、審決の上記認定と矛盾するものではないから、上記周知技術の認定に当たって、周知例として引用例2の上記記載を参照したことは誤りということとはできない。

- b 次に、原告は、前記第3、1(4)イ(イ)において、下限値に関し、引用発明1の昇圧電圧 V_{bs} の下限値は約3.3Vであって、本願発明の下限値よりずっと低いと主張する。

しかし、後記ウ(ア)のとおり、引用発明1において「昇圧電圧」は、「DRAMが機能している間」ほぼ一定の値に調整されていると認められ、また、その際に「昇圧電圧」の下限を、本願発明のように「高論理レベル電圧+FETの閾値電圧」とすることは、上記技術常識を勘案のうえ当業者が当然になし得たものと認められるから、引用発明1の昇圧電圧の実際の下限值は、本願発明の下限値よりもずっと低いという原告の上記主張は採用できない。

c また、原告は、前記第3，1(4)イ(ウ)において、上限値に関し、「電圧 $V_{dd} + 2V_{tn}$ という上限値に格別の技術的意味があるとは認められない」として、審決の判断及び被告の主張は誤りであると主張する。

しかし、本願発明において、「前記高レベル電圧」の上限を「前記高論理レベル電圧+2x FETの閾値電圧」としたことの理由は、本願明細書の段落【0005】～【0007】の記載からすると、従来はブートストラップ回路によって供給される高電圧が電圧 $V_{dd} + 2V_{tn}$ を超えるように設計されていたため、メモリの信頼性を損ねることがあったというものであり、本願明細書にはそれ以上の理由は記載されていない。そして、前記認定のとおり、メモリにおける昇圧回路において、電界効果トランジスタを破壊することのないように電圧を一定値以下に制限することも周知技術と認められ、また、引用例2から「高論理レベル電圧+2x FETの閾値電圧」とすることは当業者であれば容易に選択可能な数値であるから、「電圧 $V_{dd} + 2V_{tn}$ 」という上限値に格別の技術的意味があるということはできず、原告の上記主張は採用することができない。

ウ 取消事由3（相違点2（c）についての判断の誤り）について

(ア) 相違点2（c）は、審決書15頁10行～12行記載のとおり、「本願発明は、『前記高レベル電圧』が、『当該DRAMが機能している間』、『実質的に一定である電圧に調整され』ているのに対して、引用発明1は、『昇圧電圧』についてそのような特定がなされていない点」であるので、まず、この点の容易想到性について検討する。

a 上記のとおり、本願発明においては「高レベル電圧」が「実質的に一定である電圧」という限定がされているが、本願明細書等には、高レベル電圧がどの程度正確に制御され「実質的に一定である」かにつ

いての説明も、「高レベル電圧」を一定にするための具体的回路等も、さらには「高レベル電圧」を「実質的に一定である電圧」とすることによる作用効果についても明示の記載はない。

そこで、本願発明における「実質的に一定である電圧」の意義を検討するに、本願明細書の段落【0008】の記載のとおり、本願発明は「正確に、ワード線駆動電圧を、制御する回路を提供することを目的とする」ものであることからすれば、本願発明は、専ら「ワード線駆動機能」に関し正確な駆動電圧を得ることに特徴を有するものといえるから、本願発明の「高レベル電圧」が「DRAMが機能している間、実質的に一定である」とは、ワード線が駆動されている間にメモリの動作に支障がない程度に一定であることを意味するものと認められる。

b 一方、メモリにおいて、電源電圧やそれを昇圧することによって生成された昇圧電圧が大きく変動すればメモリの動作に支障を来すことは当業者にとって自明な事項というべきであるから、引用発明1における「昇圧電圧」もメモリの動作に支障を来すことがない程度に一定となっているものと認められ、実際、引用例1の第7図(FIGURE 7)によれば、引用発明1におけるワード線「WDRV k」が速やかにほぼ一定の値となっていることが認められる。

c したがって、相違点2(c)は実質的な相違点ということとはできず、そうでないとしても、「前記高レベル電圧」が「当該DRAMが機能している間」、「実質的に一定である電圧」に調整することは、引用発明1から当業者が容易に想到し得たというべきである。

(イ) 原告の主張に対する補足的説明

a 原告は、前記第3, 1(4)ウ(ア)において、本願発明はブートストラッピングを行う回路を一切廃したものであるのに対し、引用発明1

はブートストラップ回路を用いたものであるから、引用発明1からブートストラッピングを行う回路を除去して本願発明の構成に至ることは当業者には容易想到ではないと主張する。

しかし、本願明細書を参照しても、上記「高レベル電圧 (V_{pp})」を、「当該DRAMが機能している間、前記高論理レベル電圧+ FETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧+ $2 \times$ FETの閾値電圧との間の実質的に一定である電圧に調整」することが、ブートストラップ回路の使用を排除することを特定していると合理的に認定することができる根拠は存在しない。

また、本願明細書の図1（甲4）には、DRAMのワード線に「高レベル電圧 (V_{pp})」を与える回路構成と、「高レベル電圧 (V_{pp})」がレベルシフタの第1及び第2のプルアップFETのソースに直接印加される回路構成は記載されているが、「高レベル電圧 (V_{pp})」を生成する回路及び「高レベル電圧 (V_{pp})」を一定に制御する回路は開示されておらず、「本発明は、ダブルブートストラッピング回路の必要性を無くし」たものであるとしても、そのための具体的な回路が開示されているとはいえない。

そうすると、本願の請求項1の「・・・2次デコーダ出力レベルを与える前記高レベル電圧は、当該DRAMが機能している間、前記高論理レベル電圧+ FETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧+ $2 \times$ FETの閾値電圧との間の実質的に一定である電圧に調整され、・・・」という記載では、「高レベル電圧 (V_{pp})」の生成及び制御にブートストラップ回路を用いることが排除されているとは解されない。

以上によれば、本願明細書には、本願発明の目的として「ダブルブートストラッピング回路の必要性を無く」すことが記載されてはいる

ものの、本願発明において、「高レベル電圧 (V_{pp})」の生成及び制御にブートストラップ回路を用いることが完全に排除されていると認めることはできないから、原告の上記主張は採用することができない。

- b 次に、原告は、前記第3、1(4)ウ(i)において、引用発明1は、当該メモリが機能している間、昇圧電圧が約3.3Vと約5.7Vとの間で上昇・下降を繰り返しているから実質的に一定となっているとはいえないのに対し、本願発明は、高レベル電圧はアドレス信号入力時に既に実質的に一定の高い電圧値であり、ワード線が駆動していない間も高レベル電圧は一定であってその都度高い電圧に上昇させる必要はなく、メモリ動作速度が速いという効果が得られると主張する。

しかし、前記(ア) bで検討したとおり、引用発明1における「昇圧電圧」は、「DRAMが機能している間」、ほぼ一定の値に調整されており、前記イ(ア) aで検討したとおり、その際に、「昇圧電圧」の下限を、本願発明のように、「高論理レベル電圧+FETの閾値電圧」とすることは当該技術分野における技術常識を勘案のうえ当業者が当然になし得たものであるから、「昇圧電圧」は、当該メモリの機能している間約3.3Vと約5.7Vとの間で上昇・下降を繰り返しているから実質的に一定でないとの原告の上記主張は採用することができない。

また、後記cで検討するとおり、本願発明においてもワード線が駆動していない間も高レベル電圧は一定であってその都度高い電圧に上昇させる必要はないとはいえず、前記aで検討したとおり、本願発明においても、ブートストラップ回路を用いることは排除されていないこと、原告が「メモリ動作速度が速いという効果」の根拠とする甲

27文献の記載に関しても、そもそも同文献の発行された時期（1989年10月）及び内容をみると、同文献が引用例1と同一の回路を説明したものでどうかは必ずしも明らかではないから引用発明1の回路の動作を説明するために甲27文献を引用するのは適切ではないというべきであるが、仮にそうでないとしても、甲27文献第8図（Fig. 8）（b）は、甲27文献第8図（a）の回路の動作の一例であって、甲27文献第8図（a）の回路の動作は、甲27文献第8図（b）に示されたものに限られず、引用発明1において、アドレス信号入力から「ワード線WDRV_k」の電圧が立ち上がるまでの時間は、アドレス信号と「XVALID」信号それぞれの入力のタイミングを調整することで短くできることは当業者には自明であること、また、甲27文献第8図（b）には横軸に時間の単位と目盛が付されていないため、甲27文献第8図（b）からは、アドレス信号入力から「ワード線WDRV_k」の電圧が立ち上がるまでに要する時間は不明であることからすれば、本願発明が引用発明1と比べて、「メモリの読み取り書き込み速度」について、原告が主張するような格別の効果を奏するとはいえない。

よって、「本願発明においては、・・・その都度高い電圧に上昇させる必要はなく、メモリ動作速度が速いという効果が得られる。」との原告の主張は採用することができない。

c さらに、原告は、前記第3、1(4)ウ(ウ)において、本願発明における「DRAMが機能している間」とは、DRAMが何らかの機能を発揮している間の意味であり、ワード線が駆動されている間だけに限られるものではないと主張する。

しかし、本願明細書の段落【0018】及び【0020】によれば、本願発明においてワード線が選択されている場合、2次デコーダ出力

レベルを与える「高レベル電圧 (V_{pp})」は「 $V_{dd} + V_{tn}$ 」で、「DRAMの信頼性を損なう過剰電圧より低い値になるように選択される」と記載され、また、本願明細書の段落【0019】によれば、本願発明においてワード線が選択されていない場合、「 V_{pp} レベルにある第一制御ノード8Aはパストランジスタ14Aをディスエーブルする一方、プルダウントランジスタ13Aをイネーブルして、ワード線1をアースに保持する」から、本願発明の「第1及び第2のプルアップFET (7A, 7B)」のソースに直接印加される「高レベル電圧 (V_{pp})」は、「パストランジスタ14Aをディスエーブルする一方、プルダウントランジスタ13Aをイネーブル」することができる電圧であればよいと認められる。

そうすると、本願発明においてワード線が選択されている場合、本願発明の目的を達成するためには、2次デコーダ出力レベルを与える「高レベル電圧 (V_{pp})」を、「前記高論理レベル電圧+FETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧+2x FETの閾値電圧との間の実質的に一定である電圧に調整」する必要があること、これに対し、本願発明においてワード線が選択されていない場合には、「ワード線」の電位はアースに保持されるから、2次デコーダ出力レベルを与える「高レベル電圧 (V_{pp})」を「前記高論理レベル電圧+FETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧+2x FETの閾値電圧との間の実質的に一定である電圧に調整」する必要はなく、「高レベル電圧 (V_{pp})」は、「パストランジスタ14Aをディスエーブルする一方、プルダウントランジスタ13Aをイネーブル」することができる電圧であればよいことが明らかである。

そして、前記aで検討したとおり、本願発明において、「高レベル

電圧（ V_{pp} ）」の生成及び制御にブートストラップ回路を用いることは排除されていないから、本願発明には、上記のように、ワード線が選択されている場合とそうでない場合とで、「高レベル電圧（ V_{pp} ）」の値が異なるものも含まれることは明らかである。

以上によれば、本願発明の「2次デコーダ出力レベルを与える前記高レベル電圧は、当該DRAMが機能している間、前記高論理レベル電圧＋FETの閾値電圧とDRAMの信頼性を損なうような前記高論理レベル電圧＋2x FETの閾値電圧との間の実質的に一定である電圧に調整され」における、「DRAMが機能している間」とは、「ワード線が選択されている場合」、すなわち、「ワード線ドライバ」が「ワード線駆動動作」を行い、「高レベル電圧（ V_{pp} ）」を「選択的に前記ワード線に印加」している間と解するのが合理的であると認められるから、原告の上記主張は採用することができない。

d さらに、原告は、前記第3、1(4)ウ(エ)において、2次デコーダも動作するために電源電圧を必要としており、そのための電源電圧が高レベル電圧 V_{pp} なのであり、請求項1の「2次デコーダ出力レベルを与える」とは、高レベル電圧 V_{pp} が2次デコーダに電源電圧を与えるという意味であり、「前記高レベル電圧」が「2次デコーダ」の出力電圧であることを意味するものであるとの被告の主張は誤りであると主張する。

しかし、本願明細書には、「2次デコーダ」について、「第一制御ノード8A（又は、第一制御ノード8Aのバッファされたバージョン）は、パストランジスタ14Aのゲートと、プルダウントランジスタ13Aのゲートとに、印加されている。パストランジスタ14Aのソースは V_{pp} 線、すなわち、 V_{ss} 又は V_{pp} レベルを供給する2次デコーダの出力に接続されている一方、そのドレインはワード線1

に接続されている。プルダウントランジスタ13Aは、そのソースがアースに接続されている一方、そのドレインがワード線1に接続されている。」（段落【0018】）との記載があるのみであって、そこには「2次デコーダの出力」が「V_{ss}又はV_{pp}レベルを供給する」ことが記載されているにすぎない。そして、「2次デコーダ」を動作するための電源電圧が「高レベル電圧（V_{pp}）」であることは、本願明細書には記載されておらず、また、本願明細書の記載から自明であるともいえない。

そうすると、原告の上記主張は、本願明細書の記載に基づかないものであり、採用することができない。

3 結論

以上のとおりであるから、本願発明は引用発明1及び引用発明2に基づいて当業者が容易に想到できるとした審決の結論に誤りはない。

よって、原告の請求を棄却することとして、主文のとおり判決する。

知的財産高等裁判所 第1部

裁判長裁判官 中 野 哲 弘

裁判官 東 海 林 保

裁判官 矢 口 俊 哉