

平成20年8月28日判決言渡

平成19年(行ケ)第10348号 審決取消請求事件

口頭弁論終結日 平成20年7月15日

判		決	
原	告	エルジー・エレクトロニクス・ インコーポレーテッド	
訴訟代理人弁護士		鈴木	修
同		花井	美雪
同		木村	剛大
訴訟代理人弁護士		大塚	住江
被	告	特許庁長官 鈴木 隆史	
指定代理人		大野	克人
同		山本	章裕
同		小林	和男
同		角田	慎治

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事 実 及 び 理 由

第1 請求

特許庁が不服2003-21275号事件について平成19年6月6日にした審決を取り消す。

第2 争いのない事実

1 手続の経緯

(1) 訴外ウォング・ラボラトリーズ・インコーポレーテッド（以下「ウォング・ラボラトリーズ社」という。）は，昭和63年9月17日（優先権主張：1987年9月17日，米国）に特願昭63-233367号（以下「原出願」という。）を出願した。

訴外エルジー・セミコン・カンパニー・リミテッド（以下「エルジー・セミコン社」という。）は，ウォング・ラボラトリーズ社から原出願に関して特許を受ける権利の譲渡を受け，平成10年4月14日付け特許出願人名義変更届及び移転登録申請書を特許庁長官に提出して出願人の地位を承継した。その後，エルジー・セミコン社は，平成13年9月6日，原出願の一部を分割して，発明の名称を「メモリ制御装置」とする新たな特許出願（特願2001-270014号。以下「本願」という。）をした。

原告は，本願に関し，エルジー・セミコン社から特許を受ける権利の譲渡を受け，平成15年2月20日付け出願人名義変更届を特許庁長官に提出して出願人の地位を承継し，同年4月11日付けで手続補正をしたが，同年8月5日付けで拒絶査定を受けたので，同年11月4日，これを不服として審判（不服2003-21275号事件。以下「本件審判」という。）を請求し，同年12月4日付けで手続補正（以下，この補正後の本願に係る明細書及び図面を「本願明細書」という。）をした。

その後，特許庁は，平成17年4月25日，「本件審判の請求は成り立たない。」との審決（附加期間90日。以下「前審決」という。）をした。

(2) 原告が，前審決を不服として，知的財産高等裁判所に審決取消訴訟（平成17年（行ケ）第10677号事件）を提起したところ，同裁判所は，平成18年8月31日，前審決を取り消す旨の判決をした。

(3) 原告は，上記判決の確定を受けて本件審判の審理が再開された後，本願に関し，平成18年10月19日付けで拒絶理由の通知を受けたが，指定

期間に意見書を提出するなどの応答をすることはなかった。

その後、特許庁は、平成19年6月6日、「本件審判の請求は、成り立たない。」との審決（附加期間90日。以下「本件審決」という。）をし、同月18日、その謄本を原告に送達した。

2 特許請求の範囲

本願明細書の特許請求の範囲の請求項1ないし6の各記載は、次のとおりである（以下、これらの請求項に係る発明を項番号に対応して、「本願発明1」などといい、これらをまとめて「本願発明」という。）。

「【請求項1】 システムバス（10）により電氣的に結合された少なくともリクエスト側エージェント（12）と応答側エージェント（16）とを有し、前記リクエスト側エージェントは、前記応答側エージェントのメモリ（20, 60）に前記システムバスを介してデータを記憶するため及び検索するために前記メモリに対するアクセスを要求し、前記メモリはメモリバス（RAS, CAS）によって前記応答側エージェントに結合されており、前記メモリバスは前記システムバスから分離しているデータ処理システムにおいて使用されるメモリ制御装置であって、

前記システムバスに結合され、前記応答側エージェントの前記メモリに対するアクセスサイクルを開始する要求を検出するリクエスト検出手段（66）であって、前記要求は前記システムバスを通じて前記リクエスト側エージェントによって生成される、リクエスト検出手段と、

前記メモリバスに結合され、前記リクエスト検出手段に応答し、複数の読み出しアクセス又は書き込みアクセスを行い、読み出しアクセスに対して前記システムバスへデータを出力し、書き込みアクセスに対して前記システムバスからデータを入力するために前記応答側エージェントの前記メモリへアクセスするために、前記メモリバスを通じて複数のメモリアドレス制御信号をアサートする送出手段（66）であって、前記制御信号が少なくともロー

アドレスに関連するローアドレスストロブ信号と、コラムアドレスに関連するコラムアドレスストロブ信号とを含む、送出手段と、

前記メモリに対するアクセスの完了を検出する手段であって、前記リクエスト側エージェントにより生成される、前記メモリに対してのアクセスの終了を示す制御信号に応答するものであり、前記送出手段に結合され、前記アクセスの終了を示す制御信号を検出した後に前記送出手段の動作を停止させる手段と

を備え、

前記システムバス上の前記リクエスト側エージェントのために、前記メモリバスを通じてページモード形式のメモリアccessを行うために、前記送出手段がメモリアドレス制御信号をアサートするものであり、前記メモリ内のデータのページを示すローアドレスとともにローアドレスストロブ信号をアサートし、その後、複数のコラムアドレスとともにコラムアドレスストロブ信号をアサート及びアサート解除するものであり、

前記ページモード形式のメモリアccessが非順次のコラムアドレスを含む転送を可能とするように構成される、

ことを特徴とするメモリ制御装置。

【請求項 2】 請求項 1 に記載のメモリ制御装置において、

前記送出手段により前記メモリバスを通じてアサートされる前記メモリアドレス制御信号は、複数の連続的な読み出しアクセス又は書き込みアクセスを行うために、前記応答側エージェントの前記メモリへ順次アクセスするために用いられる、

メモリ制御装置。

【請求項 3】 請求項 1 に記載のメモリ制御装置において、

前記ページモード形式は非順次のページモードであり、

前記送出手段により前記メモリバスを通じてアサートされる前記メモリア

ドレス制御信号は，複数の非連続的な読み出しアクセス又は書き込みアクセスを行うために，前記応答側エージェントの前記メモリへ非順次にアクセスするために用いられる，

メモリ制御装置。

【請求項4】 システムバス（10）により電氣的に結合された少なくともリクエスト側エージェント（12）と応答側エージェント（16）とを有し，前記応答側エージェントが更にメモリバス（RAS，CAS）を通じてメモリ（20，60）に結合されるものであり，前記システムバスから分離したアクセス用のバス（68，74）を通じて前記メモリに電氣的に結合されたプロセッサ（86）を有するものであるデータ処理システムにおいて使用されるメモリ制御装置であって，

前記システムバスに結合され，前記システムバスを通じて行われるリクエスト側エージェントの要求又は前記アクセス用のバスを通じて行われる前記プロセッサの要求に应答し，前記応答側エージェントの前記メモリに対するアクセスサイクルを開始するリクエスト検出手段（66）と，

前記メモリバスに結合され，前記リクエスト検出手段に应答し，複数の読み出しアクセス又は書き込みアクセスを行い，読み出しアクセスに対して前記システムバス又は前記アクセス用のバスへデータを出力し，書き込みアクセスに対して前記システムバス又は前記アクセス用のバスからデータを入力するために前記応答側エージェントの前記メモリへアクセスするために，前記メモリバスを通じて複数のメモリアドレス制御信号をアサートする送出手段（66）であって，前記制御信号が少なくともローアドレスに関連するローアドレスストロープ信号と，コラムアドレスに関連するコラムアドレスストロープ信号とを含む，送出手段と，

前記メモリに対するアクセスの完了を検出する手段であって，前記リクエスト側エージェントにより生成される，前記メモリに対してのアクセスの終

りを示す制御信号に応答するものであり，前記送出手段に結合され，前記アクセスの終りを示す制御信号を検出した後に前記送出手段の動作を停止させる手段と

を備え，

前記システムバス上の前記リクエスト側エージェントのため及び前記アクセス用のバスに結合された前記プロセッサのために，前記メモリバスを通じてページモード形式のメモリアccessを行うために，前記送出手段がメモリアドレス制御信号をアサートするものであり，前記メモリ内のデータのページを示すローアドレスとともにローアドレスストロブ信号をアサートし，その後，複数のコラムアドレスとともにコラムアドレスストロブ信号をアサート及びアサート解除するものであり，

前記ページモード形式のメモリアccessが非順次のコラムアドレスを含む転送を可能とするように構成される，

ことを特徴とするメモリ制御装置。

【請求項 5】 請求項 4 に記載のメモリ制御装置において，

前記送出手段により前記メモリバスを通じてアサートされる前記メモリアドレス制御信号は，複数の連続的な読み出しアクセス又は書き込みアクセスを行うために，前記応答側エージェントの前記メモリへ順次アクセスするために用いられる，

メモリ制御装置。

【請求項 6】 請求項 4 に記載のメモリ制御装置において，

前記ページモード形式は非順次のページモードであり，

前記送出手段により前記メモリバスを通じてアサートされる前記メモリアドレス制御信号は，複数の非連続的な読み出しアクセス又は書き込みアクセスを行うために，前記応答側エージェントの前記メモリへ非順次にアクセスするために用いられる，

メモリ制御装置。」

3 本件審決の理由

別紙審決書写しのとおりである。要するに、本願は、審判官が平成18年10月19日付けで原告に通知した下記(1)ないし(3)の拒絶理由(拒絶理由1ないし3)によって拒絶すべきである、というものである。

(1) 拒絶理由1

本願発明1ないし6は、以下の各刊行物に記載された発明に基づいて、当業者が容易に発明をすることができたものであるから、特許法29条2項の規定により特許を受けることができない。

- ・ 特開昭61-122996号公報(甲1。以下「刊行物1」といい、その発明を「刊行物1記載発明」という。)
- ・ 松岡哲弘, 32ビット・バス=マルチバスIIの概要, インターフェース, CQ出版社, 1985年5月1日, 11巻5号306頁~321頁(甲2。以下「刊行物2」という。)
- ・ 特開昭62-3488号公報(甲3)
- ・ 特開昭61-77195号公報(甲4)
- ・ 特開昭59-167766号公報(甲5。以下「刊行物5」といい、その発明を「刊行物5記載発明」という。)

ア 審決の認定した刊行物1記載発明

「マイクロプロセッサ30へメモリコントローラ31及びアドレスバス32を通じて結合されたアドレス端子18, マイクロプロセッサ30へメモリコントローラ31及びコントロールバス35を通じて結合されたコントロール信号/RAS, /CASのラインが接続される端子20, 在来のデータラッチ33(メモリコントローラの1部)と8ビット双方向データバス34によってマイクロプロセッサ30へ結合された分離したデータイン及びデータアウト端子22及び23を有し, 8つのメ

メモリチップ10を並列で用いる256Kバイトの読取り/書込みメモリを使用したマイクロプロセッサシステムにおいて、アドレスを多重化し、/RAS及び/CASを生み出し、又リフレッシュアドレスを生み出す為に働くメモリコントローラ31であって、

アドレス端子18, 端子20, データイン及びデータアウト端子22及び23がバスによってメモリコントローラ31に結合されており、前記コントロール信号/RAS, /CASのラインがアドレスバス32と8ビット双方向データバス34とコントロールバス35から分離し、

マイクロプロセッサ30からのコントロール信号出力35は、通常データバスイネーブル/DEN, メモリイネーブル/MEN, アドレスラッチ/ALATCH, アドレスラッチイネーブル/ALE, 読取りRD, 書込みWR, 読取り/書込みR/W又はW, 有効メモリアドレスWMA, アドレスストロブAS, データストロブDS, 等と呼ばれ、メモリチップ10のコントロール信号/RAS, /CAS, /Wを生み出す為に用いられ、コントローラ31の中のデータラッチ33の為にコントロールを行ない、

/RAS及び/CAS信号は端子20によって読取り/書込みコントロール/Wと共に8つのメモリチップ10に加えられ、行アドレスは/RASがゼロへ降下するとゲートを通してバッファ13の中へ入り、又列アドレスは/CASがゼロへ降下するとゲートを通してバッファ15の中へ入り、

読取り動作の場合、/W信号は高に留まっているインターバルの間はアドレスが端子18の上で有効であり、又/RAS及び/CASが降下した後の期間の間はデータが出力端子23の上で有効であり、別の時には、出力バッファ24が出力端子23を高インピダンス状態に保持し、

書込み動作は/Wが低下する事によって知らされるが、この場合には入力端子22の上のデータは指示された期間の間有効で、データ出力端子23は高インピーダンス状態に留まり、

読取り動作の場合、アドレスバス32と8ビット双方向データバス34とコントロールバス35上のマイクロプロセッサ30のために、コントロール信号/RAS、/CASのラインを通じてページモード動作を行うために、コントロール信号/RAS、/CASをゼロへ降下して読取りを開始し、8つのメモリチップ10内のデータの行を示す行アドレスとともに/RASをゼロへ降下し、その後、複数の列アドレスとともに/CASをゼロへ降下及び高に留まって読取りを完了して、コントロール信号/RAS、/CASが高に留まり、また、書込み動作の場合にもページモード動作になり得るメモリコントローラ31。」(審決書9頁1行~10頁3行)(以下、刊行物1における「RAS」、「CAS」、「W」、「DEN」、「MEN」、「ALATCH」、「ALE」の各記載は、審決書の摘記に従い、「/RAS」、「/CAS」、「/W」、「/DEN」、「/MEN」、「/ALATCH」、「/ALE」と表記する。)

イ 審決の認定した刊行物5記載発明

「第1の種類のデータ処理装置1から記憶装置2へのアクセスはバス3を介さずに直接バス10から行い、第2の種類のデータ処理装置4、5からはバス3を介して行うことができるメモリアクセス方式において使用される第1の種類のデータ処理装置1であって、

バス3から分離した信号線30~32、バス10を通じて記憶装置2に電氣的に結合され、データ制御機能と演算機能とを実行するためのプロセッサ部20と、プロセッサ部20からの行先情報を受付け、コマンドの行先が記憶装置2であるか、あるいはバス3を介して他の装置に送出さ

れるものであるかを判断するためのコマンド解読部 2 1 と、バス 3 を介して他の装置をアクセスするための能動ポート 2 4 と、他の装置からバス 3 を介してアクセスされる受動ポート 2 5 と、記憶装置 2 をアクセスするためのメモリ・ポート 2 3 と、プロセッサ部 2 0 からと受動ポート 2 5 からとの記憶装置 2 へのアクセスに対して優先度を与え、メモリポート 2 3 をアクセスするための優先度回路部 2 2 とから構成され、

第 1 の種類のデータ処理装置 1 では記憶装置 2 に対する命令のフェッチ、データの読出しや書込みなどの場合に、プロセッサ部 2 0 より受けとる行先情報が記憶装置 2 のものであることを判別し、コマンド解読部 2 1 と、優先度回路部 2 2 と、メモリポート 2 3 とを介して記憶装置 2 をアクセスし、

また、第 2 の種類のデータ処理装置 4 から記憶装置 2 へのメモリ読出しアクセスが送出された場合には、バス 3 を介してメモリデータの返送表示情報とコマンドとを受動ポート 2 5 へわたし、上記コマンドにより優先度回路部 2 2 と、メモリポート 2 3 とを介して記憶装置 2 をアクセスする第 1 の種類データ処理装置 1。」(審決書 17 頁 23 行～18 頁 9 行)

ウ 審決の認定した本願発明 1 と刊行物 1 記載発明との一致点・相違点

(ア) 一致点

「システムバス(10)により電氣的に結合された少なくともリクエスト側エージェント(12)と応答側エージェント(16)とを有し、前記リクエスト側エージェントは、前記応答側エージェントのメモリ(20, 60)に前記システムバスを介してデータを記憶するため及び検索するために前記メモリに対するアクセスを要求し、前記メモリはメモリバス(RAS, CAS)によって前記応答側エージェントに結合されており、前記メモリバスは前記システムバスから分離し

ているデータ処理システムにおいて使用されるメモリ制御装置であつて、

前記メモリバスに結合され、複数の読み出しアクセス又は書き込みアクセスを行い、読み出しアクセスに対して前記システムバスへデータを出力し、書き込みアクセスに対して前記システムバスからデータを入力するために前記応答側エージェントの前記メモリへアクセスするために、前記メモリバスを通じて複数のメモリアドレス制御信号をアサートする送出手段であつて、前記制御信号が少なくともローアドレスに関連するローアドレスストロープ信号と、コラムアドレスに関連するコラムアドレスストロープ信号とを含む、送出手段を備え、

前記システムバス上の前記リクエスト側エージェントのために、前記メモリバスを通じてページモード形式のメモリアccessを行うために、メモリアドレス制御信号をアサートするものであり、前記メモリ内のデータのページを示すローアドレスとともにローアドレスストロープ信号をアサートし、その後、複数のコラムアドレスとともにコラムアドレスストロープ信号をアサート及びアサート解除するように構成されるメモリ制御装置である点。」(審決書13頁7行~28行)

(イ) 相違点1

「メモリ制御装置が、本願発明1では、

前記システムバスに結合され、前記応答側エージェントの前記メモリに対するアクセスサイクルを開始する要求を検出するリクエスト検出手段(66)であつて、前記要求は前記システムバスを通じて前記リクエスト側エージェントによって生成される、リクエスト検出手段と、

前記メモリに対するアクセスの完了を検出する手段であつて、前記リクエスト側エージェントにより生成される、前記メモリに対しての

アクセスの終りを示す制御信号に応答するものであり，前記送出手段に結合され，前記アクセスの終りを示す制御信号を検出した後に前記送出手段の動作を停止させる手段とを備え，前記送出手段が前記リクエスト検出手段に応答するのに対し，

刊行物 1 記載発明では，リクエスト検出手段，メモリに対するアクセスの完了を検出する手段，送出手段の動作を停止させる手段を備えることが明らかでなく，送出手段が，リクエスト検出手段に応答し，メモリアドレス制御信号をアサートすることや，アクセスの終りを示す制御信号を検出した後に動作を停止させることも明らかでない点。」（審決書 13 頁 30 行～14 頁 8 行。なお，審決書 13 頁 30 行に「本願発明」とあるのは，「本願発明 1」の誤記と認める。）

(ウ) 相違点 2

「ページモード形式のメモリアccessが，本願発明 1 では，非順次のコラムアドレスを含む転送を可能とするように構成されるのに対し，

刊行物 1 記載発明では，非順次のコラムアドレスを含む転送が可能か否か明らかでない点。」（審決書 14 頁 10 行～13 行。なお，審決書 14 頁 10 行に「本願発明」とあるのは，「本願発明 1」の誤記と認める。）

エ 審決の認定した本願発明 4 と刊行物 1 記載発明との一致点・相違点

(ア) 一致点

本願発明 1 と刊行物 1 記載発明との一致点（前記ウ(ア)）と同じ（審決書 18 頁 11 行～13 行）。

(イ) 相違点 1

「本願発明 4 では，

データ処理システムが，前記システムバスから分離したアクセス用

のバス（ 68 , 74 ）を通じて前記メモリに電氣的に結合されたプロセッサ（ 86 ）を有し、

メモリ制御装置が、

前記システムバスに結合され、前記システムバスを通じて行われるリクエスト側エージェントの要求又は前記アクセス用のバスを通じて行われる前記プロセッサの要求に応答し、前記応答側エージェントの前記メモリに対するアクセスサイクルを開始するリクエスト検出手段（ 66 ）と、

前記メモリバスに結合され、前記リクエスト検出手段に応答し、複数の読み出しアクセス又は書き込みアクセスを行い、読み出しアクセスに対して前記システムバス又は前記アクセス用のバスヘデータを出力し、書き込みアクセスに対して前記システムバス又は前記アクセス用のバスからデータを入力するために前記応答側エージェントの前記メモリへアクセスするために、前記メモリバスを通じて複数のメモリアドレス制御信号をアサートする送出手段（ 66 ）であって、前記制御信号が少なくともローアドレスに関連するローアドレスストロブ信号と、コラムアドレスに関連するコラムアドレスストロブ信号とを含む、送出手段と、

前記メモリに対するアクセスの完了を検出する手段であって、前記リクエスト側エージェントにより生成される、前記メモリに対してのアクセスの終りを示す制御信号に応答するものであり、前記送出手段に結合され、前記アクセスの終りを示す制御信号を検出した後に前記送出手段の動作を停止させる手段と

を備え、前記送出手段が前記リクエスト検出手段に応答するのに対し、

刊行物 1 記載発明では、

データ処理システムには，そのようなプロセッサも，アクセス用のバスを通じて行われる前記プロセッサの要求もなく，

メモリ制御装置が，

リクエスト検出手段，メモリに対するアクセスの完了を検出する手段，送出手段の動作を停止させる手段を備えることが明らかでなく，送出手段が，リクエスト検出手段に応答し，メモリアドレス制御信号をアサートすることや，アクセスの終りを示す制御信号を検出した後に動作を停止させることも明らかでない点。」（審決書 18 頁 16 行～19 頁 12 行。なお，審決書 18 頁 16 行に「本願発明」とあるのは，「本願発明 4」の誤記と認める。）

(ウ) 相違点 2

本願発明 1 と刊行物 1 記載発明との相違点 2（前記ウ(ウ)）と同じ（審決書 19 頁 14 行～15 行）。

(2) 拒絶理由 2

本願は，発明の詳細な説明の記載が，下記アないしエの点で，当業者が請求項 1～6 に係る発明を実施することができる程度に明確かつ十分に記載されていないから，特許法 36 条 3 項（平成 2 年法律第 30 号による改正前の規定。以下，同じ。）に規定する要件を満たしていない。

ア 請求項 1，4 の「メモリに対するアクセスサイクルを開始する要求を検出するリクエスト検出手段（66）」，「メモリに対するアクセスの完了を検出する手段」，「前記送出手段の動作を停止させる手段」の各手段が，実施例のどの部分であるのか不明である。

イ 請求項 1，4 の「メモリアクセスが非順次のコラムアドレスを含む転送を可能とする」，請求項 1，4 を引用する請求項 3，6 の「非順次のページモード」，「メモリへ非順次にアクセス」について，発明の詳細な説明には，単に，段落【0030】に「もちろん，非順次ページモー

ドアドレスも可能であり，ある種の用途には望ましいかもしれない。」と記載されているだけであり，これらの「非順次」の動作をどのように実施するのか説明されていない。

ウ 請求項４の「前記アクセス用のバス」としては，実施例には，メモリアドレスバス（６８），メモリアドレスバス（７４）しかなく，「アクセス用のバスを通じて行われる前記プロセッサの要求」が実施例において，どのように行われるのか不明である。

エ 請求項４の「前記アクセス用のバスを通じて行われる前記プロセッサの要求に应答し，前記应答側エージェントの前記メモリに対するアクセスサイクルを開始する」動作について，実施例の説明として，段落【００４３】に「必要に応じて現在のバス転送を中断する。それ故，ＨＰ信号によってローカルプロセッサが現在のバス転送をオーバーライドすることによってメモリに対してアクセスすることが可能になる。ＨＰ信号はそれがアサートされている間現在のバス転送をオーバーライド（over ride）し，それによってローカルプロセッサ８６が一連の連続的な高優先順位アクセスをメモリ６０に対して行うことが可能になる。」とあるが，どのように应答側エージェントのメモリに対するアクセスサイクルを開始し終了するのか，また，「必要に応じて」がどのような場合を意味し，中断された現在のバス転送は，その後どのように処理されるのか不明である。

(3) 拒絶理由３

本願は，特許請求の範囲の記載が，下記ア及びイの点で，特許を受けようとする発明の構成に欠くことができない事項のみを記載したものでないから，特許法３６条４項２号（平成２年法律第３０号による改正前の規定。以下，同じ。）に規定する要件を満たしていない。

ア 請求項１，４の「前記送出手段の動作の停止」における動作がどの動

作を意味するのか不明であるため、特許を受けようとする発明の構成が不明である。

イ 請求項 1, 4 の「非順次のコラムアドレスを含む転送」、請求項 2, 5 の「メモリへ順次アクセス」と「複数の連続的な読み出しアクセス又は書き込みアクセス」、請求項 3, 6 の「非順次のページモード」、「メモリへ非順次にアクセス」、「複数の非連続的な読み出しアクセス又は書き込みアクセス」という記載は、「順次」と「連続」という用語の使い方が不統一であるため、特許を受けようとする発明の構成が不明である。

第 3 当事者の主張

1 原告の主張

本件審決は、以下のとおり、拒絶理由 1 ないし 3 に係る各認定判断を誤った違法があるから、取り消されるべきである。以下、拒絶理由 2, 3, 1 の順に、主張する。

(1) 取消事由 1 (拒絶理由 2 に係る認定判断の誤り)

ア 請求項 1, 4 の「メモリに対するアクセスサイクルを開始する要求を検出するリクエスト手段(66)」、「メモリに対するアクセスの完了を検出する手段」、「送出手段を停止させる手段」の各手段について

以下のとおり、上記各手段は、いずれも本願明細書(甲 8, 10, 11)の段落【0035】に明りょうに記載されている。なお、「メモリに対するアクセスサイクルを開始する要求を検出するリクエスト手段(66)」は、請求項 1 記載の構成であり、請求項 4 には記載されていない。

(ア) 「メモリに対するアクセスサイクルを開始する要求を検出するリクエスト手段(66)」について

a 本願明細書の段落【0035】の記載から、「外部ロジックは、

メモリアクセスのリクエストをメモリコントローラに対して行った後，R / A 信号線を開放する」という構成（以下「第 1 処理動作」という。）と，「外部ロジックが R / A 信号線を開放した後の，メモリアクセス / 肯定応答サイクル中に，メモリコントローラ 66 が R / A 信号線を使用する」という構成（以下「第 2 処理動作」という。）を明確に理解できる。

b 被告は，第 1 処理動作と第 2 処理動作を混同している。

第 1 処理動作の後に，第 2 処理動作を行うのであるから，R / A 信号線上のロー信号により，ページモードメモリアクセスを開始する要求を検出できることは明らかである。また，第 2 処理動作中は，R / A 信号線はメモリコントローラ 66 により使用されているから，外部ロジックからロー信号をメモリコントローラ 66 へ入力するために R / A 信号線が使われることはない。段落【0035】に明記されているとおり，R / A 信号線が外部ロジックからメモリコントローラ 66 への入力となるのは，「コントローラ 66 が動作停止状態にあるとき」だからである。

(イ) 「メモリに対するアクセスの完了を検出する手段」について

a 本願明細書の段落【0035】の「EOC がアサートされると，メモリコントローラ 66 には現在のメモリアクセスが順次データ転送の応答相の最終的メモリアクセスであることが知られる」という記載から，「EOC がアサートされたことを，メモリコントローラ 66 が検知すると，メモリコントローラ 66 は，現在のメモリアクセスが最終的メモリアクセスであること，すなわち，アクセスの完了であることを知る」という構成を明確に理解できる。

b 被告は，「アクセスの完了」の意味を誤解している。「アクセスの完了」とは，「アクセスすべきデータが残っていないために，メ

メモリへのアクセスを終わる」という意味であり，被告主張のように，1つのコラムについて，ストロブ信号がアサートされるたびにアクセスが完了するという事はない。

(ウ) 「送出手段を停止させる手段」について

a 本願明細書の段落【0035】の「メモリコントローラ66は，EOC信号線（バス信号SC2*）がサイクル終了の状態を示すべく信号がアサートされるまで，繰返しメモリをアクセスする。」という記載から，「メモリコントローラ66は，EOC信号線がアサートされてサイクル終了の状態が示されるまで，メモリへのアクセスを継続させる」，すなわち，「EOC信号線がアサートされるとサイクル終了の状態が示され，メモリコントローラ66は，そのEOC信号線の状態に応答してメモリへのアクセスを停止させる」という構成を明確に理解できる。

b 被告は，「ローストロブ信号」と「コラムアドレスストロブ信号」のアサートの動作の停止は，通常，それぞれローアドレスごと，コラムアドレスごとに行われるから，これとは異なるEOC信号がアサートされて示されるデータ転送のサイクルごとに行われる「停止」がどのようなものか不明であると主張する。しかし，後記(3)ア(イ)aのとおり，EOC信号は，複数の転送サイクルを繰り返して要求したデータを取得し終えた時に出力されるものであり，これによってバスを開放するものであることを当業者は容易に理解できる。したがって，EOC信号線のアサートにより示されるアクセスの終了とは，リクエスト側エージェントが要求したデータの転送を完了した時に，「アクセスの終わりを示す制御信号」によって当該データのアクセスを終了することを意味することが明らかであり，被告が主張する「通常のローアドレス毎，コラムアドレス毎の

停止」とは異なるものであることを，当業者であれば理解することができる。

イ 請求項 1，4 の「メモリアクセスが非順次のコラムアドレスを含む転送を可能とする」，請求項 3，6 の「非順次のページモード」，「メモリへ非順次にアクセス」について

「非順次」の動作は，本件審決でも周知であると認定されている程度の技術であるから，具体的に説明しなくても，当業者は実施することができる。

ウ 請求項 4 の「前記アクセス用のバスを通じて行われる前記プロセッサの要求」について

本願明細書の段落【0042】に明りょうに記載されている。「ローカルプロセッサのアドレス及びデータのラッチをそれぞれメモリアドレス及びメモリデータバス 68，74 上に対してイネーブルする」ことが，メモリに対するアクセス要求そのものである。なお，刊行物 1 の記載は，本願発明とは関係がない。

エ 請求項 4 の「前記アクセス用のバスを通じて行われる前記プロセッサの要求に应答し，前記应答側エージェントの前記メモリに対するアクセスサイクルを開始する」について

(ア) 本願明細書の段落【0042】，【0043】の記載から明らかである。

(イ) 被告は，「メモリに対するアクセス要求」はアドレスバスやデータバスでなく，コントロールバスを通じて行われるから，「ローカルプロセッサのアドレス及びデータのラッチをそれぞれメモリアドレス及びメモリデータバス 68，74 上に対してイネーブルにする」ことが「メモリに対するアクセス要求」そのものであることを当業者が理解することはできない，と主張する。しかし，被告の同主張は，本件

審決が言及していない新たな拒絶理由に当たるから，本件訴訟において同主張をすることは許されない。

また，いったんローカルプロセッサに対して，メモリへのアクセス権が与えられ，メモリへのアクセスが許可されると，いわゆるスタンダードアローンの装置として処理動作を行えば足りることになる。すなわち，ローカルプロセッサは，アクセスするデータのアドレスを送出してアクセスを繰り返し，アクセスすべきデータがなくなった時にアドレスの送出を終了すれば足り，必ずしもアクセス終了を示す信号を出さなくてもよい。被告の主張は，この点からも失当である。

(2) 取消事由 2（拒絶理由 3 に係る認定判断の誤り）

ア 請求項 1，4 の「前記送出手段の送出を停止させる手段」について

請求項 1，4 の「前記送出手段の送出を停止させる手段」は，「前記メモリに対するアクセスの完了を検出する手段であって，・・・前記アクセスの終わりを示す制御信号を検出した後に前記送出手段の動作を停止させる手段」のことである。このことは，本願明細書の段落【0035】の記載に照らし，明らかである。

イ 請求項 1，4 の「非順次のコラムアドレスを含む転送」，請求項 2，5 の「メモリへ順次アクセス」と「複数の連続的な読み出しアクセス又は書き込みアクセス」，請求項 3，6 の「非順次のページモード」，「メモリへ非順次にアクセス」，「複数の非連続的な読み出しアクセス又は書き込みアクセス」における「順次」又は「連続」について

(ア) 「順次」という用語は「順序に従って，物事をするさま」，「連続」という用語は「次々につながって続くこと」を意味するところ（甲 14），本願明細書がこれらの用語を上記一般に理解される意味で使用していることは，当業者であれば容易に理解できる。

(イ) 被告の主張は，本願の願書に最初に添付した明細書の段落【00

28】の記載に基づくものであるが、同段落は補正されている（甲10）から、被告の主張は失当である。

(ウ) 請求項3, 6でいうところの「複数の非連続的な読み出しアクセス又は書き込みアクセス」は、複数の連続していない読み出しアクセス又は書き込みアクセス、すなわち、複数の連続していないアドレスに対するアクセスを意味する。

順次にメモリをアクセスする場合、すなわち、順序どおりに連続したアドレスへアクセスする場合には、連続したアドレスへの連続的な読み出しアクセス又は書き込みアクセスを行うが、これと異なり、請求項3, 6に記載の構成のように「メモリへ非順次にアクセスする」場合、すなわち、順序どおりに連続していないアドレスへアクセスする場合には、連続していないアドレスへの非連続的な読み出しアクセス又は書き込みアクセスを行う。これは、連続して（順次に）並んでいるアドレス中におけるアクセスの対象となるアドレスが連続していない（順次ではない）ので、アクセスが非連続的であることを意味する。

請求項3, 6に「ページモード形式は非順次のページモードであり」と記載されているように、アクセス方式はページモード形式であるから、請求項3, 6にいう「複数の非連続的な読み出しアクセス又は書き込みアクセス」が、複数回の単発的なアクセスを行う処理を意味するものではなく、複数の非連続的なアドレスへ連続してアクセスする処理を意味することは、当業者であれば容易に理解することができる。

(3) 取消事由3（拒絶理由1に係る認定判断の誤り）

ア 本願発明1の進歩性判断の誤り

本件審決は、以下のとおり、本願発明1と刊行物1記載発明との相違

点を看過し、また、相違点1についての容易想到性の判断を誤った。なお、本件審決の摘示に係る両発明の一致点、相違点1及び2の各認定(前記第2, 3(1)ウ(ア)ないし(ウ))は認め、相違点2の判断は争わない。

(ア) 本願発明1と刊行物1記載発明との相違点の看過

本件審決は、以下のとおり、刊行物1記載発明の認定を誤った結果、本願発明1と刊行物1記載発明との相違点を看過した。

a 刊行物1記載発明の認定の誤り

本件審決は、刊行物1のFig. 1及びFig. 4に言及した上で(審決書8頁18行~25行)、刊行物1記載発明について、「アドレス端子18, 端子20, データイン及びデータアウト端子22及び23がバスによってメモリコントローラ31に結合されており、前記コントロール信号/RAS, /CASのラインがアドレスバス32と8ビット双方向データバス34とコントロールバス35から分離し」(審決書9頁11行~14行)ていると認定した。

しかし、以下のとおり、審決の上記認定は誤りである。

(a) 刊行物1のFig. 1には、1ビットデータ入力端子22, 1ビットデータ出力端子23は図示されているが、メモリコントローラ31は示されていない。また、Fig. 4では、22, 23は、データラッチ33とシリコンチップ10との間にある線を示しているのに対して、メモリコントローラ31は、コントロールバスから下方向に延び、シリコンチップの外部端子20に接続される四角い箱につながる線であることが示されている。このように、刊行物1には、データイン及びデータアウト端子22及び23にメモリコントローラ31を接続する信号線を示すラインは、記載されていない。

(b) 刊行物1の記載は不明りょうであり、文章による説明と図面

の記載が一致しない。このような矛盾あるいは不備を含む刊行物 1 の記載から、「コントロール信号 / R A S , / C A S のラインがアドレスバス 3 2 と 8 ビット双方向データバス 3 4 とコントロールバス 3 5 から分離し」ていることは、認定できない。

b 本件審決が看過した本願発明 1 と刊行物 1 記載発明との相違点

前記 a のとおり、刊行物 1 には、本願発明のバスに相当するものが開示されておらず、また、原告が主張する「マイクロプロセッサ 3 0 ヘメモリコントローラ 3 1 及びコントロールバス 3 5 を通じて結合されたコントロール信号 / R A S , / C A S のライン」自体が示されていない。

本願発明 1 は、システムバスへ出力されるデータの転送速度をシステムバスのデータ転送速度との関係において調整して F I F O バッファを使用しないシステムを可能にしたものである。これに対し、刊行物 1 には、「マイクロプロセッサ 3 0 ヘメモリコントローラ 3 1 及びコントロールバス 3 5 を通じて結合されたコントロール信号 / R A S , / C A S のライン」自体が示されていないのであるから、刊行物 1 記載発明は、「F I F O バッファを使用しない」という本願発明の目的を達成するために必要な構成を欠いている。

本件審決は、本願発明 1 と刊行物 1 記載発明との上記相違点を看過した。

(イ) 本願発明 1 と刊行物 1 記載発明との相違点 1 の容易想到性判断の誤り

本件審決は、本願発明 1 と刊行物 1 記載発明との相違点 1 について、「マルチバス II が、C P U とメモリ間のデータ転送のバスであって、システム制御信号 S C 0 * - S C 9 * により転送サイクルを開始する要求や転送サイクルの終わりを示すことは、刊行物 2 等により周

知であるから，刊行物 1 記載発明の『マイクロプロセッサ 30』と『8つのメモリチップ 10を並列で用いる 256 K バイトの読取り / 書込みメモリ』との間のデータ転送のバスとして，上記周知のマルチバス II を用い，『転送サイクルを開始する要求』を検出した後にコントロール信号 / RAS，/ CAS をアサートし，『転送サイクルの終わりを示す制御信号』を検出した後にコントロール信号 / RAS，/ CAS のアサート（本願発明の『送出手段の動作』に相当）を停止させることは，当業者が適宜なし得る設計事項にすぎない。」（審決書 14 頁 33 行～ 15 頁 7 行）と判断した。

しかし，以下のとおり，本件審決の上記判断は誤りである。

a EOC 信号について

本願発明 1 の「メモリのアクセスの終わりを示す制御信号を検出した後に前記送出手段の動作を停止させる手段」は，複数の転送サイクルを繰り返して要求してデータを取得し終えた時に出力されるものであるのに対し，刊行物 2 に記載された「EOC 信号」は，各転送サイクルの終わりに出力されるものであるから，本願発明 1 の「アクセスの終わりを示す制御信号」は，刊行物 2 記載の「EOC 信号」とは異なるものである。

すなわち，刊行物 2 において，「1 転送サイクル」とは，当該転送サイクルにおいてアクセスするデータのアドレス情報の送付と，当該アドレス情報により指定されたデータの転送とからなるものであり，刊行物 2 においては，各転送サイクルの終わりに必ず「EOC 信号」が送付されているのに対し，本願発明 1 は，各転送サイクルの終わりに「EOC 信号」を送付することはせず，複数の転送サイクルを繰り返した後に「EOC 信号」を送付してアクセスを終了するものである。

このように、「EOC信号」は、転送サイクルで独占されていたシステムバスを開放する処理において用いられるものであり、システムバスの開放とメモリに対するアクセス終了とは必然的な結びつきはない。

したがって、「メモリのアクセスの終わりを示す制御信号を検出した後に前記送出手段の動作を停止させる手段」を設けることが、単なる設計事項であるということとはできない。

b 組合せの困難性

刊行物2には、メモリに対するアクセスの終わりを示す制御信号を検出して送出手段の動作を停止させる手段は記載されておらず、これは、当業者が適宜になし得る設計事項ではない。

刊行物1のFig. 4は、マイクロプロセッサ30を1つ記載するのみで、他のリクエストエージェントは示されておらず、これがマルチバスを介して複数のリクエストエージェントと結合できるものであることは何ら示されていないから、このようなメモリに刊行物2記載のマルチバスIIを用いることが可能か否かは、明らかでない。そして、刊行物1記載発明は、メモリ自体に関する発明であって、電力の節約を目的とするものであるのに対し、刊行物2記載のマルチバスIIは、バスに関する技術であって、課題を異にしている上、そもそも組み合わせることが可能であるか否かが明らかでないのであるから、刊行物1記載発明にマルチバスIIを組み合わせることは、当業者といえども、困難である。

イ 本願発明2及び3の進歩性判断の誤り

請求項2及び3は請求項1を引用しているから、本願発明1に係る本件審決の認定判断が誤りである以上、本願発明2及び3に係る本件審決の認定判断も誤りである。

ウ 本願発明 4 の進歩性判断の誤り

以下のとおり，本件審決は，本願発明 4 と刊行物 1 記載発明との相違点 1 の容易想到性の判断を誤った。

(ア) 刊行物 5 を組み合わせることについて

以下のとおり，刊行物 1 記載発明と刊行物 5 記載発明とは目的が異なり，両者を組み合わせる動機付けがない。

a 刊行物 1 記載発明は，ダミーセルによる不必要な放電を防止し，かつアクティブプルアップ回路の中に用いられているブーストクロックドライバの回路も半分しか駆動させないことにより，電力を節約することを目的とした「半導体ダイナミックメモリデバイス」に関する発明である。

これに対し，刊行物 5 記載発明の目的は，従来技術が「アクセスバス 1 1 から記憶装置 2 へのアクセスを行うという第 1 のデータ処理装置 1 の試験が第 2 および第 3 のデータ処理装置 4 ， 5 を使用しなければならないという欠点を有していた」ことを前提として，「第 1 の種類のデータ処理装置からのアクセスバスと，バスと，第 1 の種類のデータ処理装置へのアクセスバスとを使用して記憶装置をアクセスする手段を有し，第 2 の種類のデータ処理を使用しなくても第 2 の種類のデータ処理装置から記憶装置へ通ずるアクセスバスを単独に試験できるようにして上記欠点を除去し，試験法を簡略したメモリアクセス方式を提供すること」である。

このように，刊行物 1 記載発明と刊行物 5 記載発明とは，課題が異なる。

また，刊行物 1 には，刊行物 1 記載発明と刊行物 5 記載発明とを組み合わせることを示唆する記載はない。

b 本願発明は，マルチバスを介して繋がる複数のエージェントの存

在を前提とし、当該マルチバスを介したメモリアクセスの高速化を図ったものであり、刊行物5にいうデータ処理装置1と記憶装置2とが直結することによるアクセスの高速化とは全く異なったものであることは明白である。したがって、刊行物5におけるメモリアクセスの高速化と本願発明における複数エージェント間におけるマルチバスを介したメモリアクセスの高速化とを同一視する被告の主張は誤りである。

(イ) 刊行物1, 2及び5を組み合わせることについて

上記(ア)に加え、前記アで主張したところによれば、刊行物1, 2及び5を組み合わせる動機付けはないといえる。

エ 本願発明5及び6の進歩性判断の誤り

請求項5及び6は請求項4を引用しているから、本願発明4に係る本件審決の認定判断が誤りである以上、本願発明5及び6に係る本件審決の認定判断も誤りである。

2 被告の反論

本件審決の認定判断に誤りはなく、原告主張の取消事由はいずれも理由がない。

(1) 取消事由1（拒絶理由2に係る認定判断の誤り）に対し

ア 請求項1, 4の「メモリに対するアクセスサイクルを開始する要求を検出するリクエスト手段(66)」, 「メモリに対するアクセスの完了を検出する手段」, 「送出手段を停止させる手段」の各手段について

(ア) 「メモリに対するアクセスサイクルを開始する要求を検出するリクエスト手段(66)」について

a R/A信号線上のロー信号は、ページモードメモリアクセスサイクル中にコラムアドレスごとに繰り返し受信され、ページモードメモリアクセスサイクル中に繰り返しページモードメモリアクセスサ

イクルを開始する要求を検出してしまうため、単にR/A信号線上のロー信号を受信してもページモードメモリアクセスサイクルを開始する要求を検出できないから、請求項1の「メモリに対するアクセスサイクル」を開始する要求をどのように検出するのか不明である。

- b 原告が主張するように、R/A信号線が外部ロジックからメモリコントローラ66への入力となるのは、「コントローラ66が動作停止状態にあるとき」であって、メモリアクセスに対するリクエストの検出が第1処理動作で行われるためには、「コントローラ66が動作停止状態にあるとき」に、R/A信号線が外部ロジックによりローパルス状態となる必要があるが、「コントローラ66が動作停止状態にあるとき」を外部ロジックはどのように知るのか、本願明細書の発明の詳細な説明には記載されていない。

(イ) 「メモリに対するアクセスの完了を検出する手段」について

「メモリに対するアクセスの完了」については、本願明細書の段落【0038】では、「ページクロス(ページ横切り)」、段落【0035】では、「EOC信号線(バス信号線SC2*)がサイクルの終了の状態を示すべく信号がアサートされること」、図6や段落【0036】では、「コラムアドレス毎のアクセス」によって検出される「アクセスの完了」が、それぞれ説明されているだけであって、原告が主張するような、「アクセスすべきデータが残っていないために、メモリへのアクセスを終わる」という意味や、各メモリへのアクセスのサイクルとは別に検出されるものとしての「メモリに対するアクセスの完了」については、本願明細書には具体的にどのように行われるかが説明されていない。

(ウ) 「送出手段を停止させる手段」について

「ローアドレスストロブ信号」と「コラムアドレスストロブ信号」のアサートの動作の停止は、通常、それぞれローアドレスごと、コラムアドレスごとに行われるものである。

そうすると、本願明細書に記載された実施例において、通常のローアドレスごと、コラムアドレスごととは異なる、EOC信号線がアサートされて示されるデータ転送のサイクルごとに行われる「停止」がどのようなものか不明である。

イ 請求項1, 4の「メモリアクセスが非順次のコラムアドレスを含む転送と可能とする」、請求項3, 6の「非順次のページモード」、「メモリへ非順次にアクセス」について

ページモード形式が順次か非順次かにかかわらず、「リクエスト検出手段(66)」、「メモリに対するアクセスの完了を検出する手段」、「送出手段の動作を停止させる手段」の各手段が、本願明細書に記載された実施例のどの部分であり、各手段の動作がどのように行われるのか不明であるから、メモリアクセスが非順次のコラムアドレスを含む転送が周知であっても、本願明細書の発明の詳細な説明は、本願発明1ないし6を当業者が容易に実施することができる程度に記載されていない。

ウ 請求項4の「前記アクセス用のバスを通じて行われる前記プロセッサの要求」について

刊行物1に記載されているように、通常、「メモリに対するアクセス要求」、つまり請求項4の「前記アクセス用のバスを通じて行われる前記プロセッサの要求」は、アドレスバスやデータバスでなく、コントロールバスを通じて行われるから、本願明細書の図5や段落【0042】などをみても、「ローカルプロセッサのアドレス及びデータのラッチをそれぞれメモリアドレス及びメモリデータバス68, 74上に対してイ

ネーブルにする」ことが「メモリに対するアクセス要求」そのものであることを当業者が理解することはできない。

エ 請求項 4 の「前記アクセス用のバスを通じて行われる前記プロセッサの要求に应答し，前記应答側エージェントの前記メモリに対するアクセスサイクルを開始する」について

通常は，「メモリに対するアクセス要求」はアドレスバスやデータバスでなく，コントロールバスを通じて行われるから，「ローカルプロセッサのアドレス及びデータのラッチをそれぞれメモリアドレス及びメモリデータバス 68，74 上に対してイネーブルにする」ことが「メモリに対するアクセス要求」そのものであることを当業者が理解することはできない。

また，本願明細書に記載された実施例において，ローカルプロセッサがメモリに対するアクセスを終了する際にアクセス終了を示す信号を生成する手段，メモリ（又は，メモリ・コントローラ）がアクセス終了を示す信号に应答してメモリのアクセスサイクルを終了させる手段について，具体的な記載が本願明細書の発明の詳細な説明にはないから，当業者がこれらの手段を実施できることは明らかではない。

(2) 取消事由 2（拒絶理由 3 に係る認定判断の誤り）に対し

ア 請求項 1，4 の「前記送出手段の送出を停止させる手段」について

「ローアドレスストロープ信号」と「コラムアドレスストロープ信号」をアサートする動作の停止は，通常，それぞれローアドレスごと，コラムアドレスごとに行われるものである。

したがって，請求項 1，4 の「送出手段」において，「ローアドレスストロープ信号」と「コラムアドレスストロープ信号」をアサートする動作のローアドレスごととコラムアドレスごとの通常の停止と異なるどのような動作の停止が，E O C 信号線がアサートされて示されるデータ

転送のサイクルごとに行われるのか不明であり，請求項 1，4 の「前記送出手段の動作を停止」という記載の技術内容を理解することができない。

イ 請求項 1，4 の「非順次のコラムアドレスを含む転送」，請求項 2，5 の「メモリへ順次アクセス」と「複数の連続的な読み出しアクセス又は書き込みアクセス」，請求項 3，6 の「非順次のページモード」，「メモリへ非順次にアクセス」，「複数の非連続的な読み出しアクセス又は書き込みアクセス」における「順次」又は「連続」について

本願明細書の段落【0036】の「連続的なメモリアクセス」，段落【0043】の「一連の連続的な高優先順位アクセス」，段落【0028】の「ページモードアクセスは，データが順次アクセスされる場合，すなわちコラムアドレスが各アクセスにつき 1 つだけ増分もしくは減分される場合」，「非順次ページモードアドレス」のように，本願明細書に記載された実施例において，「連続的なアクセス」，「順次ページモードアクセス」，「非順次ページモードアクセス」は行われているが，請求項 3，6 の「複数の非連続的な読み出しアクセス」は行われていない。

また，「連続」という用語を一般に理解されたとおりの意味に解釈しても，通常，ページモード形式のメモリアクセスとは，コラムアドレスが順序どおりか否かにかかわらず，複数のメモリアクセスを続けて行うものであり，そのような「連続的な」ページモード形式のメモリアクセスを行う請求項 1，4 をそれぞれ引用する請求項 3，6 に係る発明において，「連続的な」ページモード形式のメモリアクセスと「複数の非連続的な読み出しアクセス」という異なる形式のアクセスが混在しており，当業者はその技術内容を理解することができない。

(3) 取消事由 3（拒絶理由 1 に係る認定判断の誤り）に対し

ア 本願発明 1 の進歩性判断の誤りに対し

(ア) 本願発明 1 と刊行物 1 記載発明との相違点の看過に対し

a 刊行物 1 記載発明の認定の誤りに対し

(a) 本願発明においても、「RAS 0 * と RAS 1 * の信号線や CAS 0 * - CAS 3 * の信号線」を、「メモリバス (RAS, CAS)」と呼んでいるように、DRAMにおける各種の信号線は、複数のバンク、アレイ、チップ等に共通に用いられるため、当業者に「バス」と呼ばれている。

一方、刊行物 1 の Fig. 1 や Fig 4 には、アドレス端子 18, 端子 20 と同様、メモリ 10 の 1 ビットデータイン及びデータアウト端子 22 及び 23 にメモリコントローラ 31 を接続する信号線を示すラインが記載されている。そして、このメモリ 10 の 1 ビットデータイン及びデータアウト端子 22 及び 23 にメモリコントローラ 31 を接続する信号線も、複数のアレイ 11 a ~ 11 h や複数のチップ 10 に共通に用いられる。

したがって、本件審決が、刊行物 1 記載発明について、「データイン及びデータアウト端子 22 及び 23 がバスによってメモリコントローラ 31 に結合されており」（審決書 9 頁 11 行 ~ 12 行）と認定したことに、誤りはない。

(b) 刊行物 1 には、「 / RAS 及び / CAS 信号は端子 20 によって読取り / 書込みコントロール / W と共にチップへ加えられ」（5 頁右下欄 3 行 ~ 5 行）、「チップ 10 の分離したデータイン及びデータアウト端子 22 及び 23 は在来のデータラッチ 33 (メモリコントローラの 1 部) と 8 ビット双方向データバス 34 によってマイクロプロセッサ 30 へ結合されている。」(6 頁左下欄 11 行 ~ 15 行)、「マイクロプロセッサ 30 からのコン

トロール信号出力35は・・・デバイス10のコントロール端子(/ R A S , / C A S , / W)と同じではない。マイクロプロセッサ又は38のコントロール出力34(「マイクロプロセッサ30のコントロール出力35」の明らかな誤記である。)はメモリチップ10のコントロール信号 / R A S , / C A S , 及び / W を生み出す為に用いられ、コントローラ31の中のデータラッチ33の為にコントロールを行なう。」(6頁左下欄15行~右下欄9行)と記載されている。

上記記載から、刊行物1記載発明のメモリコントローラ31の構成は明らかであり、マイクロプロセッサ30からのコントロール信号出力35を用いて / R A S 及び / C A S を生み出しているということができる。

したがって、本件審決が、刊行物1記載発明について、「コントロール信号 / R A S , / C A S のラインがアドレスバス32と8ビット双方向データバス34とコントロールバス35から分離し」(審決書9頁12行~14行)と認定したことに、誤りはない。

b 本件審決が看過した本願発明1と刊行物1記載発明との相違点について

刊行物1に「マイクロプロセッサ30へメモリコントローラ31及びコントロールバス35を通じて結合されたコントロール信号 / R A S , / C A S のライン」が記載されていることは、前記aのとおりであるところ、刊行物1記載発明の上記構成は、本願発明1の「メモリバス(R A S , C A S)」に相当する。

また、本願明細書の請求項1には、システムバスへ出力されるデータの転送速度をシステムバスのデータ転送速度との関係において

調整するような構成は記載されていないから、原告の主張する「FIFOバッファを使用しない」という目的を達成するために必要な構成の有無は、本願発明1と刊行物1記載発明との相違点とはならない。

- (イ) 本願発明1と刊行物1記載発明との相違点1の判断の誤りに対し
a EOC信号について

本願明細書の段落【0035】などの記載に照らし、本願発明1の「アクセスの終わりを示す制御信号」は、各転送サイクルの終了を意味する刊行物2の「EOC信号」とは異なるものではないと解釈すべきである。

そして、「転送サイクルの終わりを示す制御信号」（転送サイクルの終了を示すEOC信号）を検出する前には、メモリに対するアクセスに必要なコントロール信号/RAS、/CASのアサートを停止させるはずはない。

したがって、本件審決が、「『転送サイクルの終わりを示す制御信号』を検出した後にコントロール信号/RAS、/CASのアサート（本願発明の「送出手段の動作」に相当）を停止させることは、当業者が適宜なし得る設計事項にすぎない。」（審決書15頁5行～7行）と判断したことに、誤りはない。

- b 組合せの困難性について

刊行物2記載のマルチバスIIを刊行物1記載発明における「メモリに対するアクセスサイクル」のようなCPUとメモリ間のデータ転送に用いるに当たり、「メモリに対するアクセスの終わりを示す制御信号を検出して送出手段の動作を停止させる手段」を備えるようにすることは、単なる設計事項にすぎない。

マルチバスIIは、一般に知られている「マイクロプロセッサシス

テムにおけるCPUとメモリ間のデータ転送用のバス」の標準であるから、刊行物1記載発明におけるCPUとメモリ間のデータ転送用のバスとして組み合わせることが可能であり、組合せの示唆も動機付けもある。

イ 本願発明2及び3の進歩性判断の誤りに対し

本願発明1に係る本件審決の認定判断に誤りがないことは前記アのとおりであるから、本願発明2及び3に係る本件審決の認定判断に原告主張の誤りはない。

ウ 本願発明4の進歩性判断の誤りに対し

(ア) 刊行物5を組み合わせることについて

刊行物1記載発明では、コントロール信号/RAS、/CASのライン(本願の「メモリバス」に相当)は、アドレスバス32と8ビット双方向データバス34とコントロールバス35(本願の「システムバス」に相当)から分離しているところ、刊行物5の第3図にも、直接バス10(本願の「メモリバス」に相当)がバス3(本願の「システムバス」に相当)から分離していることが示されている。

また、刊行物1の「改良された高速、高密度、ダイナミックランダムアクセスメモリを提供する事が本発明の主要な目的である。」(4頁左下欄19行~右下欄1行)との記載、刊行物5の「第1図のメモリアクセス方式を改良した第2図の方式では・・・記憶装置2へのアクセスを高速にすることができる。」(2頁左上欄11行~19行)との記載に示されるように、刊行物1記載発明や刊行物5記載発明において使用されるメモリについて、メモリへのアクセスを高速にするという課題は周知である。

そうすると、刊行物1記載発明と刊行物5記載発明とは、「メモリバスはシステムバスから分離しているデータ処理システム」という技

術分野が共通しており，メモリへのアクセスを高速にするという周知の課題を解決するために，両者を組み合わせることの動機付けはあるから，当業者が両者を組み合わせることは容易である。

(イ) 刊行物 1，2 及び 5 を組み合わせることについて

刊行物 2 の一般に知られている「マイクロプロセッサシステムにおける CPU とメモリ間のデータ転送用のバス」の標準は，エージェント間のデータ転送のみに関する構成であり，通常，エージェントの内部の構成に依存しない。

一方，刊行物 5 記載発明は，エージェント間のデータ転送用のバスに用いる標準に依存しない「応答側エージェント」の内部のメモリアクセスの構成に関するものであるため，本件審決は，相違点 1 を，刊行物 2 の標準との組合せの部分と，刊行物 5 記載発明との組合せの部分とに分けて，前者については当業者が適宜なし得る設計事項にすぎず，後者については当業者が容易になし得ることであることを根拠に，相違点 1 の進歩性を否定したものである。

したがって，本件審決は，単に 3 つの発明を組み合わせる本願発明 4 を想到することが当業者にとって容易であると判断したものでなく，本件審決に原告の主張に係る誤りはない。

エ 本願発明 5 及び 6 の進歩性判断の誤りに対し

本願発明 4 に係る本件審決の認定判断に誤りがないことは前記ウのとおりであるから，本願発明 5 及び 6 に係る本件審決の認定判断に原告主張の誤りはない。

第 4 当裁判所の判断

1 本願発明 1 の進歩性判断の誤りについて

事案に鑑み，まず，原告主張の取消事由 3 のうち本願発明 1 の進歩性判断の誤りをいう点について，検討する。

(1) 本願発明 1 と刊行物 1 記載発明との相違点の看過について

ア 刊行物 1 記載発明の認定誤りについて

原告は、刊行物 1 には、データイン及びデータアウト端子 2 2 及び 2 3 にメモリコントローラ 3 1 を接続する信号線を示すラインは記載されていないこと、刊行物 1 の記載から、「コントロール信号 / R A S , / C A S のラインがアドレスバス 3 2 と 8 ビット双方向データバス 3 4 とコントロールバス 3 5 から分離し」ていることは認定できないことから、本件審決が、刊行物 1 記載発明について、「アドレス端子 1 8 , 端子 2 0 , データイン及びデータアウト端子 2 2 及び 2 3 がバスによってメモリコントローラ 3 1 に結合されており、前記コントロール信号 / R A S , / C A S のラインがアドレスバス 3 2 と 8 ビット双方向データバス 3 4 とコントロールバス 3 5 から分離し」(審決書 9 頁 1 1 行 ~ 1 4 行) ていると認定したことは、誤りであると主張する。

しかし、以下のとおり、原告の上記主張は失当である。

(ア) 刊行物 1 の記載

刊行物 1 (甲 1) には、メモリチップ 1 0 に対する制御信号 (/ R A S , / C A S , / W) 及び入出力データ等のやり取りについて、次の記載がある。

「 / R A S 及び / C A S 信号は端子 2 0 によって読取り / 書込みコントロール / W と共にチップへ加えられ、これらの信号はすべて、内部クロックのすべてを生み出すクロック発生器 2 1 へ接続される。」(5 頁右下欄 3 行 ~ 7 行)

「チップ 1 0 の分離したデータイン及びデータアウト端子 2 2 及び 2 3 は在来のデータラッチ 3 3 (メモリコントローラの 1 部) と 8 ビット双方向データバス 3 4 によってマイクロプロセッサ 3 0 へ結合されている。」(6 頁左下欄 1 1 行 ~ 1 5 行)

「マイクロプロセッサ又は38のコントロール出力34はメモリチップ10のコントロール信号/RAS, /CAS, 及び/Wを生み出す為に用いられ, コントローラ31の中のデータラッチ33の為にコントロールを行う。」(6頁右下欄5行~9行)(なお, Fig. 4に示されるように, マイクロプロセッサは「30」であり, コントロール信号に関係するのは「35」であるから, 上記記載中の「マイクロプロセッサ又は38のコントロール出力34」は, 「マイクロプロセッサ30のコントロール出力35」の誤記と認める。)

(イ) 判断

前記(ア)の記載によれば, 刊行物1におけるメモリコントローラ31は, Fig. 4において, シリコンチップ(メモリ)の外部端子20に接続される四角い箱として図示されているもののみではなく, データラッチ33を含む装置であって, このようなメモリコントローラ31を介して, バス(アドレスバス32, データバス34, コントロールバス35)に接続されたマイクロプロセッサ30と, バス(メモリへの入出力データやメモリの制御信号を伝送する伝送路)に接続されたメモリ10との間で, 信号やデータのやり取りが行われることが理解できる。

したがって, 本件審決が, 刊行物1記載発明について, 「アドレス端子18, 端子20, データイン及びデータアウト端子22及び23がバスによってメモリコントローラ31に結合されており, 前記コントロール信号/RAS, /CASのラインがアドレスバス32と8ビット双方向データバス34とコントロールバス35から分離し」(審決書9頁11行~14行)ていると認定したことに誤りはない。

イ 本件審決が看過した本願発明1と刊行物1記載発明との相違点について

原告は、刊行物 1 記載発明が、本願発明 1 と異なり、「F I F O バッファを使用しない」という本願発明の目的を達成するために必要な構成を欠いているという相違点を看過したと主張する。

しかし、以下のとおり、原告の上記主張は、その前提となる刊行物 1 記載発明及び本願発明 1 の理解を誤ったものであって、採用することができない。

(ア) 刊行物 1 記載発明について

原告の主張は、刊行物 1 には、「マイクロプロセッサ 3 0 ヘメモリコントローラ 3 1 及びコントロールバス 3 5 を通じて結合されたコントロール信号 / R A S , / C A S のライン」は記載されておらず、本願発明 1 のバスに相当するものが開示されていないことを前提とするものであるところ、かかる前提が誤りであることは、前記アのとおりである。

(イ) 本願発明 1 について

原告の主張は、本願発明 1 が、システムバスへ出力されるデータの転送速度をシステムバスのデータ転送速度との関係において調整して F I F O バッファを使用しないシステムを可能にしたものであることを前提とするものであるが、以下のとおり、かかる前提は誤りである。

前記第 2 , 2 のとおり、本願明細書の請求項 1 は、F I F O バッファとの関係について、何ら規定していない。また、本願発明 1 において、データ転送速度が改善されることは、メモリのアクセスにページモード型式を採用したことによる効果であり、これにより直ちに F I F O バッファが不要になるというものでもない。

(2) 本願発明 1 と刊行物 1 記載発明との相違点 1 の判断の誤りについて

ア E O C 信号について

原告は、本願発明１の「アクセスの終わりを示す制御信号」は、刊行物２記載の「EOC信号」とは異なるものであると主張する。

しかし、以下のとおり、原告の主張は失当である。

(ア) 本願明細書の記載

a 本願明細書の請求項１には、メモリに対するアクセスの完了を検出する手段について、「前記メモリに対するアクセスの完了を検出する手段であって、前記リクエスト側エージェントにより生成される、前記メモリに対してのアクセスの終わりを示す制御信号に応答するものであり、前記送出手段に結合され、前記アクセスの終わりを示す制御信号を検出した後に前記送出手段の動作を停止させる手段と」と記載されている。

b 本願明細書（甲８，１０，１１）の発明の詳細な説明には、「メモリに対するアクセスの完了」、「メモリに対してのアクセスの終わりを示す制御信号」について、直接説明した記載は見当たらないが、実施例に関して、メモリへのアクセス制御に関する次の説明がある。

「リクエスト／肯定応答（アクノレッジ）（R/A）入力信号は双方向信号であって、コントローラ６６が動作静止状態にある場合にはメモリコントローラ６６に対する入力となるのが普通である。メモリ６０に対するアクセスの要求が順次データ転送の要求相中にリクエスト側エージェントにより行われた場合、R/A信号線は外部ロジック（図示せず）によりローパルス状態となる。メモリアクセスに対するかかるリクエストを行った後、R/A信号線は外部ロジックにより解放され、メモリリクエスト／肯定応答サイクル中にコントローラ６６により駆動される。リクエストに응答してメモリコントローラ６６はリード／ライト（RW）入力の状態と共にA

0, A1, W0, W1, およびR0ラインの状態に従ってメモリ60にアクセスする。その後, メモリコントローラ66はR/Aを論理ローの信号レベルに駆動してメモリアクセスに対して肯定応答する。メモリアクセスを開始後, メモリコントローラ66は, EOC信号線(バス信号SC2*)がサイクル終了の状態を示すべく信号がアサートされるまで, 繰返しメモリをアクセスする。EOCがアサートされると, メモリコントローラ66には現在のメモリアクセスが順次データ転送の応答相の最終的メモリアクセスであることが知らされる。」(段落【0035】)

「ここで図6について述べると, 順次データ転送の応答相中にコントローラ66によって行われるメモリ60に対する連続的メモリアクセスの一部を示すタイミング線図が示されている。同図に示されるとおり, 各アクセスにつきR/A信号線はコントローラ66により低(ロー)の方に駆動され, その後解放される。これらのメモリサイクル中, 本発明に従うと, Ras*ラインはアサートされた状態, 又はロー(低)状態に維持され, Cas*ラインは繰返しトグルされてページモードメモリアクセスサイクルを実現する。連続ページモードアクセスサイクル中, SC4*信号線がメモリコントローラ66によりアサートされ, リクエスト側のエージェントに, 応答者がレディ状態にあること, すなわちメモリコントローラ66が要求者のためにデータにアクセス中であることを通知する。メモリコントローラにより出力されるDEN0信号線は, データがメモリ60から読出される時に, メモリデータバス74からのデータをシステムバス10上へ配置するためにバッファ72をイネーブルにするために用いられる。」(段落【0036】)

c 本願明細書の上記bの各記載によれば, 順次データ転送の応答相

においては、メモリへのアクセスが開始されるとE O C信号線(バス信号S C 2*)がアサートされるまでアクセスが繰り返されること、E O C信号線がアサートされることにより、メモリコントローラ66は、現在のメモリアクセスが最終的メモリアクセスであることを知ることができることなどを理解することができる。

そうすると、本願発明1にいう「メモリに対するアクセスの完了」とは、順次データ転送の応答相において、メモリへのアクセスの繰り返しが終了することを意味し、「メモリに対してのアクセスの終わりを示す制御信号」とは、E O C信号線がアサートされることを意味するものと理解できる。

d なお、本願明細書には、「本発明の方法と装置は本文中ではマルチバスIIの環境の文脈で説明するけれども、本発明はバス上に相互接続された少なくとも2つのエージェント同士の間でデータを転送しあうバスを有する多くのデジタルコンピュータシステムでも実施可能なことを理解すべきである。」(段落【0013】)との記載がある。

(イ) 刊行物2の記載

前記(ア)dのとおり、本願明細書は「マルチバスII」に言及しているところ、これについて説明した刊行物2(甲2)には、次の記載がある。

「マルチバスIIは、新しく定義されたパラレル・システム・バス(i P S B)、ローカル・バス・エクステンション(i L B X I I)、シリアル・システム・バス(i S S B)、それにマルチバスIからうけついでI/O拡張バス(i S B X)とマルチチャネルDMA I/Oバスとから構成されている(図1)」(306頁右欄6行~11行)

「マイコン・システムのバスにおけるデータ転送は、つぎの四つに分類できる。

(1) 命令フェッチやデータ参照のような、CPUとメモリ間のデータ転送

(2) メッセージなど、CPUとCPU間のデータ転送

(3) I/O制御を行う際、CPUとI/O間で行われるデータ転送

(4) ディスクなど高速データ転送が要求されるI/Oからメモリへのデータ転送」(306頁右欄20行~28行)

「iPSBでは、次の3種類のバス・サイクルが定義されており、データ転送を行うエージェント(=ボード)はそのうちの1つを実行する(図11, 12)。

- ・アービトレーション・サイクル
- ・転送サイクル
- ・エクセプション・サイクル

エージェントがデータ転送を行うには、データ転送を開始する前にアービトレーション・サイクルでバスの制御権を得なければならない。」(311頁左欄下から3行~313頁左欄6行)

「転送サイクルは、要求フェーズ(request)と応答フェーズ(reply)からなる。図18に具体的な転送サイクルの例を示す。

要求フェーズでは、バス・オーナーとなったエージェントが転送制御線(SC0~9)を使って応答エージェントのアドレス空間の指定(メモリ, I/O, インター・コネクト, メッセージ), データ幅(8, 16, 24, 32ビット)オペレーション・タイプ(書込み, 読出し)などの情報とアクセスするアドレス情報をバス上に出力する。

応答エージェントは，SC0をモニタしていて，要求エージェントがSC0をアクティブにすると要求フェーズと解釈し，転送制御線に含まれる情報を認識する。すべての応答エージェントは，この要求フェーズ間にアドレスするかどうかを決定しなければならない。」(314頁右欄8行～21行)

「応答フェーズは，要求フェーズに引きつづいて行われ，要求エージェントと応答エージェント間でのデータ，ステータス情報の交換が行われる。その際，両エージェントは，RQRDY(要求エージェント・レディ；SC3)とRPRDY(応答エージェント・レディ；SC4)を使ってハンドシェイクを行い，アドレス/データ(AD)線上のデータと転送制御線のステータスが有効であることを互いに確認する。いずれのエージェントもレディ信号をアクティブにしなければ転送サイクルを遅らすことができるので，スピードの遅いエージェントに対しても対応できる。」(314頁右欄22行～315頁左欄3行)

「要求エージェントが，EOC(End Of Cycle)信号で最後のデータ転送を知らせると転送サイクルが終了するが，転送最後のバス・クロック・サイクルは，EOC，RQRDY，RPRDY信号がすべてアクティブになったときである。」(315頁左欄4行～右欄8行)

「〔図18〕転送サイクル」(315頁)には，SC2*信号とSC3*信号に依存してEOC信号が発生する様子が示されている。

(ウ) 判断

- a 刊行物2の上記(イ)の記載内容は，符号の使い方を含めて，本願明細書の前記(ア)bの記載内容とよく符合する。

そして，刊行物2における「要求エージェントが，EOC(En

d Of Cycle) 信号で最後のデータ転送を知らせると転送サイクルが終了する・・・」との記載に鑑みると、結局、本願明細書の発明の詳細な説明に記載の「順次データ転送の応答相において、メモリへのアクセスの繰り返しが終了する」とは、CPUとメモリとの間の転送サイクルが終了することを意味し、バスに接続された応答エージェント(メモリ)は、要求エージェント(CPU)から発せられるEOC(End Of Cycle)信号により、その終了を知らされることが理解される。

そうすると、請求項1の「メモリに対するアクセスの完了」とは、マルチバスIIのバス仕様に定められた「転送サイクルの終了」を意味するものであり、「メモリに対してのアクセスの終わりを示す制御信号」とは、EOC信号を意味するものであると理解するのが自然である。

b この点、原告は、「EOC信号」は、転送サイクルで独占されていたシステムバスを開放する処理において用いられるものであり、システムバスの開放とメモリに対するアクセス終了とは必然的な結びつきはないこと、本願発明1の「メモリのアクセスの終わりを示す制御信号を検出した後に前記送出手段の動作を停止させる手段」は、複数の転送サイクルを繰り返して要求してデータを取得し終えた時に出力されるものであるのに対し、刊行物2に記載された「EOC信号」は、各転送サイクルの終わりに出力されるものであるから、本願発明1の「アクセスの終わりを示す制御信号」は、刊行物2記載の「EOC信号」とは異なるものであることを主張する。

確かに、ページモード型式でメモリにアクセスする場合において、連続アクセスによるデータの転送量が予め一定量に決められて

いるような状況下では、メモリに対するアクセスの終了とメモリサイクルの終了は、必ずしも一致しない。また、E O C 信号とは別に、メモリに対するアクセスの終わりを示す何らかの信号を用いることも、理論的には考えられないわけではない。

しかし、前記 a で検討したところに加え、本願明細書には、E O C 信号と異なる信号を用いたメモリへのアクセス制御方法について記載がないことからすれば、本願明細書に接した当業者が、本願明細書で説明されている E O C 信号とマルチバス II のバス仕様で定められている E O C 信号とが異なるものと理解することは、困難といわざるを得ない。

したがって、本願発明 1 の「アクセスの終わりを示す制御信号」が刊行物 2 記載の「E O C 信号」とは異なるものであるとする原告の主張は、採用することができない。

イ 組合せの困難性について

原告は、刊行物 1 記載発明にマルチバス II を組み合わせることは、当業者といえども、困難であると主張する。

しかし、以下のとおり、原告の主張は失当である。

(ア) 刊行物 1 (甲 1) の「特に多重センスアンプ構成の為の、改良された高速、高密度、ダイナミックランダムアクセスメモリを提供する事が本発明の主要な目的である。」(4 頁左下欄下から 2 行～右下欄 1 行) との記載に示されるとおり、刊行物 1 記載発明は、メモリ自体の性能を高めることを直接の目的とするものであり、また、F i g . 4 を見ても、リクエストエージェントとしては、マイクロプロセッサ (3 0) が 1 つ示されているだけである。

しかし、前記(1)アのとおり、刊行物 1 記載発明のメモリチップ 1 0 は、バス (アドレスバス 3 2 , データバス 3 4 , コントロールバス 3

5) に接続されたマイクロプロセッサ30との間で、メモリコントローラ31を介して信号やデータのやり取りを行うものであり、刊行物1には、このようなメモリシステムが開示されていることにかわりない。

そして、刊行物2に記載された「マルチバスII」は、システムバスに接続された要求エージェント(CPU等)と応答エージェント(メモリ等)との間で高速にデータの転送を行うためのバス仕様を定めたものであり、そもそも、種々の要求エージェントや応答エージェントが接続されることを前提に設計されているのであるから、刊行物1載発明(ページモード型式でメモリにアクセスする方式のメモリシステム)において、マルチバスIIの技術を採用することが、当業者にとって困難であったとは認められない。

(イ) 前記アのとおり、本願発明1における「メモリに対するアクセスの終わりを示す制御信号」は、マルチバスIIにおけるEOC(End of Cycle)信号に相当するものと認められるところ、ページモード型式でメモリにアクセスする場合において、連続アクセスによるデータの転送量があらかじめ一定量に決められているような状況下ではメモリに対するアクセスの終了とメモリサイクルの終了は必ずしも一致しないが、そうでない場合は、通常、転送サイクルの終了はメモリに対するアクセスの終了と同時期になるものと考えられるから、制御信号(EOC信号)を検出してメモリからのデータの送出手段の動作を停止させるように設計することは、当業者が容易に着想することといえる。

(3) 小括

上記検討したところによれば、原告主張の取消事由3のうち、本願発明1の進歩性判断の誤りをいう部分には理由がなく、また、本願発明1の進

歩性判断に関し，本件審決のこれを取り消すべきそのほかの誤りがあるとも認められない。

2 結論

以上のとおり，拒絶理由 1 のうち本願発明 1 に関する部分に誤りはないから，「本件審判の請求は，成り立たない。」とした本件審決の結論は，拒絶理由 1 のうち本願発明 2 ないし 6 に関する部分，並びに，拒絶理由 2 及び 3 について検討するまでもなく，これを是認することができる。

よって，原告の本訴請求は理由がないから，これを棄却することとし，主文のとおり判決する。

知的財産高等裁判所第 3 部

裁判長裁判官 飯 村 敏 明

裁判官 齊 木 教 朗

裁判官 嶋 末 和 秀