

主 文

- 一 原告の別紙イ号物件目録及び別紙ロ号物件目録記載の各半導体装置の製造及び販売について、被告が原告に対して特許登録番号第三二〇二七五号特許権の侵害を理由とする損害賠償請求権を有しないことを確認する。
- 二 訴訟費用は被告の負担とする。

事 実

第一 当事者の求めた裁判

- 一 原告
主文と同旨。
- 二 被告
 - 1 原告の請求を棄却する。
 - 2 訴訟費用は原告の負担とする。

第二 当事者の主張

- 一 請求の原因
 - 1 (一) 原告は、各種の半導体装置及び電子機器等の製造販売を業としている会社である。
 - (二) 被告は、アメリカ合衆国デラウェア州法に基づき設立され、肩書地に主たる事務所を有して、各種の半導体装置の製造販売を業としている会社である。
 - 2 被告は、次の特許権（以下「本件特許権」といい、その発明を「本件発明」という。）を有する。

発明の名称 半導体装置

出願日（特願昭三五―三七四五号（以下「原々出願」という。）の出願日）
昭和三五年二月六日（一九五九年（昭和三四年）二月六日米国特許出願第七九一六〇二号に基づく優先権を主張）

原々出願に基づく分割出願（特願昭三九―四六八九号。以下「原出願」という。）
の出願日

昭和三九年一月三〇日（前記米国特許出願に基づく優先権を主張）

原出願に基づく分割出願の出願日（特願昭四六―一六三二八〇号）

昭和四六年一月二二日（前記米国特許出願に基づく優先権を主張）

出願公告日 昭和六一年一月二七日（特公昭六一―五五二五六号）

登録日 平成元年一〇月三〇日

登録番号 第三二〇二七五号

- 3 原告は、業として別紙イ号物件目録記載の半導体装置（以下「イ号物件」という。）及びロ号物件目録記載の半導体装置（以下「ロ号物件」という。）を製造し、使用し、販売している。

なお、イ号物件のセンスアンプ部分の単位回路UC_n内のMOSFET間の接続関係は、別紙「センスアンプ部分の単位回路UC_n内のMOSFET間の接続関係」のとおりである。

- 4 原告被告間には、従来半導体装置に関する特許について期限を平成二年一二月末日までとする相互実施許諾契約が存していたが、被告が日本において本件特許権を取得したのに伴い、被告は、右契約の更新に際し、本件特許権が半導体集積回路についての基本特許であって原告を含む日本の業者が製造販売する右装置のほとんど全てが本件発明の技術的範囲に属すると主張し、このことを理由として原告に対してもイ号物件及びロ号物件を含む種々の半導体装置につき、原告の売上額に対する実施料相当額の金銭支払を要求している。

しかし、本件発明の優先権主張日後約三〇年にわたる技術的進歩の成果であるイ号物件及びロ号物件のような超高集積度の装置は、本件発明の技術的範囲に属さず、したがって、原告は、被告に対して、本件特許権の侵害による損害賠償義務を負うものではない。

原告被告間には、右のとおり本件特許権侵害による金銭支払いの要否につき深刻な法律紛争が生じているので、訴えの利益がある。

- 5 よって、被告が、原告に対して、原告のイ号物件及びロ号物件の製造及び販売について、本件特許権の侵害を理由とする損害賠償請求権を有しないことの確認を求めらる。

- 二 請求の原因に対する認否

請求の原因1から3は認める。

同4は、原告に訴えの利益があることは認め、イ号物件及びロ号物件が本件発明の技術的範囲に属さず、原告が被告に対して本件特許権の侵害による損害賠償義務を負うものではないとする点は否認する。

同5は争う。

三 被告の主張

1 本件特許発明の特許願に添付した明細書（以下「本件明細書」という。）の特許請求の範囲の記載は、本判決添付の特許出願公告公報（以下「本件公報」という。）の写しの該当欄記載のとおりである。

2 本件発明の構成要件を分説すると、次の構成を有する電子回路用の半導体装置である。

A1 主要な表面及び裏面を有する単一の半導体薄板を有すること。

A2 右半導体薄板は複数の回路素子を含んでいること。

A3 右回路素子のうち、右薄板の外部に接続が必要とされる回路素子に対して電氣的に接続された複数の引出線を有すること。

a 右各回路素子は、右薄板の種々の区域に互いに距離的に離間して形成されていること。

b 右各回路素子は、右薄板の主要な表面に終わる接合により画定されている薄い領域を少なくともひとつ含んでいること。

c1 不活性絶縁物質が右薄板の表面上に形成されていること。

c2 複数の回路接続用導電物質が、右薄板の表面上に、右不活性絶縁物質上に被着され、形成されていること。

d1 右各回路素子中の選ばれた薄い領域が右回路接続用導電物質によって電氣的に接続されていること。

d2 かかる電氣的接続により右各回路素子間に必要なる電氣的回路接続がなされ、電子回路が達成されていること。

e 右電子回路は、右各回路素子及び右回路接続用導電物質によって、本質的に平面状に配置されていること。

3 本件発明の特徴、作用効果

（一） 本件発明の特徴

本件発明は、半導体薄板上に電子回路を構成するために、単一の半導体薄板の一主面上に、離間して形成された複数の回路素子と、それらの回路素子中の選ばれた薄い領域を相互に接続する不活性絶縁物質上の回路接続用導電物質とを、本質的に平面状に（二次元的拡がりをもって）配置するという技術的思想を特徴とするものであって、「回路素子間の必要な電氣的分離と電氣的接続とを行い、一個の電子回路装置にしようとするもの」でもなければ、ましてや、「メサ型の回路素子を集積し、半導体のバルクの抵抗を利用して回路素子の分離と接続を行う態様のもの」でもない。

（二） 本件発明の作用効果

本件発明の作用効果は、次のとおりである。

即ち、「回路素子が半導体薄板の一面上の不活性絶縁物質上に置かれた複数の導線により容易に相互接続し得るように、半導体薄板の一面上に、上記表面上で相互に距離的に離間された関係に形成された回路素子を有する一体化回路にして、これにより、上記回路素子とそれらの相互接続とを単一の構造になし、コンパクトで機械的電氣的に安定な装置で、かつ高度の複雑さの回路の多様性を可能ならしめたものである」（本件公報1欄一三行から二一行）。

また、本件発明では、「複数の回路素子は前述した様に半導体薄板の一主面上に平板上に配置され、マスキング、エッチング及び拡散の様な両立性ある工程が一主面から成し得るので半導体装置の大量生産に適している。更に複数の回路素子の接続が絶縁物質上で行なうことができるので回路に融通性、多様性があると共に大量生産に適している」（同5欄二四行から三〇行）。

このような本件発明の作用効果は、右（一）の技術的思想により初めて達成しうるものである。

即ち単一の半導体薄板の一主面上に、離間して形成された複数の回路素子と、それらの回路素子中の選ばれた薄い領域を相互に接続する不活性絶縁物質上の回路接続用導電物質とを、本質的に平面状に（二次元的拡がりをもって）配置することにより、半導体薄板上にコンパクトでかつ高度に複雑な電子回路用半導体装置を提供しうるとともに、かかる半導体装置の大量生産を可能可能としたのである。

(三) 原告は、【A】、【B】、【C】、【E】等の発明を挙げて本件発明が画期的な発明でないかのような印象を与えようとしているが、原告が主張する【A】以下の本件発明の特許出願の優先権主張日以前の発明には、本件発明の特徴、即ち、半導体薄板の一主面上に回路素子と回路接続用導電物質の平面状配置により一体化された電子回路を形成することを全く開示ないし示唆していない。したがって、右(一)の本件発明の特徴は、本件発明の特許出願の優先権主張日以前において全く新規な技術的思想であったのである。

4 イ号物件及びロ号物件の構成

(一) イ号物件の構成を本件発明の構成要件の分説に対比して示せば次のとおりである。

A1' 半導体装置は、単一のP型シリコン基板(1)を有し、右基板は表面と裏面を有する。

A2' P型シリコン基板(1)は、二個のPチャネル型MOSFET(21)E及び(21)G並びに二個のNチャネル型MOSFET(9)m及び(9)rを含んでいる。

A3' 各Pチャネル型MOSFET(21)E及び(21)Gは、端子パッド(4)aを介し、電源線(5)aに電氣的に接続されており、また、各Nチャネル型MOSFET(9)m及び(9)rは、端子パッド(4)bを介し、接地線(5)bに電氣的に接続されている。

a' 各Pチャネル型MOSFET(21)E及び(21)G並びに各Nチャネル型MOSFET(9)m及び(9)rは、互いに間隔をおいて形成されている。

b' 各Pチャネル型MOSFET(21)E及び(21)Gは、P型シリコン基板(1)の表面下に薄く形成された、P-N接合により画定されているソース(22)E及び(22)G、ドレイン(23)E及び(23)Gの各領域を含み、ソース(22)E及び(22)G、ドレイン(23)E及び(23)Gの各領域を画定するP-N接合はいずれも、右基板(1)内に形成したNウェル(16)の表面に終端部を有している。また、各Nチャネル型MOSFET(9)m及び(9)rは、P型シリコン基板(1)の表面下に薄く形成された、P-N接合により画定されているソース(12)m及び(12)r、ドレイン(13)m及び(13)rの各領域を含み、ソース(12)m及び(12)r、ドレイン(13)m及び(13)rの各領域を画定するP-N接合はいずれも、P型シリコン基板(1)の表面に終端部を有している。

c1' 酸化シリコン膜(24)及びリンガラス中間層(29)は、P型シリコン基板(1)の表面上に形成されている。

c2' アルミニウム層(30)は、シリコン基板(1)の表面上に、酸化シリコン膜(24)及びリンガラス中間層(29)上に密着して形成されている。

d1' 一方のPチャネル型MOSFET(21)Eのソース(22)Eと他方のPチャネル型MOSFET(21)Gのソース(22)Gは、アルミニウム層(30)によって電氣的に接続され、一方のNチャネル型MOSFET(9)mのソース(12)mと他方のNチャネル型MOSFET(9)rのソース(12)rは、アルミニウム層(30)によって電氣的に接続されている。また、一方の、Pチャネル型MOSFET(21)Eのドレイン(23)EとNチャネル型MOSFET(9)mのドレイン(13)mは、アルミニウム層(30)によって電氣的に接続され、他方の、Pチャネル型MOSFET(21)Gのドレイン(23)GとNチャネル型MOSFET(9)rのドレイン(13)rはアルミニウム層(30)によって電氣的に接続されている。

d2' 右のような電氣的接続により、各二個のPチャネル型MOSFET(21)E及び(21)G並びにNチャネル型MOSFET(9)m及び(9)r間に必要なる電氣的回路接続がなされ、二個のインバータ回路(20)a及び(20)bからなる遅延電子回路を構成する。

e' この遅延電子回路は、二個のPチャネル型MOSFET(21)E及び(21)G、二個のNチャネル型MOSFET(9)m及び(9)r、アルミニウム層(30)により、P型シリコン基板(1)の表面に平面的広がりをもって形成されている。

(二) ロ号物件の構成を本件発明の構成要件の分説に対比して示せば次のとおりである。

(1) 記憶回路の構成

A1'' 半導体装置は、単一のP型シリコン基板(1)及びN型エピタキシャル層

(9) (以下単に「基板」という。)を有し、右基板は表面と裏面を有する。

A2'' 基板は、約三万二〇〇〇個のメモリセル(10)(たとえば、(10) aないし d。以下同じ。)を含んでいる。

A3'' メモリセル(10)は、端子パッド(4) aないし cを介し、電源線(5) a、接地線(5) b及び出力線(5) cに電氣的に接続されている。

a'' メモリセル(10)は、互いに間隔をおいて形成されている。

b'' メモリセル(10)は、基板の表面下に薄く形成された、P—N接合により画定されているN型不純物領域のカソード(12)(たとえば、(12) aないし d。以下同じ。)及びP型不純物領域のアノード(13)、(16)(たとえば、(13)、(16) aないし d。以下同じ。)の各領域を含み、右アノード及びカソードの各領域を画定するP—N接合はいずれも、基板の表面に終端部を有している。

c1'' 酸化シリコン膜(26)は、基板の表面上に形成されている。

c2'' ポリシリコン層(27)及び第1アルミニウム層(29)は、基板の表面上に、酸化シリコン膜(26)上に密着して形成されている。

d1'' メモリセル(10)のN型不純物領域のカソード(12)は、ポリシリコン層(27)及び第1アルミニウム層(29)によって電氣的に接続されている。

d2'' 右のような電氣的接続により、メモリセル(10)間に必要なる電氣的回路接続がなされ、記憶回路を構成する。

e'' この記憶回路は、メモリセル(10)、ポリシリコン層(27)及び第1アルミニウム層(29)により、基板(1)の表面に平面的広がりをもって形成されている。

(2) 出力バッファ回路の構成

A1'' 半導体装置は、単一のP型シリコン基板(1)及びN型エピタキシャル層(9)(以下単に「基板」という。)を有し、右基板は表面と裏面を有する。

A2'' 基板は、PNPトランジスタ(17)' a、ショットキー・クランプト・トランジスタ(17) Aないし C、抵抗(34) aないし e、ショットキーダイオード(21) d及び(21) eを含んでいる。

A3'' 抵抗(34) b及び(34) eは、端子パッド(4) aを介し、電源線(5) aに電氣的に接続されており、PNPトランジスタ(17)' a、ショットキー・クランプト・トランジスタ(17) Aを構成するNPNトランジスタ(17) a及び抵抗(34) dは、端子パッド(4) bを介し、接地線(5) bに電氣的に接続されており、ショットキー・クランプト・トランジスタ(17) Aを構成するNPNトランジスタ(17) a及びショットキーダイオード(21) a並びにショットキーダイオード(21) eは、端子パッド(4) cを介し、出力線(5) cに電氣的に接続されている。

a'' PNPトランジスタ(17)' a、ショットキー・クランプト・トランジスタ(17) Aないし C、抵抗(34) aないし e、ショットキーダイオード(21) d及び(21) eは、互いに間隔をおいて形成されている。

b'' ① PNPトランジスタ(17)' aは、基板の表面下に薄く形成された、P—Nの接合により画定されているP型エミッタ領域(18)' a及びN+N境界(N+型領域とN型領域とが接する境界をいう。以下同じ。)により画定されているN+型コンタクト領域(28)を含み、これらの各領域を画定するP—N接合及びN+N境界は、基板の表面に終端部を有している。

② ショットキー・クランプト・トランジスタ(17) Aないし Cは、基板の表面下に薄く形成された、P—N接合により画定されているN型エミッタ領域(18) aないし c及びP型ベース領域(19) aないし c並びにN+N境界により画定されているN+型コンタクト領域(28)の各領域を含み、これらの各領域を画定するP—N接合及びN+N境界は、いずれも、基板の表面に終端部を有している。

③ 抵抗(34) aないし eは、いずれも、基板の表面下に薄く形成された、P—N接合により画定されているP型不純物領域(35)を含み、この領域を画定するP—N接合は、いずれも、基板の表面に終端部を有している。

④ ショットキーダイオード(21) dは、基板の表面下に薄く形成された、N+N境界により画定されているN+型コンタクト領域(28)を含み、この領域を画定するN+N境界は、基板の表面に終端部を有している。また、ショットキーダイオード(21) eは、基板の表面下に薄く形成された、P—N接合により画定されているP型ガードリング領域(33)を含み、この領域を画定するP—N接合は、

基板の表面に終端部を有している。

c 1" 二酸化シリコン隔壁(24)、(25)及び酸化シリコン膜(26)は、基板の表面上に形成されている。

c 2" ポリシリコン層(27)及び第1アルミニウム層(29)は、基板の表面上に、二酸化シリコン隔壁(24)、(25)及び酸化シリコン膜(26)に密着して形成されている。

d 1" 前記b" ①ないし④記載の、PNPトランジスタ(17)' a、ショットキー・クランプト・トランジスタ(17) AないしC、抵抗(34) aないしe、ショットキーダイオード(21) d及び(21) eの各領域は、ロ号物件目録添付別表「出力バッファ回路内のトランジスタ、ダイオード、抵抗の接続関係」に示すとおり、電気的に接続されており、いずれも、ポリシリコン層(27)及び第1アルミニウム層(29)によって、電気的に接続されている。(なお、右ロ号物件目録添付別表中のアノード(23)は、いずれも第1アルミニウム層(29)により構成されている。)

d 2" 右のような電気的接続により、PNPトランジスタ(17)' a、ショットキー・クランプト・トランジスタ(17) AないしC、抵抗(34) aないしe、ショットキーダイオード(21) d及び(21) e間に必要なる電気的回路接続がなされ、出力バッファ回路を構成する。

e" この出力バッファ回路は、PNPトランジスタ(17)' a、ショットキー・クランプト・トランジスタ(17) AないしC、抵抗(34) aないしe、ショットキーダイオード(21) d及び(21) e並びにポリシリコン層(27)及び第1アルミニウム層(29)により、基板の表面上に平面的広がりをもって形成されている。

5 イ号物件は、本件発明の構成要件を全て充足するから、本件発明の技術的範囲に属する。

(一) イ号物件の遅延電子回路は、本件発明の構成要件の「電子回路」に該当し、イ号物件は本件発明の構成要件の「電子回路用の半導体装置」を充足する。

(1) 「電子回路」について

(ア) 本件発明における「電子回路」とは、二つ以上の回路素子を電気的に結合し、電子を利用して所定の動作をする回路である。

(イ) イ号物件の基板バイアス回路には、入力された電位を二度の反転により同一の電位を出力させ、電位反転に要した時間分だけ出力信号を遅延させる遅延電子回路が設けられている。右遅延電子回路は本件発明の「電子回路」に該当する。

(2) 「電子回路用の半導体装置」について

(ア) 本件発明は、単一の半導体薄板に、複数の回路素子及び回路接続用導電物質等からなる平面状配置された「電子回路」に関するものである。

したがって、本件発明の技術的範囲に属する半導体装置であるためには、半導体装置が本件発明の構成要件を充足する電子回路を有していれば足り、同じ半導体装置が有する他の電子回路がどのようなものであるかは問うところではなく、イ号物件の遅延電子回路が本件特許請求の範囲にいう電子回路の要件を充たしていれば、他の電子回路がどのようなものであるかを問うまでもない。

(イ) 本件発明の特許請求の範囲には、「複数の回路素子」、「単一の半導体薄板」、「複数の引出線」、「不活性絶縁物質」、「回路接続用導電物質」、「電子回路」が規定されており、これらが、構成要件A 1ないしeに規定されたように配置、形成されたものが、本件発明にいう「電子回路用の半導体装置」である。

また、本件発明の特許請求の範囲には、半導体装置が「複数の回路素子を含み主要な表面および裏面を有する単一の半導体薄板」と「複数の引出線」とを有しており、「上記複数の回路素子」、「不活性絶縁物質」及び「回路接続用導電物質」がaないしeの要件を充たして、電子回路が形成される旨が明瞭に記載されている。また、本件発明にあっては、少なくとも一つの「電子回路」の存在を要件とするものではあるが、複数の「電子回路」の存在を要件とするものではない。

したがって、「単一の半導体薄板」に、本件発明の「電子回路」が一つでも形成されていれば、それ以外の部分にどのようなものが形成されているかに関係なく

(たとえ、それが本件発明の「電子回路」以外の電子回路であっても)、その装置は、本件発明の技術的範囲に属することになるのである。

(ウ) 原告は、構成要件に「電子回路用の半導体装置」と記載されていることを根拠として、イ号物件に形成された全ての回路素子、電子回路が本件発明の構成要件を充足しなければならないと主張する。

しかしながら、「半導体装置」という語は、極めて多義的であり、「半導体装置」だから全体の装置に着目しなければならないのではない。本件発明が「電子回路用の半導体装置」であることをもって、単一の半導体薄板上には、他の電子回路があってはならないということはできない。本件発明の「半導体装置」は、単一の半導体薄板に、複数の回路素子及び回路接続用導電物質等からなる平面状配置された「電子回路」が形成されたものであるから、単一の半導体薄板に、本件発明の「電子回路」が形成されている以上、これと一体にいかなる電子回路が形成されていても、イ号物件が全体として本件発明の技術的範囲に属するものと解する妨げになるものではない。

(二) イ号物件の構成A 1' は、本件発明の構成要件A 1を充足する。

(1) 「単一の半導体薄板」について

(ア) 本件発明の構成要件A 1の「半導体薄板」とは、文字どおり、半導体からなる薄板状の物をいい、「単一」とは単体即ち一個という意味である。また、「半導体薄板」として、実施例ではP型ゲルマニウムが用いられているが、シリコンまたはゲルマニウムが望ましいことが開示されている(本件公報3欄二三行から二五行)。

(イ) イ号物件の構成A 1'の「単一のP型シリコン基板(1)」は、本件発明の構成要件A 1の「単一の半導体薄板」に当たる。

(ウ) 原告は、イ号物件のシリコン基板のような厚い板体が本件発明にいう「半導体薄板」であるとはいえない旨主張するが、右主張は、「半導体薄板」の厚みまで特許請求の範囲に記載しなければ、それは実施例に開示された厚みに限定されるというに等しく、失当である。

(2) 「主要な表面及び裏面」について

本件発明の構成要件A 1の「主要な表面及び裏面」とは、「主要な表面」及び「主要な裏面」である。

「主要な表面及び裏面」とは、通常にいう薄板の表面及び裏面(他の面よりもはるかに面積の大きい対向する一対の面)のことを指している。「主要な」というのは、薄板の表面及び裏面が他の面よりもはるかに面積の大きい面であるから、「主要な」と記載したまでである。

実施例では、「主要な表面及び裏面」とは、本件明細書の第1図でいえば、それぞれ、他の面よりもはるかに面積の大きい、上側の面及び下側の面を指している。

したがって、半導体薄板の表面及び裏面がともに主要な面であるが、右構成要件は、「主要な表面」及び「主要な裏面」間に形成されたトランジスタの構成について規定するものではない。

(三) イ号物件の構成A 2' は、本件発明の構成要件A 2を充足する。

(1) 「回路素子」について

(ア) 本件発明の構成要件A 2の「右半導体薄板は複数の回路素子を含んでい」とは、文字どおり「半導体薄板」が「複数の回路素子」を有しているという趣旨であり、「回路素子」とは「電子回路」の構成要素となる素子を意味し、具体的には、トランジスタ、ダイオード、抵抗蓄電器、抵抗等をいい、MOSFETも「回路素子」に含まれる。

(イ) 本件発明は、回路素子そのものの構成をクレームとするものではない。また、MOSFETトランジスタは、前述した本件発明の特徴である平面状配置を可能にした技術でもなければ、これを不要にした技術でもない。したがって、イ号物件におけるMOSFETトランジスタの使用は、イ号物件が本件発明の技術的思想を利用しているという事実にいささかも影響を与えるものではない。

(ウ) 本件明細書に開示されているバイポーラトランジスタは、【F】及び【G】の発明にかかるプレーナ型のバイポーラトランジスタとは異なるものであるが、右プレーナ型バイポーラトランジスタも本件明細書に開示された従来のバイポーラトランジスタ技術にその基礎を置いており、またMOSFETトランジスタはプレーナ型トランジスタに基礎を置いている。

そうすると、MOSFETトランジスタは、本件明細書にいうトランジスタあるいは回路素子という概念を本質的に変えたものではないし、イ号物件におけるMOSFETトランジスタの機能も回路素子という機能の観点からすれば、本件明細書の実施例のメサ型バイポーラトランジスタと何ら異なるところはない。

しかも、【F】及び【G】のバイポーラトランジスタの発明は、本件発明の特許出願の優先権主張日直後であるし、MOSFETトランジスタの発明は、その約一年後にすぎない。

(エ) 原告は、本件発明者が発明当時にMOSFETを認識していたはずがなく、仮にMOSFETを発想したとしても実施できなかったことが明らかであり、このような出願時に知られておらず実現不可能であった回路素子まで本件発明の回路素子中に包含されるとする解釈は失当である旨主張する。

しかし、特許発明の技術的範囲は発明者の認識ないし予想と無関係であり、発明者の認識や予想の有無にかかわらず、先駆的発明ないし基本発明の技術的思想が利用されている限り、これらの改良技術は先駆的発明ないし基本発明に対する特許権の支配に服するものである。

(オ) イ号物件の構成A 2'の「Pチャネル型MOSFET (21) Eおよび(21) G」、「Nチャネル型MOSFET (9) m及び(9) r」は、本件発明の構成要件A 2の「回路素子」に当たる。

(2) 「複数の回路素子を含み」について

(ア) 本件発明の構成要件A 2の「複数の回路素子を含み」とは、本件発明の「複数の回路素子」を有することを意味するものの、「含み」といえば、ある物を有することを意味し、少なくとも、それ以外の物を有してはならないことは意味しないこと、本件明細書には、半導体薄板上に本件発明の「複数の回路素子」以外の回路素子が形成されてはならない、という記載や示唆はないこと、本件明細書の特許請求の範囲の記載からして、本件発明の「電子回路」は少なくとも一つあれば足り、また、本件発明の「電子回路」を構成する「複数の回路素子」は数量には何ら限定がなく、「複数」であれば足りることから、本件発明の「複数の回路素子」以外の回路素子を有してはならないことを意味するものではない。

(イ) 「抵抗」は、一般には回路素子といわれるものであること、本件公報の第2図の回路図には本件発明の「回路素子」だけでなくRとして抵抗が示されているが、これは本件発明の「回路素子」ではないことから、本件発明の「電子回路」が、本件発明の「回路素子」でない回路素子をも含みうることは明らかである。

したがって、半導体薄板に形成された回路素子であれば全て本件発明にいう回路素子でなければならないものではない。

仮に、第2図に図示されたRを回路素子といたとしても、実施例のみをみても、本件発明が、本件発明の「回路素子」でない回路素子を含みうることは開示されている。

(ウ) 原告は、本件発明の特許出願の優先権証明書に添付されている米国出願の明細書中の記載を引用して、構成要件A 2にいう「複数の回路素子」とは、本件発明の装置に化体された電子回路を構成するために必要な全回路素子であり、右回路素子の全構成部分が単一の半導体薄板内に存し、その「主要な表面及び裏面」にわたる半導体薄板の厚みの全部を利用して形成されているものである旨主張する。

しかしながら、右引用中の「an entire electronic circuit」の冒頭には定冠詞「the」ではなく不定冠詞「an」が付されており、また「single」等の単一を意味する語も付されていないので、英文本来の意味は、ある電子回路全体のことを指しているにすぎず、全体として単一の電子回路が半導体薄板に形成されることを述べているものではない。また「According to the principles of this invention」を「本発明の原理によって」と訳すことも誤りであり、本件明細書のとおり「本発明の原理によれば」と訳すべきである。したがって、右英文の記載は、「本発明の原理によれば、……全成分が……組立てられる」という趣旨に理解すべきであるから、原告の主張は誤りである。

また、仮に原告のような解釈が成り立ちうるとしても、右米国特許明細の記載をもって本件発明の技術的範囲を限定することはできない。

したがって、半導体薄板上に「複数の回路素子」を含む本件発明の「電子回路」が形成されていれば、本件発明の技術的範囲に属すると解すべきである。また、回路素子の全成分が半導体薄板内に組み立てられなければならないこともない。

(エ) イ号物件の遅延電子回路は、二個のPチャネル型MOSFET (21) E及び(21) G並びに二個のNチャネル型MOSFET (9) m及び(9) rから構成されており、イ号物件は、本件発明の「複数の回路素子を含み」に当たる。

(四) イ号物件の構成A 3'は、本件発明の構成要件A 3を充足する。

「複数の引出線」について

(1) 本件発明の構成要件A 3の「複数の引出線」とは、複数の回路素子のうち、半導体薄板の外部との電気接続が必要な回路素子に対し電氣的に接続された引

出線をいう。

原告は、イ号物件において、外部接続用として用いられている金の線が本件発明の「引出線」に当たらない旨主張するが、根拠なく実施例に限定するものであって妥当でない。

なお「複数の引出線」は、金張りコバル引出線50として実施例に示されている（本件公報3欄三三行及び三四行、4欄四二行から5欄二行）。引出線50は、半導体薄板に接続されているが、金の線70を介して薄板の表面にのみ接続されたもの、直接薄板の裏面にのみ接続されているもの、薄板の表面には金の線70を介して接続され、薄板の裏面には直接接続されているもの、のいずれもが開示されている。

(2) イ号物件の電源線(5)a及び接地線(5)bは、本件発明の電氣的に接続された「複数の外部引出線」に相当する。

(五) イ号物件の構成a'は、本件発明の構成要件aを充足する。

(1) 「種々の区域」について

本件発明の構成要件aの「種々の区域」とは、任意の、いろいろなあるいはさまざまな区域という意味である。

イ号物件のa'の構成は、本件発明の構成要件aの「複数の回路素子は、薄板の種々の区域に……形成されており」に当たる。

原告は、「薄板の種々の区域に……形成されており」について、複数の回路素子が半導体薄板の全域にわたって種々の区域に分散して配置されているとの意味である旨主張するが、複数の回路素子が、薄板の任意の、いろいろなあるいはさまざまな区域にわたって形成されているとの意味と解するのが自然である。

(2) 「互いに距離的に離間して」について

(ア) 本件発明の構成要件aの「互いに距離的に離間して」とは、文字どおり、構成要件A2の「複数の回路素子」が互いに距離的に離間している、即ち、物理的に離れている状態をいう。本件発明においてバルク抵抗の利用を本件発明の構成要件と解することはできない。

その理由は、次のとおりである。

(イ) 本件明細書の特許請求の範囲にも発明の詳細な説明にもバルク抵抗の利用の点はもとより、回路素子間の距離的離間により絶縁を達成するという構成要件としていない。本件明細書の特許請求の範囲には、「距離的に離間」とあるだけで、どのような態様で離間させるのかについて一切限定はない。「距離的に離間していれば、その離間の態様は問わない」というのが、特許請求の範囲の解釈として合理的である。

実施例がバルク抵抗を利用しているということはバルク抵抗が本件発明の構成要件であることの根拠とはなりえない。

(ウ) 本件発明の特許出願の優先権主張日以前の技術的課題としては、そもそも各回路素子をどのように配置して一体化回路を構成するかが、残されていたのであり、これを解決したのが、半導体の一主面上に回路素子を平面状に配置するという本件発明であった。本件発明の構成要件の全体が新規なものである限り、本件発明の構成要件の一部として、当然のこと、即ち、複数の回路素子が平面状に配置される前提として、各回路素子が物理的に離間しているという技術を採用したとしても何ら不思議ではない。

(エ) 「回路素子、その接続及び分離」あるいは「回路素子間の電氣的分離」は、電子回路を形成するうえで重要な事項ではあるが、必ず電子回路の発明の構成要件として記載しなければならない、というようなものではない。

本件発明において「距離的に離間」した回路素子の電氣的分離の態様については何ら限定はなく、これは、本件発明の構成要件ではないと解したとしても何の問題もない。また、回路素子間を「距離的に離間」させたとしても、これを電氣的に分離するか、あるいは、回路接続用導電物質によって接続するか、は任意に選択されるべきものであり、回路素子間を「距離的に離間」させたからといって、電氣的分離をしなければならないというものではない。

本件発明の特徴は、回路素子及び回路接続用導電物質を平面状に配置して電子回路を構成するというものであるが、電子回路の構成において、回路素子間の電氣的分離をいかにしようとも、それが物理的に離間して、平面状に配置されていれば、本件発明を利用することになるのである。

(オ) 原々出願にかかる特許の特許請求の範囲に「上記能動回路素子の薄い領域と上記受動回路素子との間の薄板を通じて実質的に存在し、それら両者を接続する

薄板の半導体材料自体により形成され、両者間の必要な絶縁を与えるインピーダンス」という記載があり、その明細書中に薄板の半導体材料自体により形成されるインピーダンスの実施例として、バルク抵抗、P—N接合、真性半導体が開示されているが、そうだからといって、本件発明の技術的範囲が、原々出願にかかる特許の特許請求の範囲はもとより、その実施例の範囲に限定される理由は全くない。

また、原出願は、受動素子及び能動素子間をバルク抵抗等により距離的に離間することにより必要な絶縁を達成することを構成要件とするものであるのに対し、本件発明は、バルク抵抗の利用の点はもとより、回路素子間の距離的離間により絶縁を達成するということを構成要件としていない。

更に、被告は、本件発明の特許出願の手続中で提出された昭和四七年四月二七日特許庁受付の上申書（甲第六号証の六）において、遅延線22は、四個の容量素子を有する一個の回路素子であるから、トランジスタ14と「距離的に離間」していないと述べたまでであって、「距離的に離間」を「物理的に別々のところに回路素子を配置する」という意味以外の意味で主張していた訳ではない。

被告は、本件発明の特許出願の手続中で提出された昭和五七年八月二七日付の意見書（甲第六号証の一〇の七頁及び八頁）において、「実施の態様では」として、トランジスタT1とT2間では抵抗R5とR6、トランジスタT1と抵抗蓄電器C2R3間では、R6、R5、R4、トランジスタT2と抵抗蓄電器C1R8間ではR5、R6、R7が存在し、回路素子間の距離的離間があると述べたものである。実施例では距離的に離間された回路素子間に抵抗が存在することを具体的に示した方が特許庁の審査官の理解を助けることになるであろうという必要性を感じて説明したまでである。また、被告が「回路構成の前提条件」と述べたのは、「距離的に離間されている回路素子」でなければ、「複数の回路素子間の回路接続」も不要であるとの前提に立って、「『距離的に離間されている回路素子』という表現は、複数の回路素子間の回路接続の前提条件として記載したものであります。」と述べたまでである。

(カ) イ号物件の構成a'は、「各Pチャネル型MOSFET(21)E及び(21)G並びに各Nチャネル型MOSFET(9)m及び(9)rは、互いに間隔をおいて形成されている。」というのであるから、本件発明の構成要件aの各回路素子が薄板の種々の区域に「互いに距離的に離間して」に当たる。

(キ) イ号物件の遅延電子回路における各回路素子間は、距離的に離間しており、このような距離的に離間された回路素子間の電氣的分離を確実にするために、また高集積化するために、LOCOS酸化膜及び二酸化シリコン隔壁が利用されているにすぎない。

仮に、電氣的分離のために回路素子間の距離的離間が必要だとしても、イ号物件のLOCOS酸化膜及び二酸化シリコン隔壁は、かかる距離的離間を不要とするものではなく、いずれにしろ、距離的離間がなければ電氣的分離を達成することは不可能である。

したがって、イ号物件において、回路素子間の距離的離間は、電氣的分離のために必須のものである。

(六) イ号物件の構成b'は、本件発明の構成要件をbを充足する。

(1) 「接合」について

(ア) 本件発明の要件bは、「複数の回路素子」が半導体薄板の表面に終わる接合により画定されている薄い領域を少なくとも一つ含んでいることである。

(イ) 本件発明の構成要件bの「右薄板の主要な表面に終る接合」とは、半導体薄板の主要な表面（裏面や側面ではなく）に終端部を有するP—N接合等の接合をいう。

本件発明の構成要件bにいう「接合」とは、電氣的特性の異なる二つの固体領域の境界のことであるから、濃度の異なるP型領域間またはN型領域間の接合を含むと解すべきである。

原告は、本件発明の要件にいう「接合」がP—N接合を意味し、それ以外の接合、例えば濃度の異なるP型領域間またはN型領域間の接合を含まない旨主張しているが、妥当でない。

なお、この点は、イ号物件については、いずれの解釈をとっても本件発明の技術的範囲に属することには変わりなく何ら実益がないものである。

(2) 「薄い領域」について

(ア) 本件発明の構成要件bの「薄い領域」とは、右「接合」により画定されている半導体薄板の厚み方向（半導体薄板の表面及び裏面間）に薄く形成された半導

体不純物領域をいう。

(イ) イ号物件のPチャネル型MOSFET(21)E及び(21)Gは、ソース(22)E及び(22)G、ドレイン(23)E及び(23)Gを有し、Nチャネル型MOSFET(9)m及び(9)rは、ソース(12)m及び(12)r、ドレイン(13)m及び(13)rを有しているが、各右ソース及びドレインはいずれもP型シリコン基板(1)の表面に終わるP-N接合により画定されている。

イ号物件の各Pチャネル型MOSFET(21)E及び(21)GのP型不純物領域であるソース(22)E及び(22)G並びにドレイン(23)E及び(23)G、各Nチャネル型MOSFET(9)m及び(9)rのN型不純物領域であるソース(12)m及び(12)r並びにドレイン(13)m及び(13)rは、本件発明の「薄い領域」に相当する。

(3) 「表面」について

(ア) 本件発明の構成要件bの「表面」とは、過去に半導体薄板の表面がどこにあったかを問題にするのではなく、完成された対象物件において半導体薄板の表面がどこにあるかを規定するものであり、したがって、LOCOS酸化膜形成以前の半導体薄板の表面がどこにあったかを問題とするのではなく、LOCOS酸化膜の形成されている完成された対象物件における半導体薄板の表面を確定すれば足りる。

(イ) イ号物件目録第17図から明らかなどおり、同図のa部は、LOCOS酸化膜と半導体薄板との境界に位置するのであり、それが基板(1)の表面である。LOCOS酸化膜が基板(1)の一部に形成されたとしても何ら異なるところはない。

したがって、イ号物件のb'構成は、本件発明の構成要件b「右各回路素子は、右薄板の主要な表面に終わる接合により画定されている薄い領域を少なくともひとつ含んでいること。」に当たる。

(七) イ号物件の構成c1'及びc2'は、それぞれ本件発明の構成要件c1及びc2を充足する。

(1) 「不活性絶縁物質」について

(ア) 本件発明の構成要件c1の「不活性絶縁物質」とは、文字どおり、不活性の絶縁物質であり、複数の回路素子と後記の「回路接続用導電物質」との間などに所定の絶縁を与えるものである。本件明細書中には、「不活性絶縁物質」の図示はないが、「酸化シリコン」を「不活性絶縁物質」として利用する旨の記載がある

(本件公報4欄二六行から三一行、同5欄一五行から一八行)。

(イ) 本件発明においては、「不活性絶縁物質」を半導体薄板の表面上に形成することはその構成要件となっているものの、「不活性絶縁物質」をどのように半導体薄板の表面上に形成するかについては、何ら問うところがない。したがって、酸化シリコンの蒸着によって「不活性絶縁物質」を半導体薄板の表面上に形成するか、あるいは、シリコン半導体の熱酸化によって二酸化シリコンを形成することにより半導体薄板の表面上に「不活性絶縁物質」を形成するか、については本件発明の構成要件となっていない。

本件発明の完成以前より、トランジスタの製造において、シリコン半導体を熱酸化することにより不純物の拡散マスク等に利用することは公知かつ実施可能だったのであり、プレーナ技術自体このような従来技術に依拠するものであり、半導体装置の製造におけるシリコン半導体の熱酸化による二酸化シリコンの利用という観点からみれば、特に目新しいものではない。

(ウ) イ号物件の構成c1'の酸化シリコン膜(24)及びリンガラス中間層

(29)は、本件発明の「不活性絶縁物質」に相当する。

本件発明の「不活性絶縁物質」がイ号物件のように「酸化シリコン膜(24)」及び「リンガラス中間層(29)」の二層によって形成されていても、これらが本件発明の「複数の回路素子」であるMOSFETと「回路接続用導電物質」である「アルミニウム層(30)」との間に所定の絶縁を与えるものである以上、本件発明の「不活性絶縁物質」であるということに何ら差し支えはない。

(2) 「回路接続用導電物質」について

(ア) 本件発明の「回路接続用導電物質」は、所定の「電子回路」を構成するために「回路素子」間の「薄い領域」間を必要に応じて電氣的に接続する導電物質である。

(イ) イ号物件の構成c2'にいうアルミニウム層(30)は、本件発明の構成要件c2の「回路接続用導電物質」に相当する。

「アルミニウム層（30）」が本件発明の「薄い領域」に相当するMOSFET間のソース及びドレインを電氣的に接続する導電物質である以上、本件発明の「回路接続用導電物質」であるということに何ら問題はない。

(ウ) なお、原告は、イ号物件における「ポリサイド膜（15）」が本件発明の特許出願の優先権主張日以後に導電材料として出現した旨主張するが、イ号物件においては「ポリサイド層（15）」は本件発明の「薄い領域」に相当するMOSFETのソース及びドレインを電氣的に接続するものではなく、本件発明の要件cの「回路接続用導電物質」に相当するものではないから、イ号物件において「ポリサイド層（15）」の存在について論じることは主張自体失当である。

また、本件発明の「回路接続用導電物質」は、「金のような金属（良導体）」に限定されるという原告の主張は根拠がない。

(3) 「被着」について

(ア) 本件発明の「被着」とは、「回路接続用導電物質」が「不活性絶縁物質」上に接触して形成された状態を指すものであって、本件発明は、このような状態にするために、導電物質をCVD法により形成するのか、あるいは、スパッタリングにより形成するのか、は問わないのである。

「回路接続用導電物質」が右の方法により「不活性絶縁物質」上に接着しないし密着していても、それが右の状態にあれば「被着」であることは明白である。

即ち、「回路接続用導電物質」が「不活性絶縁物質」上に「被着」されたことは、「回路接続用導電物質」が「不活性絶縁物質」上に接触して形成された状態をいうものであって、「回路接続用導電物質」が「不活性絶縁物質」に接着しているか否かは、本件発明の構成要件とするところではない。この「被着」された状態を、【G】の発明のように、「回路接続用導電物質」を「不活性絶縁物質」上に接着して形成するか否かは全く別の問題である。

本件発明の特徴は、半導体の一主面に、回路素子及び回路接続用導電物質を平面状に配置するという点にあり、この技術的思想の下で、本件発明の「被着」とは、回路接続用導電物質と不活性絶縁物質との配置について規定したものである。回路接続用導電物質を不活性絶縁物質に接着させるか否かは、本件発明の実施態様の問題であって、本件発明の構成要件を満足するかどうかの判断には関係ない。

(イ) イ号物件の構成c2'にいう「アルミニウム層（30）」は、シリコン基板（1）の表面上に、酸化シリコン膜（24）及びリンガラス中間層（29）上に密着して形成されている。」との構成は、本件発明の構成要件c2の「被着」に相当する。

(4) 原告は、「本件発明は、半導体薄板を被覆した絶縁物質上に、周知の導電物質の細い線を置いただけの単純な二層構造であるのに対して、イ号物件は多層構造であるから、両者はこの点において相違する。」旨主張する。

しかし、本件発明の要件cは、「不活性絶縁物質」と「回路接続用導電物質」の層構成について規定したものであるが、「不活性絶縁物質」が同一の物質からなる一つの層から形成されなければならないという限定もなければ、「回路接続用導電物質」が金属（良導体）により形成されなければならないという限定もない。

(八) イ号物件の構成d1'及びd2'は、それぞれ本件発明の構成要件d1及びd2を充足する。

本件発明の要件d1及びd2は、「複数の回路素子」中の「選ばれた薄い領域」間の電氣的接続により必要な電氣的回路接続がなされ、所望の電子回路が達成されていれば足り、「選ばれた薄い領域」間以外の接続については、要件d1及びd2の問うところではない。

原告は本件発明の要件d1及びd2の接続について、要件d1の接続とd2の接続とを区別しているが、この区別自体全く根拠のないものである。

本件発明の要件d1及びd2は、いずれも「電氣的に接続され」あるいは「電氣的回路接続がなされており」と記載してあるだけで、文理上、原告のように理解する余地はない。

(九) イ号物件の構成e'は、本件発明の構成要件eを充足する。

「本質的に平面状に配置されている」について

(1) 本件発明の構成要件eの「本質的に平面状に配置されている」とは、電子回路がそれを構成する回路素子及び回路接続用導電物質により、本質的に平面状に、即ち、半導体薄板の主要な面に沿って本質的に平面的広がりをもって分布するように配置、形成されているということである。これは、電子回路を構成する回路素子及び回路接続用導電物質が、半導体薄板の主要な面に沿って本質的に二次元的

な広がりをもって分布するように配置、形成されているということであり、電子回路を構成する回路素子及び回路接続用導電物質が、単に直線状または列状に配置、形成された構成を排除するものである。したがって、複数の回路素子であってもそれが一直線状に配置、形成された場合は、「本質的に平面状」ではない。

(2) 本件明細書の特許請求の範囲の記載において、「上記複数の回路素子及び上記不活性絶縁物質上の上記回路接続用導電物質によって」のうち、「上記不活性絶縁物質上の上記回路接続用導電物質」のみを修飾するのであって、要件eの意義は「上記電子回路が、上記複数の回路素子及び……上記回路接続用導電物質によって本質的に平面状に配置されている」という趣旨であり、「上記不活性絶縁物質」は電子回路の平面状配置とは無関係である。

(3) イ号物件のe'にいう「この遅延電子回路は、二個のPチャンネル型MOSFET(21)E及び(21)G、二個のNチャンネル型MOSFET(9)m及び(9)r、アルミニウム層(30)により、P型シリコン基板(1)の表面に平面的広がりをもって形成されている。」は、本件発明の構成要件eの「右電子回路は、右各回路素子及び右回路接続用導電物質によって、本質的に平面状に配置されていること。」に当たる。

イ号物件の「遅延電子回路」を構成する四個のMOSFETは直線状または列状になく、拡がって面を構成して配置されており、これが本件発明の平面状配置の要件を充足することは明白である。

6 ロ号物件は、本件発明の構成要件を全て充足するから、本件発明の技術的範囲に属する。

(一) ロ号物件は、本件発明の構成要件の「電子回路用の半導体装置」を充足する。

(1) 本件発明における「電子回路」とは、前記5(一)(1)(ア)のとおりであるところ、ロ号物件の記憶回路部分には、各メモリセルにおいて、電流の導通の有無に応じて「論理1」または「論理0」のデータを記憶する記憶回路が、同物件の制御回路部分には、データの出力を制御する出力バッファ回路が、それぞれ設けられており、右記憶回路及び出力バッファ回路はいずれも本件発明の「電子回路」に該当する。

(2) 本件発明の「電子回路用の半導体装置」とは、前記5(一)(2)のとおりであるところ、ロ号物件の記憶回路及び出力バッファ回路が、本件発明の特許請求の範囲にいう電子回路の要件を充たしていれば、他の電子回路がどんなものであるかを問うまでもなく、ロ号物件は、本件発明の技術的範囲に属する。

(二) ロ号物件の記憶回路及び出力バッファ回路の構成A1''は、本件発明の構成要件A1を充足する。

(1) N型エピタキシャル層(9)は、P型シリコン基板(1)とともに、シリコン半導体材料からなる一個の板状物として基板を構成するものであり、本件発明の「単一の半導体薄板」の一部である。

また、本件発明にあっては、一体化回路、即ち、単一の半導体薄板に複数の回路素子からなる電子回路を構成するというものであって、「単一の半導体薄板」とは、それが単一であることが肝要なのである。つまり、複数の回路素子が一つの半導体薄板に形成され、電子回路を構成していることが重要なのである。したがって、「単一の半導体薄板」が一導電型でなければならないとする根拠はなく、基板が、P型シリコン基板(1)とN型エピタキシャル層(9)によって構成されていても、これを本件発明の「単一の半導体薄板」とみることに何ら問題はない。

(2) ロ号物件の「基板」は、P型シリコン基板(1)とN型エピタキシャル層(9)からなるシリコン半導体材料で構成される、一個の板状物であるから、本件発明の「単一の半導体薄板」に相当する。

(三) ロ号物件の記憶回路及び出力バッファ回路の構成A2''は、本件発明の構成要件A2を充足する。

(1) 本件発明の「回路素子」とは、前記5(三)(1)のとおりであるところ、ロ号物件の記憶回路の個々のメモリセル(10)、たとえば(10)aないしdは、書込用ダイオード(11)aないしdとスイッチ用ダイオード(14)aないしdとが、共通アノード(13)aないしd((16)aないしd)により一体に形成されており、かつ、「論理1」または「論理0」のデータを記憶するという単一の機能を有するものであるので、本件発明の「回路素子」に相当し、ロ号物件の出力バッファ回路のPNPトランジスタ(17)'a、ショットキー・クランプト・トランジスタ(17)AないしC、抵抗(34)aないしe、ショットキーダ

イオード(21)d及び(21)eは、それぞれ本件発明の「回路素子」に相当する。

(2) 本件発明の「複数の回路素子を含み」とは、前記5(三)(2)のとおりであるところ、ロ号物件の記憶回路のメモリセル(10)及び出力バッファ回路は、本件発明の「複数の回路素子を含み」を充足する。

(四) ロ号物件の記憶回路及び出力バッファ回路の構成A3''は、本件発明の構成要件A3を充足する。

本件発明の「複数の引出線」とは、前記5(四)(1)のとおりであるところ、ロ号物件の電源線(5)a、接地線(5)b及び出力線(5)cは、本件発明の「複数の引出線」に相当する。

(五) ロ号物件の記憶回路及び出力バッファ回路の構成a''は、本件発明の構成要件aを充足する。

(1) 記憶回路について

本件発明の「互いに距離的に離間して」とは、前記5(五)(2)のとおりであるところ、個々のメモリセル(10)、たとえば(10)aないしdは、書込用ダイオード(11)aないしdとスイッチ用ダイオード(14)aないしdとが、共通アノード(13)aないしd((16)aないしd)により一体に形成されており、かつ、「論理1」または「論理0」のデータを記憶するという単一の機能を有するものであるため、一個の「回路素子」を構成する。(なお、メモリセル(10)に「論理1」のデータを記憶させると、書込用ダイオード(11)が破壊され、スイッチ用ダイオード(14)のみのメモリセル(10)となる。)

したがって、書込用ダイオードとスイッチ用ダイオードは別々の回路素子ではなく一個の回路素子であるメモリセルを構成するにすぎないから、書込用ダイオードとスイッチ用ダイオードの距離的離間は、問題にならない。

(2) 出力バッファ回路について

「出力バッファ回路」のショットキーダイオード(21)aないしcは、NPNトランジスタ(17)aないしcとともに、「回路素子」であるショットキー・クランプト・トランジスタ(17)AないしCを構成するものである。

したがって、右(1)と同様に、ショットキーダイオードとNPNトランジスタの距離的離間は、問題にならない。

(六) ロ号物件の記憶回路及び出力バッファ回路の構成b''は、本件発明の構成要件bを充足する。

(1) 記憶回路について

(ア) ロ号物件の記憶回路のメモリセル(10)のN型不純物質領域であるカソード(12)及びP型不純物質領域であるアノード(13)((16))は、本件発明の「薄い領域」に相当する。

(イ) 本件発明の「表面」とは、前記5(六)(3)のとおりであるところ、ロ号物件の記憶回路のメモリセル(10)のアノード(13)、(16)のP-N接合は、二酸化シリコン隔壁(24)、(25)の側面に終端部を有しており、かかる終端部はロ号物件目録第14図(a)及び第14図(b)のa部で示されている。右各図から明らかなどおり、基板を構成するエピタキシャル層と二酸化シリコン隔壁(24)、(25)の側面の境界は正しく基板の表面であり、したがって、a部が基板の表面にあることは明らかである。よって、ロ号物件の「記憶回路」のメモリセル(10)のアノード(13)、(16)のP-N接合は基板の表面に終端部を有している。

(2) 出力バッファ回路について

(ア) 本件発明の「接合」とは、前記5(六)(1)のとおりであるところ、ロ号物件の出力バッファ回路のP-N接合及びN+N境界は、いずれも、電気的特性の異なる二つの半導体領域の境界であるから、本件発明の「接合」に相当する。

(イ) ロ号物件のPNPトランジスタ(17)'aは、P型エミッタ領域(18)'a及びN+型コンタクト領域(28)を、ショットキー・クランプト・トランジスタ(17)AないしCは、N型エミッタ領域(18)aないしc、P型ベース領域(19)aないしc及び、N+型コンタクト領域(28)を、抵抗(34)aないしeはP型不純物質領域(35)を、ショットキーダイオード(21)dは、N+型コンタクト領域(28)を、ショットキーダイオード(21)eは、P型ガードリング領域(33)を、それぞれ含んでおり、これらはいずれも本件発明の「薄い領域」に相当する。

(七) ロ号物件の記憶回路及び出力バッファ回路の構成c1''及びc2''は、そ

それぞれ本件発明の構成要件 c 1 及び c 2 を充足する。

(1) 記憶回路について

(ア) 本件発明の「不活性絶縁物質」とは、前記 5 (七) (1) のとおりであるところ、ロ号物件の酸化シリコン膜 (26) は、本件発明の「不活性絶縁物質」に相当する。

(イ) 本件発明の「回路接続用導電物質」とは、前記 5 (七) (2) のとおりであるところ、ロ号物件のポリシリコン層 (27) 及び第 1 アルミニウム層 (29) は、本件発明の「回路接続用導電物質」に相当する。

(2) 出力バッファ回路について

(ア) ロ号物件の二酸化シリコン隔壁 (24)、(25) 及び酸化シリコン膜 (26) は、右 (1) (ア) と同様の理由で、本件発明の「不活性絶縁物質」に相当する。

(イ) ロ号物件のポリシリコン層 (27) 及び第 1 アルミニウム層 (29) は、右 (1) (イ) と同様の理由で、本件発明の「回路接続用導電物質」に相当する。

(八) ロ号物件の記憶回路及び出力バッファ回路の構成 d 1" 及び d 2" は、前記 5 (八) と同様の理由により、それぞれ本件発明の構成要件 d 1 及び d 2 を充足する。

(九) ロ号物件の記憶回路及び出力バッファ回路の構成 e" は、前記 5 (九) と同様の理由により、本件発明の構成要件 e を充足する。

四 被告の主張に対する認否及び原告の反論

1 被告の主張 1 及び 2 は認める。

2 (一) 被告の主張 3 (一) は争う。

(二) 同 (二) のうち、本件明細書に本件発明が「コンパクトで高度に複雑な回路装置を可能ならしめた」旨の記載があることは認める。

(三) 本件発明の特徴、作用効果は、次のとおりである。

(1) 本件発明の対象は、電子回路用の半導体装置であり、その第一の目的は、電子回路の小型化と安定化にあり、特許請求の範囲記載の構成によって、工程の簡略化等を図り多種多様の複雑な回路を可能にする効果を奏するというものである。

(2) 被告は、単一の半導体薄板の一主面上に、離間して形成された複数の回路素子と、それらの回路素子中の選ばれた薄い領域を相互に接続する不活性絶縁物質上の回路接続用導電物質とを、本質的に平面状に (二次元的拡がりをもって) 配置し、電子回路のコンパクト化及び高集積化と量産とを可能にした技術思想を本件発明の特徴と主張するが、本件発明ないしいわゆる【H】の発明は、一九四八年の【I】及び【J】による点接触型のトランジスタの開発、次いで【K】による成長接合型のトランジスタの開発、一九五六年の【D】によるメサ型トランジスタの開発、また、一九五二年の【A】による一つの半導体内に複数の回路素子を収めてなる固体回路の構想の提唱、その後の【B】や【C】(【L】)の固体回路の発明、一九五七年の【E】の移相発振器の発明等を経て、一九五〇年代の始めには公知となり、その後半には時代の潮流と化していた電子回路のコンパクト化 (一体化) という公知の課題を、半導体薄板内に一主面側から各種の回路素子に必要な P-N 接合を形成して、回路素子間の必要な電気的分離と電気的接続とを行い、一個の電子回路装置にするという独自の手段により解決しようとしたものである。

本件発明ないし【H】の発明は、半導体の表裏面にわたるメサ型の回路素子を集積し、半導体薄板のバルク抵抗を利用して回路素子の電気的分離と接続 (絶縁とインピーダンス接続・抵抗接続) を行うという態様のものではなかった。

したがって、被告のいう回路の一体化、回路素子の離間による平面状配置などは当業者が普通に考えることであって、本件発明ないし【H】の発明の核心ではない。

3 被告の主張 4 は、全て争う。

イ号物件は、複雑な電子回路を化体した一個の物としての一メガビット DRAM 装置である。本件発明と対比されるべきは、この一個の装置の構成であって、その一部ではない。

また、ロ号物件は、約七万個のダイオードやトランジスタ等を有する複雑な電子回路を化体した一個の物としての三二キロビット PROM 装置であり、本件発明と対比されるべきは、この一個の装置の構成であって、その一部分ではない。

4 (一) (1) 被告の主張 5 (一) のうち、(1) (ア) は認め、その余は争う。

(2) 被告において遅延電子回路と主張する基板バイアス回路部分内のリングオ

シレータの一部分は、七段構成のリングオシレータの六段目及び七段目の二段のCMOSインバータの結合であり、当業者はリングオシレータの一部のCMOSインバータを遅延電子回路として意識することはなく、「電子回路用の半導体装置」における「電子回路」に当たらない。

(3) 本件明細書中には、本件発明の目的ないし作用効果として、①コンパクトな装置を得られる点(本件公報1欄一九行から二一行、2欄二二、二三行、4欄三五行から四一行、5欄三一行から6欄四行)、②組立工程段階が比較的少なく(同4欄三九行)、その製造に当たって、マスクング、エッチング及び拡散の様な両立性ある工程が半導体薄板の一主面から成し得るので量産に適する点(同5欄二四行から三〇行)があげられており、また、「本発明の原理に依れば全電子回路の成分は以降に詳細に説明される技術の適用に依り特徴づけられる様に本体に組立てられる。」(本件公報2欄一行から三行)と説明し、本件発明につき、「高度の複雑さの回路の多様性を可能ならしめたものである。」(同1欄二〇、二一行)、「回路が多様多様(「多種多様」の誤植)に出来る。」(同二欄一七、一八行)、「この方法で為され得る回路の組立ての複雑さには限界がない。」(同5欄三一、三二行)と説明している。

他方、本件公報中には、一個の半導体薄板を用いて形成された電子回路装置中のどこか一部に発明の構成を備えた電子回路部分があれば足り、他の回路部分はどうでもよいということを見せしめる記載は一切ない。

右によれば、本件発明の対象(保護対象)は、電子回路用の半導体装置、即ち、電子回路を化体し実現した全体として一個の有形の一体物である。イ号物件は、複雑な電子回路を化体した一個の物としての一メガビットDRAM装置であり、本件発明と対比されるべきは、この一個の装置の構成であってその一部分ではない。

(二) (1) 被告の主張5(二)は争う。

(2) 「単一の半導体薄板」について

本件発明では、「半導体薄板」内に回路素子を作り込んでいる。また、能動素子としてメサ型トランジスタを用いている。右メサ型トランジスタを集積回路の素子として半導体基板内に作り込もうとすると、右基板の裏面にまで達するコレクタ抵抗を十分小さくして、コレクタ内の電荷の蓄積時間を押える必要があるため半導体基板をできるだけ薄くしなければならない。

ところで、本件明細書には本件発明の「半導体薄板」の厚みを一般的に説明した記載がない。そこで実施例を見ると、厚みが六三・五 μm のゲルマニウムのチップを薄板と称している。この実施例の厚みに限定されるものではないが、本件発明では、半導体基板としてかなり薄いものを念頭においている。

これに対して、対象物件のような高集積度の集積回路に用いられるシリコン基板は、約五〇〇 μm ないしそれに近い厚みである。アナログの小規模の集積回路に用いられるごく薄いチップの厚みでも二〇〇 μm 程度であるから、これに比べても、本件発明の例示された半導体薄板は十分薄く対象物件の半導体基板は十分厚い。このような厚い板体が本件発明にいう「半導体薄板」であるとはいえない。

(3) 「主要な表面及び裏面」について

本件明細書の発明の一般説明には「主要な表面及び裏面」の解釈の参考となるような記載が見当たらない。本件明細書中に具体例として開示されている装置は、メサ型トランジスタを半導体薄板内に作り込んだものであり、信号を入出力するのに不可欠なベース、エミッタ及びコレクタにコンタクトしている三つの電極端子のうち、コレクタの端子を半導体薄板の裏面に設けている。

また、出願人が本件発明の特許出願手続中で提出した昭和五七年八月二七日付意見書(甲第六号証の一〇)中の本件発明にかかる半導体薄板の面について述べている個所には、「薄板の表裏2つの主要な表面」(六頁一九、二〇行)、「表裏ふたつの主要な面」(一二頁七、八行)と明記されている。

更に、原々出願の特許公報の訂正公報(甲第三号証の一)の特許請求の範囲には、はっきりと半導体薄板の「一つの主面」と「他の主面」という表現が見られる。そこでは上表面と下表面(裏面)とを区別しつつ、その双方とも主面であるとし、「一つの主面と他の主面との間の薄板内に形成されている能動回路素子」と記載している。そして、前同号証に開示されているトランジスタは、本件発明の例に示されたトランジスタと同一のメサ型トランジスタである。半導体薄板の表面側だけを利用してトランジスタを構成することは明示されておらず示唆されてもいない。

そうすると、本件発明の構成要件A1の「主要な表面及び裏面」とは、「主要な

(表面及び裏面)」の意味であり、その半導体薄板は、表裏両面を各主要面として利用するものである。

これに対して、イ号物件の電子回路は、厚み約五〇〇 μ mの半導体基板の表層の数 μ mを利用して、いわゆるプレーナ型の構成とされており、基板の電子回路より下の部分は、電子回路の構成部分ではなく、その機械的支持の役目を果たすものであるから、基板の裏面が「主要な裏面」であるとはいえない。

(三) (1) 被告の主張5(三)は争う。

(2) 「回路素子」について

(ア) 一般に、特許明細書中の事物を指称する対象語は、その特許出願当時に何人も予想していなかった事物まで包含することがないように解されているところ、本件明細書記載の回路に利用されている回路素子は、半導体薄板の表裏面にわたる右薄板本体の厚み方向の全体で構成されるもの(現実には、【D】が提案したメサ型トランジスタ)でしかなく、他方、本件明細書にも原々出願の明細書にも、MOSFETの集積回路のように半導体基板の上面側のみに薄層状の回路素子及び電子回路を形成した構成やP型基板の諸所にN型のウェルを設け、基板の回路形成部を単一導電型とすることなく、基板及び右ウェル内に、互いに異なるNチャンネル型MOSFETとPチャンネル型MOSFETを作る構成についての記載も示唆もない。

(イ) MOSFETは、在来のトランジスタの概念を変える大発明であり、本件発明の発明者が発明当時認識していなかったものである。

MOSFETは、絶縁ゲート型電界効果トランジスタといわれており、今日では半導体を利用した三極素子という意味でトランジスタの一種に属するが、それまでの成長接合型、合金接合型及びメサ型などのバイポーラトランジスタとは、原理的に異なり、構造、動作及び効果のどれをとっても、著しく異なる。

また、メサ型トランジスタとプレーナ型バイポーラトランジスタは、表面が完全に平坦かメサを含む実質的平面かの形状の相違ではなく、P-N接合端がどうなっているかの点が基本的な相違点なのである。等しくバイポーラトランジスタといっても、両者は、その基本的構想において全く異なる。

(ウ) 本件明細書中の二重拡散に関する記載は、発明の実施例としてメサ型トランジスタ及びメサ型のP-N接合キャパシタを用いた回路装置を製造する方法を説明した個所にあらわれている(本件公報3欄二五行から4欄三行)。この説明によれば、メサ型トランジスタのベース領域となる層を拡散によるP-N接合で形成した後、エミッタ領域を合金接合により形成するが、右の合金接合に代えて、拡散によるP-N接合を設けることによってエミッタ領域を形成することが可能であるということだけである。

本件明細書中に右の二重拡散に言及した抽象的説明があるからといって、右説明が当時知られていなかったMOSFETやプレーナ型のトランジスタまで開示しているなどとはいえない。

(エ) イ号物件の装置の電子回路を構成するMOSFET(約一一〇万個)は、本件発明の後に出現し、全構成要素が半導体基板内にあるのではなく基板の上面側上部のゲート酸化膜の上に設けたゲート電極を必須の構成要素としており、その原理、構成及び作用効果においてメサ型トランジスタとは全く異なる。

(オ) したがって、本件発明の構成要件A2の「回路素子」中に、MOSFETは含まれない。

(3) 「複数の回路素子を含み」について

(ア) 構成要件A2にいう「複数の回路素子」とは、本件発明の装置に化体された電子回路を構成するために必要な全回路素子であり、右回路素子の全構成部分が単一の半導体薄板内に存し、その「主要な表面及び裏面」にわたる半導体薄板の厚みの全部を利用して形成されていることである。

即ち、本件明細書中の「本発明の原理に依れば全電子回路の成分は以降に詳細に説明される技術の適用に依り特徴づけられる様に本体に組立てられる。」(本件公報2欄一行から三行)との記載がある。これと同様の記載は原々特許の公報中にもみられ(甲第三号証の一の3欄四三行から4欄二行)、前記引用の本件明細書の記載は、本件発明の特許出願の優先権証明書に添付されている米国出願の明細書中

の” According to the principles of this invention, all components of an entire electronic circuit are fabricated within the body so characterized by adapting the novel techniques to be des

cribed in detail hereinafter.”（甲第六号証の二の二の四頁七行から一〇行）の翻訳である。この英文は、「本発明の原理によって（「原理によれば」と訳しても同じことである。）、「なにか一つの全き（完全な）電子回路の全ての部品が、以下に詳述される新技術の適用により特徴づけられるように本体内に作り込まれるのである。」といった意味であり、そうすると、本件明細書の前記引用部分中にみられる「電子回路」とは、「なにか一つの全き（完全な）電子回路」であり、その全部の部品（回路素子）が半導体の本体内に作り込まれるという趣旨であり、いいかえれば、「全電子回路の成分」とは「全電子回路の全成分」の意味である。

（イ） 本件発明の構成要件A2の「複数の回路素子」とは、半導体装置内の電子回路を構成する回路素子の全部の総称である。

即ち、本件明細書中には、特別の定義をすることなく、総括的に「回路素子」又は「成分」という語を使用して、例えば「本発明に用いられる回路素子はN型もしくはP型いずれか一つの型に導電型を示す単一半導体物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導体との間或は拡散領域自体間にP-N接合を形成することにより達成される。」（本件公報1欄二二行から2欄一行）、「本発明の原理に依れば全電子回路の成分は以降に詳細に説明される技術の適用に依り特徴づけられる様に本体に組立てられる。」（同2欄一行から三行）などと反復しての説明がある。これらの記載によれば、本件発明の半導体装置においては、半導体薄板内に組み込まれて回路の構成要素となるのは、全回路素子＝受動及び能動成分（素子）＝希望の各種回路素子＝色々な回路素子＝複数の回路素子である。

他方、本件明細書のどこをみても、本件発明の装置においては、構成要件A2にいう複数の回路素子以外の回路素子を半導体薄板の内部に含んでよいとか、半導体薄板の外部に作りつけてよいなどとする明文の説明はなく、これを示唆する一片の記載もない。原々特許の明細書やその他の関連出願の公告公報の記載を精査しても、右のような説明はなく示唆もない。

したがって、「複数の回路素子」は、その「複数」とは、種々の回路素子の全部を包摂する広い意味であると解釈するのが至当である。

（ウ） イ号物件の構成をみると、メモリセル内のキャパシタは、その全体が半導体薄板の外に形成されている。

（四）（1） 被告の主張5（四）は争う。

（2） 「複数の引出線」について

本件明細書中には「引出線」とは何かを直接説明した個所がなく、具体例では、半導体薄板の裏面に合金化して一体に接合され半導体薄板外に延長された薄い切片を「金張りコバル引出線50」、「引出線50」と記載（本件公報3欄三三行、5欄二行）している以外に「引出線」の語を用いている箇所がない。ところで、本件明細書には、その第1図中の外部電源及び信号入出力用の前記金張りコバル引出線50の他に、トランジスタT1のエミッタと接地用の端子（金張りコバル引出線50）に接続されている一本の導線70が他の金の線70と同様に「金の線70」と記載されて「引出線」と「金の線」とが区別され、「引出線」は、半導体薄板の裏面に合金接合した金張りコバル引出線50を指す語としてのみ用いられている。

したがって、要件A3にいう「引出線」は、半導体薄板の裏面に接合された外部接続端子を指していると解するのが相当であり、半導体基板の表面にあって外部接続端子といえない金の線などを引出線と解することはできない。

これに対して、イ号物件の構成をみると、半導体薄板の主要な裏面に取り付けなければならない本件発明の引出線を有しておらず、また、本件発明の引出線に対応するのは、強いていえば、【D】ドフレームの端子であろうが、これは半導体基板の外にあり、半導体薄板の裏面に取り付けられていないから、イ号物件は、本件発明の要件A3の「引出線」の要件を充足しない。

（五）（1） 被告の主張5（五）は争う。

（2） 「種々の区域」について

イ号物件の被告が指摘する基板バイアス回路部分のリングオシレータ内の二段のCMOSインバータ（目録にいう遅延電子回路）を構成する四個のMOSFETは、右インバータないしMOSFETが基板の微小な一個所に位置しており、基板の種々の区域に形成されているとはいえない。

しかし、イ号物件に組み込まれているメモリアレイ部分に配置されたMOSFET及びキャパシタ並びにセンスアンプ部分及び基板バイアス回路部分に配置されて

いるMOSFETは、半導体基板（1）及び基板に形成したNウェル内の種々の区域に形成されている。

即ち、要件aの「上記の複数の回路素子」とは、構成要件A2の「複数の回路素子」を受けての記載であるから、本件発明の半導体装置が備えている全回路素子の総称である。本件特許請求の範囲では、要件A3の「外部に接続が必要とされる回路素子」、要件bの「少なくともひとつ」のように、回路素子や薄い領域の数ないし全部一部の関係について意識したときには、その意味を明確にしようとしている。ところが、本件明細書の記載のどこをみても、それらの回路素子が一個の半導体装置中にある構成要件A2の複数の回路素子の「うち」の「少なくとも」一部の複数の素子であってよいことを窺わせるに足る何らの記載もないから、構成要件aでは、「複数の回路素子」の全てが右構成要件にいう条件を充たしていることを要する。

ところで、本件発明は、複数の回路素子を結合してなる電子回路をできるだけコンパクトにするため（小型化するため）、一つの半導体薄板を主体とし、その内部に全回路素子を含ませようとする技術的思想に発している。本件明細書に開示されている回路をみても、回路及び回路素子は、半導体薄板の全域にわたって形成されている。

そうすると、要件aの「複数の回路素子は、薄板の種々の区域に……形成されており」とは、複数の回路素子が半導体薄板の全域にわたって配置されることを意味する。

（3） 「互いの距離的に離間して」について

（ア） 構成要件aにいう回路素子の距離的離間は、距離の長短を問わない単なる物理的離間ではなく、回路に所期の動作をさせ、本件発明の目的を達成するのに必要な抵抗値をもつ距離的離間、いかえれば、回路素子間に所望の値のバルク抵抗を介在させるのに必要な距離的離間である。

（イ） 「距離的離間」とは「物理的離間」であり、「距離的」に「離れている」ことであるところ、本件明細書中の発明の一般説明には距離的離間の意義について直接的な一般説明がなく、開示例を説明した部分にも、その意味及び技術的意義について特に言及してはいない。

次に、本件公報中の開示例をこれについての説明と同公報の第1図及び第2図により参酌すると、本件明細書に開示されている電子回路装置は、R1ないしR2として示されたバルク抵抗をもつ導電路がなければ、全き電子回路にならないという点の一つの大きな特徴である。

また、本件明細書において、本件発明の実施例として、製造工程につき、半導体薄板への不純物拡散によるP-N接合の形成後に、半導体薄板をエッチングすると説明し（本件公報3欄七行から一〇行）、「特にこのエッチングは、R1とR2と回路の他の部分との間に分離を与えるための薄板を通してのスロットを形成し、又予め計算された形状に全部の抵抗の領域を形成する。」（同4欄九行から一三行）と記載している。

（ウ） 原々出願の明細書中に現実に開示されている集積回路の各回路素子の離間は、回路素子の必要な個所に薄板本体による電気接続を図りつつ、回路素子間の電氣的分離のために、スロットと回路素子との位置関係及び素子間に介在する基板の作用長さ、断面積、比抵抗などから決まってくるバルク抵抗を利用する方式であることが明らかである。

このことは、本件発明の特許出願の優先権証明書に添付された米国特許明細書のクレーム14（甲第六号証の二の二の一七頁）の記載からも明らかである。

（エ） 原出願（第一次分割出願）を拒絶した審決の取消訴訟（東京高裁昭和五五年行ケ第五四号事件、昭和五九年四月二六日判決言渡）当時の原出願の明細書の特許請求の範囲には、離間が回路素子相互間に必要な絶縁を与えるような離間であると明記されており、しかも、出願人である本件被告は、右訴訟において、審決の第一引用例（【E】特許明細書）の構成と対比して、「離間」という構成が「必要な絶縁」の作用ないし機能をもつものだと明確に述べている。

（オ） 被告は、本件発明の特許出願手続中で昭和四七年四月二七日特許庁受付の上申書（甲第六号証の六）において、【E】特許明細書に示されている発明と本件発明との相違点として、「【E】特許に於けるRC遅延線22は本願における抵抗・容量素子C1、R8或いはC2、R3に相当するものである。【E】特許における遅延線22はトランジスタ14に対し直接的な電気接続（接触）を有しているのであってトランジスタから離間しているのではない。」と述べ（六頁四行から七

行)、「従って【E】特許は本願要旨の如き少く共4つの距離的に相互に離間した回路素子を含(む)……半導体装置を容易に想起せしめる基礎概念は全く示していないのである。」(六頁一五行から二〇行)と記載している。

(カ) 本件発明の特許出願について昭和五七年三月三十一日付の拒絶理由通知が発され、そこでは、距離的に離間された回路素子間はどうなっているのか明細書に具体的説明がない旨指摘された(甲第六号証の九)。

これに対して、出願人は、昭和五七年八月二七日付の意見書中で、「距離的に離間されている回路素子」という表現は、複数の回路素子間の回路接続の前提条件として記載したものであります。本願発明に於ける距離的に離間されている複数の回路素子は本願の実施態様に於いてはトランジスタT1、T2、抗抵蓄電器(C1R8)及(C2R3)に対応いたします。そして、これら回路素子間には、半導体薄板の一部が存在し、実施の態様では少なくとも次に示すような抵抗素子が存在し得る例として記載されています。即ち、トランジスタT1とトランジスタT2の間には抵抗R5とR6；トランジスタT1と抗抵蓄電器(C2R3)の間には抵抗R6、R5、R4；トランジスタT2と抗抵蓄電器(C1R8)の間には抵抗R5、R6、R7があります。」と説明している。この説明によると、「距離的に離間されている回路素子」という表現は、「回路接続の前提条件」の記載であるというのであって、これは、本件発明では回路素子間の必要な個所を抵抗接続していること、その接続のためには、所定のバルク抵抗値をもたせること、そのためには素子間の距離的な離間が必須の前提条件であることを述べる趣旨に出たものである。

(キ) 被告のいうとおり本件発明が従来と異なる構想に立った画期的な新規な発明であるとする、その機械的構造をどのように構成するのか、その回路素子の構成はどうか、半導体薄板内に裸で作り込まれている回路素子の電氣的分離はどうするのか、その回路素子間の電氣的接続はどうするのかなどの諸点がことごとく解決すべき新たな課題であったということになる。特に、集積回路においては、複数の裸の回路素子を半導体薄板内に剥き出しで作り込むのであるから、回路素子間の電氣的分離は解決しなければならない最重要の技術的課題ということになり、この課題の解決なしには新規の回路装置など成り立たない。そして、本件明細書には、バルク抵抗による分離以外の構成は全く開示されていないのである。

原々特許明細書中にはP-N接合による分離を考えたい記載はあるが(甲第三号証の一の4欄一八行から二一行)、抽象的であって、実際にどのようにすればよいのか不明であり、しかも、本件明細書では右P-N接合についての記載が削除されている。本件明細書の開示例について、二つのメサ型トランジスタ間をP-N接合により分離しようとする、どのような構成になるのか全く不明である。

(ク) イ号物件の全体装置内のMOSFETの配置間隔についていうと、別紙イ号物件目録四、①記載のとおり、メモリアレイ部分(2)のビット線方向に並ぶ約一〇〇万個のMOSFETは、目録の第5、6図に示されている隣り合う一対のMOSFET(9)a、(9)bのドレイン(13)a((13)b)のように、二個ごとにドレインを共通にして部分的に重合しており、距離的に離間していない。即ち、約一〇〇万個のMOSFETの全ては、隣り合うMOSFETと一部分が重合しており、一個ごとに他から独立しているMOSFETは存しない。

また、メモリアレイ部分の約一〇〇万個のキャパシタは、目録の第6、7図に示されているキャパシタ(10)aないし(10)dのように、前記MOSFET(9)aないし(9)dのソース(12)aないし(12)dの直上の半導体基板(1)外の上部に、右各ソース(12)aないし(12)dと直接に接触して配置されており、右MOSFETと距離的に離間していない。

別紙イ号物件目録五①記載のとおり、センスアンプ部分(2)'のMOSFET約一万六〇〇〇個のうち、センスアンプ回路を構成する約八〇〇〇個のMOSFETは、たとえば目録第10、11図に示すMOSFET(9)iと(9)jの各ソース(12)iと(12)jのように、ワード線方向に隣り合うものが二個ごとにソースを共通にして一部分が重合しており、距離的に離間していない。

基板バイアス回路部分のMOSFET六三個中の三二個は隣り合うMOSFETとソース又はドレインを共通にして一部分が重合しており、距離的に離間していない。

以上のとおり、イ号物件の基板の種々の区域に形成されたMOSFETのほとんど全部(全数の九六%以上)は、互いに接触し又は一部分が重合しているのであって、この構成は、要件aの回路素子の「互に距離的に離間して形成され」た構成と

は異なる。

(ケ) また、別紙イ号物件目録六、①記載のとおり、たとえば、基板バイアス回路部分のリングオシレータ内の遅延電子回路と称されている二段のCMOSインバータのうち、CMOSのインバータ(20)aを構成するNチャネル型MOSFET(9)mは基板(1)内に、同じくPチャネル型MOSFET(21)Eは基板(1)内に形成したNウェル(16)内に各配置され、右各MOSFETのドレイン(13)mと(13)Eとの間隔は、約一五 μm である。

また別紙イ号物件目録四①に記載のとおり、メモリアレイ部分の前記の共通ドレインを有する二個一対のMOSFETと隣り合う他の一対のMOSFETとの間隔、別紙イ号物件目録五①の記載のとおり、センスアンプ部分の互いに一部分が重畳していないMOSFETの間隔は約二・〇 μm ないし約三・五 μm である。

これらのMOSFETは、そのままでは電氣的分離が不可能で回路が所期の動作をしない。そこで、基板(1)内の右MOSFET間を隔てる場所には、P(+)
型不純物領域(18)を設け、その上に部分埋置されたLOCOS酸化膜(19)と酸化シリコン膜(24)を設けて電氣的分離を達成している。

このように、被告が指摘する基板バイアス回路部分のリングオシレータ内の二段のCMOSインバータを構成する四個のMOSFETをみても、距離的離間によって電氣的に分離されているのではない。

(六) (1) 被告の主張5(六)は争う。

(2) 本件発明の構成要件bは

① 半導体薄板の内部に含まれている回路素子のすべてがP-N接合によって画定された薄い領域を有し、

② このP-N接合は、半導体薄板の主要な表面に終端しているが、右の主要な表面とは、複数の回路素子(メサ型)が作られたとき形成され、その後の被覆工程を経ても、被覆前の表面として識別できるように、そのまま残っている表面である、との趣旨と解される。

(3) 「接合」について

(ア) 本件発明の構成要件bの「接合」はP-N接合である。その理由は、次のとおりである。

① 本件発明のように半導体だけで構成される回路素子にとってP-N接合の存在は必須不可欠である。

② 本件明細書の「本発明に用いられる回路素子はN型もしくはP型いずれか一つの型に導電型を示す単一半導体物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導体との間或は拡散領域自体間にP-N接合を形成することにより達成される。」との記載(本件公報1欄二二行から2欄一行)は、各回路素子が単一導電型(P型かN型のいずれか一方の導電型であって、薄板内部に異なる導電型の部分を有しない構造)の単一半導体薄板本体内に一つ又は二つのP-N接合を形成することにより回路素子として完成されることを意味するものである。

③ 本件公報の中で「接合」の語を用いている個所は、半導体薄板本体内に不純物を導入して形成されている接合で、全て「P-N接合」又は「拡散P-N接合」である。

(イ) 本件発明の構成要件bの「上記の複数の回路素子」は、構成要件aの「上記の複数の回路素子」と同義であり、本件発明の半導体装置が備えている全回路素子の総称であるところ、本件発明のように半導体だけで構成される回路素子にとってP-N接合の存在は必須不可欠であり、前記のとおり本件発明の構成要件A2によれば半導体薄板内に回路素子を作り込んで電子回路を形成しているから、必ず回路素子内にP-N接合を有していなければならないが、したがって、要件bの「接合」は、半導体薄板の内部に含まれている回路素子の全てがP-N接合によって画定されていることを意味する。

(4) 「薄い領域」について

要件bの「薄い領域」は、主要な表面に終わるP-N接合によって画定された領域である。

薄い領域が接合によって画定されているという記載の趣旨は、メサ型トランジスタのベース領域の全周縁が半導体薄板の主要な表面に終端するP-N接合で決まっており、エミッタ領域の全周縁が半導体薄板のベース領域内の表面に終端するP-N接合で決まっているということである。

(5) 「主要な表面」について

「上記薄板の主要な表面」とは、要件Aの「主要な表面及び裏面」という記載を

受けた語であって、右の表面及び裏面のうちの前者の面のことである。この表面は、半導体薄板の原材料の表面ではなく、エッチング等により成形されて複数の回路素子を作り込んだ状態における薄板のP-N接合が形成された側の一面であることはいうまでもない。たとえば、メサ型の回路素子について具体的にいうと、① 形成されたメサの頂面、② メサを盛り上げている基準面、③ メサの側部を形成する傾斜面、を合わせた全体の面をいうと解するのが相当である。メサの側壁傾斜面を含めて表面と解しないと、本件明細書に例示されている装置のキャパシタC1及びC2（一つのP-N接合がメサの側壁傾斜面に終端している。）は、要件bをみたさないということになるが、それでは、明細書の全体の趣旨と平仄が合わなくなり、論理的解釈としても合理的解釈としても妥当でない。

(6) 「P-N接合が表面で終る接合」について

本件発明の構成要件bのP-N接合が表面で終る接合とは、メサ型構造であることを意味するものである。

即ち、本件明細書には、「本発明に用いられる回路素子はN型もしくはP型いずれか一つの型に導電型を示す単一半導体物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導体との間或は拡散領域自体間にP-N接合を形成することにより達成される。」（1欄二二行から2欄一行）と記載している。この記載は、各回路素子が単一導電型（P型かN型のいずれか一方の導電型であって、薄板内部に異なる導電型の部分を有しない構造）の単一半導体薄板本体内に一つ又は二つのP-N接合を形成することにより回路素子として完成されることを意味する。

このように、一つの単一導電型の半導体内に素子としての全構成部分を収めた回路素子として本件発明の特許出願の優先権主張日当時すでに知られていたものには、成長接合型や合金接合型のP-N接合を有するものもあったが、最も新しいトランジスタは、本件明細書が引用する【D】の文献（甲第二号証の五欄三行から八行）に記載されているメサ型トランジスタであった。原々特許明細書は、端的に、「トランジスタ、ダイオード及び蓄電器の接合区域は薄板上に適当なメサを成形することによって形成される。」と説明しており（甲第三号証の一の8欄三〇行から三二行）、右以外の構成のものを全く記載又は示唆していない。そして、本件明細書は、トランジスタとして右のメサ型トランジスタ、キャパシタとしてメサ型のP-N接合キャパシタを開示しているだけである。

また、本件発明以前に知られていた個別素子は、成長接合型のトランジスタも合金接合型のトランジスタもP-N接合端を半導体基板本体の一主面のみに終端させた構成ではなく、唯一の例外は、ベル研究所の【D】が発表したメサ型トランジスタである。本件発明は、この最新型といえるメサ型を採用して固体回路を構成したわけである。

そして、本件明細書に開示された実施例に即していえば、半導体薄板（仮にP型とする。）の主要な表面は、まず、半導体薄板材料を平坦に研磨し、その一方の表面の全面から反対導電型の不純物（N型不純物）を薄く層状に拡散して、拡散層と薄板本体との間に平坦なP-N接合面を形成し、これを所定の大きさに切って裏面をラップ研磨する。その後の工程で、トランジスタのエミッタとなる部分に、合金接合によって薄板の表面に終端するP-N接合を形成し、その後エッチングによりメサ型のトランジスタとメサ型のP-N接合キャパシタと右両者間に介在させるバルク抵抗の領域とを形成する。このエッチング工程によって、当初の拡散により形成されたP-N接合面は、各回路素子の所在する個所を除いてカットされる。それで、右回路素子のP-N接合面が半導体薄板の表面側のメサの側面に露呈して終端し、トランジスタのエミッタを画成するP-N接合はメサの頂面に露呈して終端した形状になるのである。

(7) イ号物件の基板バイアス回路部分内の各Nチャネル型MOSFETは、いずれもP型のシリコン基板とのP-N接合により画定されたソース及びドレイン（薄い領域）を有し、Pチャネル型MOSFETは、右基板内に形成したNウェル（N型領域）とのP-N接合により画定されたソース及びドレイン（薄い領域）を有するが、前記各MOSFETの薄い領域であるソース及びドレインを画定するP-N接合は、いずれもゲート電極（14）aないしd下では基板（1）の上面側上部のゲート酸化膜（11）aないしdに達し、その余は基板（1）に部分埋置されたLOCOS酸化膜（19）の下面に達している。

ところで、イ号物件では、MOSFETの薄い不純物領域であるソース及びドレインを作る前に、半導体基板の熱酸化により分離用のLOCOS酸化膜及びゲート

酸化膜を設けるので、元の半導体基板の表面は消失してしまい、元の表面レベルより下のレベル位置にLOCOS酸化膜及びゲート酸化膜と基板との新たな境界面が形成されており、したがって、基板へのイオン注入及びその後の拡散により形成されたMOSFETのソース及びドレインを形成する不純物領域と基板とを画するP-N接合は、右各酸化膜と基板との新たな境界面に終端しており、要件bのように半導体薄板の主要な表面に終端することはない。

また、メモリアレイ部分のメモリセルaないしd等の構成要素である計約一〇〇万個のキャパシタは基板の外部にあり、P-N接合により画定された薄い領域を有していない。

(七) (1) 被告の主張5(七)は争う。

(2) 「不活性絶縁物質」について

本件発明の構成要件c1における「不活性絶縁物質」は、半導体薄板の薄い領域が形成された主要な表面の上に形成されているが、この「主要な表面」とは、要件Aにいう「主要な表面」であり、同bにいう「主要な表面」である。この「表面」は、前述のとおり、半導体薄板内に回路素子が形成され終った際に空間に露呈され、そのまま残っている半導体薄板の表面である。本件明細書中には、酸化シリコンのような絶縁不活性物質が半導体薄板を被覆するためにマスクを通して半導体薄板に蒸着される旨説明されており、蒸着された絶縁物質は、もとの半導体表面をそれとして残しつつ、その上に被覆されている構成である。そして、本件発明の特許出願当時の技術水準、本件明細書の記載を勘案すれば、本件明細書にいう「酸化シリコン」は一酸化シリコンであって、本件発明の特許出願の優先権主張日後に出現したシリコン基板の加熱により形成されるイ号物件のLOCOS酸化膜を含む熱酸化膜(二酸化シリコン膜)まで含ませることはできない。

(3) 「回路接続用導電物質」について

(ア) 本件発明の構成要件c2にいう「導電物質」とは金の線などであって、密着した金属層、ポリシリコン層又はポリサイド層などを含まない。

(イ) 本件発明にいう「導電物質」については、本件明細書中に特別の定義がない。そして、「回路接続用の導電物質」という表現は、一種の機能的表現による抽象的記載であるから、右「導電物質」は、少なくとも本件発明当時に回路接続用の導電物質として知られていなかった導電材料を含むものではない。

他方、ポリサイド層を導線として用いる技術は、本件発明の特許出願の優先権主張日当時予想されておらず、右優先権主張日より一〇年以上遅れて出現したものである。

(ウ) 本件明細書の一般説明中には、導電物質として、金しか開示されていない。

実施例の説明中にも、「金の様な導電物質はそれから必要なる電気回路接続を行なうために絶縁物質に被着される。」との記載があるだけである。

(エ) アルミニウムは公知の導電物質であるが、原々特許の明細書中には、回路素子用の電極として「金及びアルミニウムは極板19に満足な物質であると分かった。」と記載され(甲第三号証の一の7欄一八行から二〇行)、本件明細書には、「金の様な」と一言しただけで、アルミニウムについての記載がないから、電極としてのアルミニウムが記載されていても、導線としてアルミニウムを用いることが開示されているとはいえない。

(4) 「被着」について

(ア) 本件発明の「被着」とは、「縫箔」ないしこれに類似する状態である「置かれた」や「敷設される」などと同義で、金の線を半導体薄板の表面に絶縁物質に接するように這わせて置いた状態を意味すると解釈するのが相当である。

(イ) 原々出願の当初の明細書(甲第三号証の四)でも原々特許出願の当初の特許公報(甲第三号証の二)でも、導電物質について、絶縁物質との関係で「縫箔」と記載されていた。

本件発明の特許出願の当初の明細書(甲第六号証の五)では、回路素子間の接続について「不活性絶縁物質上に置かれた複数の導線」と説明し(同号証の一頁一五行)、実施例の説明には「……金の様な導電物質81、82、83は接点夫々から絶縁物質80の上に置かれ、……」との記載(同号証の五頁七行から一七行)があったが、昭和五四年一〇月一五日付で拒絶理由通知(甲第六号証の七)を受け、昭和五五年六月一二日付訂正書(甲第六号証の八)により明細書の全文補正をし、この全文訂正明細書中で、初めて導電物質について「被着」の語が用いられた。

しかし、要旨変更があったと解すべきではないから、「被着」とは、「縫箔」な

いしこれに類する状態である「置かれた」や「敷設される」などと同義であると解釈するのが相当である。

なお、「縫箔」(ぬいはく)とは、通常用語辞典に示されているとおり、金箔や銀箔を布帛等に縫いつけたものであり、近世では意味が転化して、布帛への金糸や銀糸による刺繍を指すようになったものである。

(ウ) 本件明細書には、金の線を弓成りに空中配線をした回路装置のみが図示され、これについて説明がされ、代替的に金のような物質を敷設(被着)することの可能性が示されている。そこで、これを見た当業者は、発明者が試作した現物は空中配線(空飛ぶ電線)の構成であるが、それは不得策なので、この金の線を下に降ろして絶縁物質層上に置き、その端部を絶縁物質にあけた孔に入れて、下の回路素子の薄い領域に接合する設計変更例もあり得る旨を説明しているものと理解するのが自然である。少なくとも、当業者は、マスク蒸着した酸化シリコン層上に金を直接密着させて配線するなどという実施不能の技術を開示しているとは考えないはずである。

原々明細書に記載された「縫箔」は、織物への縫箔に似た態様の配線であると解するほかはない。即ち、どのように考えても、空中配線を絶縁物質層の上に降ろして這わせ絶縁物質層の下に潜らせたという程度の意味でしかない。

(エ) 発明者は、マスク蒸着という技術についての明確な認識を有しており、メサ型トランジスタのベース電極やキャパシタの電極の形成及び絶縁物質による被覆については、マスク蒸着という技術の使用を念頭においていた。もし、導電物質を設けるのも蒸着によることができるとの明確な認識があれば、右電極の形成についての説明と同様に、導電物質についても、はっきりと「マスクを通しての蒸散」とか「マスク蒸着」と記載できたし、そのように記載したはずである。ところが、発明者は、導電物質である金を絶縁物質上に設ける方法については、具体的な考えがなかったのである。

結局、導電物質を「置く」という語は、発明者の頭の中で、「蒸散」又は「蒸着」と明確に区別されていたのであり、「置く」又はこの語の趣旨を体して実際の状態より如実に表現しようとした「縫箔」には、「マスク蒸着」、CVDによる密着、スパッタリングによる密着は含まれない。

(オ) イ号物件のポリシリコン層やポリサイド層は、CVD法によりLOCOS酸化膜及びゲート酸化膜に密着固定されており、アルミニウムの配線は、前記積層中のリンガラス中間層上にスパッタリングにより密着されているから、このような構成は、構成要件c2の「被着」に該当しない。

(5) 「層構造」について

本件発明のc1及びc2の構成は、半導体薄板の上の絶縁物質上に導電物質の一層が単純に敷設された構成であると解される。

その理由は、次のとおりである。

本件明細書は、つけ足しの数行で、単一層の絶縁物質上に単一層の導電物質を敷設した単純な層構成の可能性に触れているにすぎない。本件発明者は、右のような単純な層構成しか考え及ばず、固体回路の半導体基板上に絶縁膜を介して立体交叉の多層配線をするなど考えていなかった。

本件発明がされた当時、右基板上に階層上に多層配線をすることを可能にする技術はなかった。

右基板上に階層状に多層配線することは、本件明細書に全く開示されていない。本件明細書に開示されているのは、半導体薄板のメサが露呈している主要な一表面をそのまま残すようにして、その上に直接被覆された一層の絶縁物質(A)の上に、回路素子の薄い領域間を接続するように、複数の回路接続用導電物質(B)を直接一層に敷設した単純な層構成のみである。

(6) イ号物件の要件c1、c2に対応する構成は、別紙イ号物件目録の四ないし六の各③のとおりであり、基板(1)を熱酸化してなるLOCOS酸化膜(19)(熱酸化による絶縁膜A1)及びゲート酸化膜(11)(熱酸化による絶縁膜A2)を設け、その上に、ポリサイド層(14)、(15)(導電層B1)、酸化シリコン膜(24)(絶縁層A3)、第1ポリシリコン層(25)、(26)(導電層B2)、[メモリアレイ部分に絶縁膜(27)(A4)、第2ポリシリコン層(28)(導電層B3)]、リンガラス中間層(29)(絶縁層A5)、アルミニウム層(30)(導電層B4)を順次積層した構造(上からB4/A5/[B3/A4]/B2/A3/B1/A2・A1)であるから、層構成において相違する。

また、イ号物件において要件c1の「不活性絶縁物質」の単層の蒸着被覆層に対

応するのが、右のA1、A2、A3ないしA5のどれなのか、また、要件c2の導電物質Bに対応するのは、イ号物件のB1ないしB4のどれなのかが問題であるが、仮に、イ号物件の絶縁物質としてA1、A2を選ぶと、その上のポリサイド層(B1)は、本件発明の特許出願の優先権主張日後に配線用として開発された導電物質層であるから、本件発明が予定していた在来の金属とは異なることになる。また、イ号物件の導電物質としてアルミニウム層(B4)を選ぶと、このアルミニウム層は、半導体基板に直接接触した単なる一絶縁物質層上にあるのではなく、絶縁物質層及び導電物質層(A1ないしA5、B1ないしB3)の多層上に積層されているから、要件c2の構成とは異なる。しかも、このアルミニウム層(B4)は、第1ポリシリコン層(コンタクト電極B2)を介してMOSFETに接続しているから、この点においても半導体薄板の表面に金のような一導電物質が直接接触している本件発明の構成と異なる。

なお、高集積度の装置に必要な配線の問題を解決するには、ポリシリコンやポリサイドによる配線技術の開発をまたなければならなかったものであり、本件発明の右構成は、ポリサイド層からなるワード線その他の導線をLOCOS酸化膜を含む熱酸化膜の上に延在させ、かつ、その上に設けたリングラス中間層上にスパッタリングによるアルミニウム層の配線を密着延在させた対象物件のような構成を包含するものではない。

(八) (1) 被告の主張5(八)は争う。

(2) 構成要件d1に規定されているのは、複数の回路素子の薄い領域相互間の複数の導電物質による電氣的接続である。

このことは、本件発明の特許出願当初の明細書の特許請求の範囲の記載(四個の回路素子の薄い領域相互間を三本の導電物質で接続してなる装置の発明、甲第六号証の五参照)及び右明細書に添付されている第1図(要旨変更の問題を生じて現在の第1図に訂正された以前の第1図であるが、前記三本の導線以外は空中配線した金の線70を用いて接続している。)からも認められる。

したがって、構成要件d1は、構成要件A及びaの各回路素子の構成要件bに掲げたP-N接合によって画定された薄い領域同士が要件cの一層の絶縁物質上の一層の導電物質によって電氣的に接続されている単純な接続構造を示している。

しかし、要件d1の複数の回路素子の薄い領域相互間の接続だけでは回路を構成することができない。そうすると、要件d2の「電氣的接続」は、要件d1の電氣的接続以外の回路形成に必要な接続についてのものである。

ところで、本件発明が新規の固体回路であるからには、電氣的接続手段がどのような構成であるか本件明細書の発明の詳細な説明中の開示を参酌して決しなければならない。そこで、要件d1の導電物質による薄い領域の接続以外に、電子回路の形成に必要な接続について、本件発明はどのような解決手段を採用し開示しているかを検討すると、本件明細書は、インプット1とキャパシタC1のメサを形成しているN型領域とを接続する導電路及びインプット2とキャパシタC2のメサを形成しているN型領域とを接続する導電路し、それぞれ金の線70を弓成りに空中配線して形成されていることを開示しているが、回路素子のP-N接合で画定された薄い領域相互間の接続以外の内部接続としては、バルク抵抗による電氣的接続しか開示していない。

そうすると、基板本体のバルク抵抗を回路の必要な接続のための導電路として利用しない構成は、要件d2に当たらない。

(3) これに対し、イ号物件では、メモリアレイ部分、センスアンプ部分及び基板バイアス回路部分中の前記遅延電子回路を構成するMOSFETの薄い領域であるソース及びドレイン相互間は、半導体基板(1)の上部の多層中のリングラス中間層(29)に密着したアルミニウム層(30)の配線によって第1ポリシリコン層(25)を介して電氣的に接続されているから、要件d1の一層の絶縁物質被覆上に一層の金属線を置いただけの単純な層構成による接続構造とは異っており、前記の接続以外に必要なとされる接続のうち、各部分のMOSFETのゲート電極相互間の接続は、基板(1)の上面側上部のゲート酸化膜(11)及びLOCOS酸化膜(19)に密着させたポリサイド層(15)の配線によっているから、半導体薄板内に表裏面にわたって存在する回路素子を右薄板のバルク抵抗を利用して抵抗接続する要件d2の構成と異なるというべきである。

(九) (1) 被告の主張5(九)は争う。

(2) 「本質的に平面状に配置されている」について

構成要件eの電子回路の平面状配置とは、半導体薄板内に複数の回路素子を重畳

させずに単純に横並べして単層状に配置し、右薄板表面の絶縁物質上に単層の導電物質を設けただけの電子回路装置の構造をいう。

その理由は、次のとおりである。

① 一般用語としての「平面」について考えると、これは「平らな面」を指す。「平ら」は通常「高低のないこと」を意味し、「面」は技術用語としては「二次元的ひろがり」を意味する。

② 本件明細書の「回路素子は薄板の一面或いはその近くに形成される。その結果得られる回路は本質的に平面状に配置される」（本件公報2欄七行から一〇行）との記載のうち「一面或いはその近く」は、半導体薄板の厚み方向（高さレベル）を意識した説明であり、「その結果」として回路は平面状に配置されるというのであるから、「平面状」とは、平坦な配置を意味している。

③ 原々特許訂正公報（甲第三号証の一）には、発明の一般説明中において「回路は本質的に平面状に配置されることになる。」（4欄二五、二六行）との記載があり、右記載の後に、実施例として第6図a及び第8図aを示している。そうすると、「平面状」は、第6図の例にも第8図の例にも当てはまる意味での平面状であると解するのが合理的である。ところで、右第8図aの実施例は半導体薄板に二個の回路素子を配置している例である。原々特許明細書は、二個の回路素子を配置した場合をも含めて平面状の配置であるとみていることになる。反対に解すべき合理的理由はないから、「平面状」とは、平坦性を含意していると解される。

④ 右①ないし③によれば、要件eの「平面状」は、複数の回路素子が互いに同じ高さレベルの単層内に並び、また、導電物質もその全体が同じ高さレベルの単層内に延び、その結果として、電子回路が右回路素子のレベルと右導電物質のレベルとからなる単純な層構成を意味することになる。

そして、本件発明が回路素子の三次元配置及び導電物質の三次元構造であることを排斥する趣旨である。

(3) これに対して、イ号物件では、①半導体基板(1)の全面にわたり、その上面側の内部にソース及びドレインを設け、ゲート酸化膜を介して外部にポリサイドのゲート電極を設けた計約一一〇万個のMOSFETを配置し、②メモリアレイ部分のMOSFETの上部には、約一〇〇万個のキャパシタを積み上げて配置している。これらの必要な部分の接続は、③ゲート電極相互間では、右電極を延長したポリサイド層(15)の配線により、④メモリアレイ部分のMOSFETとキャパシタとは、両者の直接接触により、⑤MOSFETのドレイン相互間では、第1ポリシリコン層のコンタクト電極を介して、リンガラス中間層(29)上のアルミニウム層(30)の配線によっている。

前記①と②の回路素子の配置関係は平面状でなく階層状であり、③と⑤の各配線も平面状ではなく立体交差状の階層状配置である。この構成は、要件eの構成、即ち、複数の回路素子が互いに同じ一つの高さレベルで並び、電気的接続用の導線も単層の非交差配線とした構成と異なる。

5(一) 被告の主張6(一)のうち、被告が(1)に指摘するような部分回路があることは認め、その余は争う。

被告主張の記憶回路及び出力バッファ回路は、「電子回路用の半導体装置」における「電子回路」に当たらない。

また、前記4(一)(3)のとおり、本件発明の対象(保護対象)は、電子回路用の半導体装置、即ち、電子回路を化体し実現した全体として一個の有形の一体物である。ロ号物件は約七万個のダイオードやトランジスタ等を有する複雑な電子回路を化体した一個の物としての三二キロビットPROM装置であり、本件発明と対比されるべきは、この一個の装置の構成であってその一部分ではない。

(二)(1) 被告の主張6(二)は争う。

(2) 「主要な表面及び裏面」について

本件発明の構成要件A1の「主要な表面及び裏面」の意味は、前記4(二)

(3)のとおりであるところ、ロ号物件は、電子回路用の半導体装置ではあるが、その電子回路は、厚み約四〇〇 μ mの半導体基板上に形成したエピタキシャル層内にプレーナ型のバイポーラトランジスタを配置してなり、この構成は本件発明以後に開発されたものであって、右電子回路より下の基板部分は、電子回路の機械的支持体としての役目を主とするものであるから、基板の裏面が「主要な裏面」とはいえない。

(三)(1) 被告の主張6(三)は争う。

(2) 「回路素子」について

本件発明の構成要件A 2の「回路素子」の意味は、前記4 (三) (2) のとおりであるところ、ロ号物件の電子回路を構成する記憶回路部分のダイオードや、制御回路部分の出力バッファ回路のトランジスタ、ショットキーダイオード及び抵抗は、メサ型の回路素子ではない。

(3) 「複数の回路素子を含み」について

本件発明の構成要件A 2の「複数の回路素子を含み」の意味は、前記4 (三) (3) のとおりであるところ、ロ号物件のショットキーダイオードは、そのアノードがエピタキシャル層外に形成されている。

(四) (1) 被告の主張6 (四) は争う。

(2) 「複数の引出線」について

本件発明の構成要件A 3の「複数の引出線」の意味は、前記4 (四) (2) のとおりであるところ、ロ号物件は、半導体薄板の主要な裏面に取り付けなければならない本件発明という引出線を有していない。また、本件発明の引出線に対応するのは、強いていえば、【D】ドフレームの端子であろうが、これは半導体薄板の裏面に取り付けられていない。

(五) (1) 被告の主張6 (五) は争う。

(2) 「種々の区域」について

本件発明の構成要件aの「種々の区域」の意味は、前記4 (五) (2) のとおりであるところ、ロ号物件の構成中、出力バッファ回路部分のみを目して、ダイオードやトランジスタが半導体装置の種々の区域に配置されているとはいえない。

しかし、半導体装置全体に着目すると、記憶回路及び制御回路を構成するダイオードやトランジスタは半導体装置の種々の区域に形成されている。

(3) 「互いに距離的に離間して」について

本件発明の構成要件aの「互いに距離的に離間して」の意味は、前記4 (五) (3) のとおりであるところ、ロ号物件は、ダイオードやトランジスタ等の配置間隔についていうと、別紙ロ号物件目録四、①記載のとおり、記憶回路部分のメモリセル内の一対の書込用ダイオード(11)とスイッチ用ダイオード(14)とは、例えば同目録の第6図のダイオード(11) aと(14) aのように、二個ごとにアノードを共通にして一部分が重合しており、距離的に離間していない。

また、同目録五、①記載のとおり、出力バッファ回路のNPNトランジスタ(17) aないし(17) cとショットキーダイオード(21) aないし(21) cとは、例えば、同目録の第12図(a)に示したNPNトランジスタ(17) aのベース(19) aとショットキーダイオード(21) aのアノード(23) aのように、それぞれ直接に接触しており、距離的に離間していない。

更に、同目録四、①記載のとおり、記憶回路部分の前記共通アノードを有する二個一対のダイオードと隣り合う一対のダイオードの間隔は、約四 μ m及び約六 μ mであり、また、同目録五、①記載のとおり、出力バッファ回路の直接接触していないトランジスタ及びダイオード相互の間隔は、約六ないし一二 μ mであって、そのままでは電氣的に分離できない至近の位置にあるので、これらのダイオード及びトランジスタ間には、同目録の第5ないし7図及び第10図ないし13図に赤色で示されているように、断面正三角形の二酸化シリコン隔壁(24)、(25)を設け、また、抵抗と抵抗との間は、P-N接合による自己分離で電氣的分離を達成している。

以上のとおり、ロ号物件は、記憶回路部分の全ダイオードが同一メモリセル内の他のダイオードとアノードを共通にして一部分が重合しており、出力バッファ回路のトランジスタ(17) aないし(17) cとショットキーダイオード(21) aないし(21) cも、それぞれ直接に接触しており、距離的に離間しておらず、他の重合していないトランジスタ、ダイオード及び抵抗は、離間ではなく接近した位置にあり、このままでは電氣的分離が達成できないので、前述の二酸化シリコン隔壁によって電氣的分離を達成しており、この構成は、距離的離間によりバルク抵抗を介在させて回路素子間の電氣的分離を達成している要件aの構成と異なる。

(六) (1) 被告の主張6 (六) は争う。

(2) 「主要な表面」について

本件発明の構成要件bの「主要な表面」の意味は、前記4 (六) (5) のとおりであるところ、ロ号物件の構成は、別紙ロ号物件目録四、五の各②記載のとおり、記憶回路部分ダイオードのうちスイッチ用ダイオード(14)のアノードを画定するP-N接合は、二の酸化シリコン隔壁(24)、(25)の側面に終端しており、書込用ダイオード(11)のカソードを画定するP-N接合は、熱酸化による

酸化シリコン膜（26）に達して終端しており、出力バッファ回路の抵抗（34）を画定するP—N接合も、熱酸化による酸化シリコン膜（26）に達して終端しているから、いずれも、要件bにいう半導体薄板の表面に終端しているといいたい。

（3） 「接合」について

本件発明の構成要件bの「接合」の意味は、前記4（六）（3）のとおりであるところ、出力バッファ回路内のショットキーダイオード（21）aないし（21）eは、たとえば、目録の第13図のショットキーダイオード（21）eのように、P—N接合によって画定された薄い領域を有していない。

また、抵抗は、たとえば、目録の第12図（b）の抵抗（34）eのように、その全体がP—N接合で画定形成されているにとどまり、抵抗内にP—N接合で画定された薄い領域を有していない。

（七）（1） 被告の主張6（七）は争う。

（2） 「被着」について

本件発明の構成要件c2の「被着」の意味は、前記4（七）（4）のとおりであるところ、ロ号物件のポリシリコン層（27）、第1アルミニウム層（29）及び第2アルミニウム層（31）は、いずれも、CVDによるか又はスパッタリングにより密着した層であるから、このような構成は、構成要件c2の「被着」に該当しない。

（3） 「層構造」について

本件発明の構成要件c1、c2の意味する層構造は、前記4（七）（5）のとおりであるところ、ロ号物件の対応する構成は、ロ号物件目録四及び五の各③のとおり、基板上のN型エピタキシャル層（9）の上面側上部に、①熱酸化及びCVDにより形成した酸化シリコン膜（26）（熱酸化による絶縁膜A1）、②CVDにより形成したポリシリコン層（27）（導電層B1）、③スパッタリングにより密着させた第1アルミニウム層（29）（導電層B2）、④CVDにより形成したリンガラス中間層（30）（絶縁性材料A2）、⑤スパッタリングにより密着させた第2アルミニウム層（31）（導電層B3）、⑥CVDにより形成したリンガラス被覆層（32）（絶縁性保護膜）を順次積層してなる多層ないし階層構造（下から順に、A1/B1/B2/絶縁層A2/導電層B3）であるから、要件cとロ号物件とは層構成において相異なる。

ロ号物件において、構成要件cの絶縁物質（A）に対応するのは、前述した酸化シリコン膜（26）（熱酸化及びCVDによる絶縁膜A1）とCVDにより形成したリンガラス中間層（30）（絶縁性材料A2）のいずれであるかが問題であるが、仮に、前者を選ぶと、酸化シリコン膜（26）は、蒸着被覆層ではなく、その上に、ポリシリコン層（27）とアルミニウム層（29）とを重合してなる配線の構造は、要件cの単純な一層の金属配線と異なるといわなければならない。

また、導電物質としてアルミニウム層（31）を選ぶと、この層は、半導体薄板に直接接触した単層の絶縁物質上にあるのではなく、複数層の絶縁層及び導電層

（前記A1、B1、B2、A2）の上に積層されているから、これまた要件cの構成とは異なるといわなければならない。

（八）（1） 被告の主張6（八）は争う。

（2） 本件発明の構成要件d1、d2の解釈は、前記4（八）（2）のとおりであるところ、ロ号物件は、ロ号物件目録四及び五の各④に掲げたとおり、記憶回路部分のメモリセルを構成する各書込用ダイオード（11）のP—N接合で画定された薄い領域であるカソード（12）の相互間のビット線方向の電氣的接続は、酸化シリコン膜（26）上に密着したポリシリコン層（27）及びこれにスパッタリングにより密着させた第1アルミニウム層（29）の重合層の配線によっている。また、出力バッファ回路の各トランジスタのP—N接合で画定された薄い領域相互間の電氣的接続も同様である。これらの接続構造は、要件d1の一層の蒸着絶縁物質上に一層の金属線を置いただけの単純な一層構成による接続構造とは異なる。

また、前記薄い領域以外の必要な回路接続についていうと、前記メモリセルを構成する各スイッチダイオード（14）のP—N接合で画定された薄い領域ではないカソード（15）間のワード線方向の接続は、たとえばロ号物件目録第6図に示したダイオード（14）aないし（14）cのカソード（15）aないし（15）cのように、+N型コンタクト領域（28）に接触するポリシリコン層（27）に密着した第1アルミニウム層（29）及びリンガラス中間層（30）に密着した第2アルミニウム層（31）の配線によって、電氣的に接続されている。

更に、出力バッファ回路の各トランジスタのP-N接合で画定された薄い領域とそれ以外の部分の電氣的接続及び薄い領域以外の部分相互間の電氣的接続は、酸化シリコン膜（26）上に密着したポリシリコン層（27）及びこれにスパッタリングにより密着させた第1アルミニウム層（29）の重合層の配線によっている。

これらの接続構造は、バルク抵抗による電氣的接続ではないから、要件d2の構成に該当しないというべきである。

(九) (1) 被告の主張6(九)は争う。

(2) 「本質的に平面状に配置されている」について

本件発明の構成要件eの「本質的に平面状に配置されている」の意味は、前記4

(九) (2) のとおりであるところ、ロ号物件は、ロ号物件目録四及び五の各⑤に掲げたとおり、記憶回路部分には、①スイッチ用ダイオード（14）、②その上に書込用ダイオード（11）が互いに高さレベルを異にして重層状に配置されており配線は③酸化シリコン膜（26）上に密着したポリシリコン層（27）及びこれにスパッタリングにより密着させた第1アルミニウム層（29）の重合層による配線及び④その上のリングガラス中間層（30）に密着させ右第1アルミニウム層（29）の配線と交差させた第2アルミニウム層（31）による配線によっている。

前記①と②の書込用ダイオードとスイッチ用ダイオードの配置関係は、一平面状ではなく階層状であり、同③と④の配線も一平面状ではなく、立体交差の階層状配線である。

6 本件発明の分割出願は、不適法である。

(一) 原出願にかかる発明の再度の拒絶審決当時における明細書の特許請求の範囲（甲第四号証の判決三丁表一〇行から四丁表二行）は「一主面を有する単一の半導体薄板よりなる半導体装置において、該薄板に形成され、上記一主面で終るP-N接合により画成された少なくとも一つの領域を含む少なくとも一つの受動回路素子、該受動素子との間に必要な絶縁を与えるように、該受動素子から離間されて上記薄板に形成され、上記一主面で終るP-N接合により画成された少なくとも一つの領域を含む少なくとも一つの能動回路素子、上記一主面を実質上全部被覆し接触部のみを露出するように上記領域の少なくとも二つに対応して設けられた孔を有するシリコンの酸化物よりなる絶縁物質、該絶縁物質に密接し上記少なくとも二つの領域間に延び上記孔を通して上記領域を電氣的に接続する電気導体とを具備する事を特徴とする半導体装置」というものである。

(二) この記載（以下6項において単に「甲」という。）と、本件明細書の特許請求の範囲の記載（以下「乙」という。）とを比較すると、両者は、いずれも回路素子を含み主要な表面を有する半導体薄板を本体とした半導体装置であって、右回路素子は、互いに離間して形成され、薄板の主要な表面に終わる接合により確定された薄い領域を少なくとも一つ有し、主要な表面上の絶縁物質上に導電物質があり、これによって、右薄い領域間が電氣的に接続された構成である点において一致している。

もっとも、両特許請求の範囲の記載には、若干の相異があるが、次のとおり、これらの相異はいずれも単なる表現上のものにすぎず、両者の実質的な内容は同一である。したがって、原出願からの本件特許分割出願は、分割の適法要件を欠くことが明白である。

(1) 甲は、単に「半導体装置」と記載し、半導体薄板について「少なくとも一主面を有する」と記載しているのに対して、乙は、「半導体装置」に「電子回路用の」と付記し、半導体薄板が「主要な表面及び裏面を有する」旨記載し、外部接続用の「複数の引出線」について記載している。

しかしながら、甲の「半導体装置」は、「受動回路素子」と「能動回路素子」とを「電氣的に接続」した構成の装置であるから、電子回路用の装置であり、そうであるからには、入力信号用、出力信号用、電源用及び接地用の外部に接触する複数の引出線を設けるのは当然かつ必須不可欠のことである。この点の記載の有無によって、甲乙両者が異なるとはいえない。また、甲及び乙の半導体薄板は、いずれも「一主面を有する」点において異ならず、甲も表裏両面を主面とする構成を含むことが明白である（甲乙両者の各明細書に例示されている装置内の回路素子の種類と配置構成及び装置としての物的構成は同一であり、乙の半導体薄板の裏面が主要な面であるからには、甲も表裏両面を主要面とするものといわざるを得ない。）。よって、甲と乙とは、回路装置及びその基本構造において異なるところがない。

(2) 甲は、「少なくとも一つの受動回路素子」及び「少なくとも一つの能動回

路素子」を有し、右回路素子が、「一主面で終るP—N接合により画成された少なくとも一つの領域」を有する旨記載しているのに対して、乙は、回路素子を「複数の回路素子」と記載し、回路素子の一つの領域を画定する「接合」の態様について「P—N接合」の語を欠いている。

しかしながら、甲の「少なくとも一つの受動回路素子」及び「少なくとも一つの能動回路素子」とは、結局二つ以上の回路素子を意味し、乙における「複数の回路素子」も二つ以上の回路素子を意味するから、甲乙両者の間に差異はない。また、乙の明細書に、回路素子内の薄い領域を画定するものとして開示されているのは「P—N接合」のみであるから、回路素子の数及び構造において甲乙両者間に異なるところはない。

(3) 甲は、能動回路素子と受動回路素子が「必要な絶縁を与えるように」離間されていると記載しているのに対して、乙は、離間に「距離的」の語を冠し、右離間が「必要な絶縁を与える」旨の記載を欠いている。

しかしながら、甲の回路素子間の離間も、距離的な離間であることというまでもなく、この離間が「回路素子間の必要な絶縁を与える」旨の記載は、構成としての離間の作用ないし機能についての記載であるところ、乙の距離的離間も、回路素子間の必要な絶縁を与える離間を含むことが明らかである。よって、甲乙両者は、回路素子間の絶縁ないし分離の構成においても異なるところがない。

(4) 甲は、半導体薄板上の絶縁物質を「シリコンの酸化物によりなる絶縁物質」と記載し、右絶縁物質が半導体薄板の一主面を実質上全部被覆し、電気導体と回路素子の薄い領域との接触部のみを露出するように右薄い領域の少なくとも二つに対応して設けられた孔を有する旨記載しているのに対して、乙においては、絶縁物質を「不活性絶縁物質」と抽象的に記載し、絶縁物質の必要な箇所、回路素子の薄い領域と絶縁物質上の導電物質とを接続するための孔を設ける旨の記載がない。

しかしながら、乙の「不活性絶縁物質」にはシリコンの酸化物が含まれ、乙の明細書には不活性絶縁物質としてシリコン酸化物が開示されているのみであるから、この点において両者は異なる。また、乙が少なくとも二つの回路素子の薄い領域相互間を絶縁物質上の導電物質によって電氣的に接続した構成であるからには、接続を要する回路素子の薄い領域上の絶縁物質に孔があいているのは当然である。右電氣的接続に必須的な孔についての記載の有無によって、甲乙両者の構成が異なるとはいえない。

(5) 甲は、回路素子のP—N接合で画成された領域間を電氣的に接続する「電気導体」を絶縁物質に「密接」して設けている旨記載しているのに対して、乙は、「回路接続用」の「導電物質」が「不活性絶縁物質」上に「被着」されている旨記載している。

しかしながら、甲の電気導体と乙の導電物質とは同義であり、甲の電気導体の絶縁物質への「密接」とは、原々特許の明細書（甲第三号証の二）にいう「縫箔」、「敷設」又は「置く」と同義であるところ、右各語と乙の導電物質の不活性絶縁物質上への「被着」とは同義であるから、この点において甲乙両者の間に異なるところはない。

(6) 甲は、前記電気導体による電氣的接続以外に電氣的接続手段について記載していないのに対して、乙は、「電子回路を達成する為に上記複数の回路素子の間に必要なる電子回路接続がなされており」と記載している。

しかしながら、甲が回路素子のP—N接合により画成された薄い領域相互間の電氣的接続のみでは電子回路を構成できず、他の必要な電氣的接続手段を有しなければならないことは、回路を知るものにとって自明の常識である。甲においても、電子回路を達成するため回路素子の薄い領域間の電氣的接続以外に必要な電氣的接続をすることを当然の前提としているものであるから、右の他の必要な電氣的接続手段についての記載の有無によって、甲乙両者が異なるとはいえない。

(7) 甲は、回路素子と導電物質の配置について記載していないのに対して、乙は、電子回路が複数の回路素子と導電物質とによって「本質的に平面状に配置されている」旨記載している。

しかしながら、甲は、平たい半導体薄板を利用し、その一主面に終わるP—N接合で画成された領域を含む複数の回路素子を形成し、その上の絶縁膜上に密接させた電気導体を回路接続に用いているから、右複数の回路素子と電気導体とが本質的に平面状（平坦）に配置されることになるのが当然である。乙の「平面状に配置」とは、単に上から見ての「二元的配置」ではなく、「平坦な配置」を意味するが、

いずれにせよ、これらの配置の態様において甲乙両者の間に異なるところはない。甲と乙の実施例ないし開示例は、右の点において同じである。

(三) よって、本件特許分割出願は、出願日遡及の利益を受けることができず、その出願日は、分割出願の現実の出願日である昭和四六年一月二日とすべきであり、本件発明は、その分割出願時に公知となっていた原々特許の特許公報（甲第三号証の一）及び関連分割出願の特許公報（甲第五号証、特公昭四〇一四三八七）に説明記載されている発明と同一であるから、本件発明は新規性を欠くことが明白であり、無効事由を有するものである。したがって、本件発明の技術的範囲は、本件明細書中の開示例又は本件特許分割出願の当初の明細書の特許請求の範囲（甲第六号証の五の六頁）に記載された具体的構成に限定されるべきである。

そうすると、イ号物件もロ号物件も、本件発明の技術的範囲に属しない。

五 原告の反論6に対する被告の再反論

1 原告の反論6は争う。

2 本件発明（乙）は、原出願にかかる発明（甲）とは、次のとおり、少なくとも、回路素子の距離的に離間につき必要な絶縁を要件としていないこと、平面状配置を要件としていることにおいて相違しているものであり、分割出願が不適法であるとの原告の主張は合理性を欠く。

(一) 本件発明の「距離的に離間」とは、文字どおり、複数の回路素子が互いに物理的に離れていることを意味するのであって、それ以上に、どのような方法で回路素子間を電氣的に分離するかは、本件発明の問うところではなく、ましてや、バルク抵抗による電氣的分離を要件と解する余地はない。

原発明と本件発明はともに、フリップ・フロップ回路によって実施例を開示するものであるが、前者では、バルク抵抗等による電氣的分離を与える離間に着目し、これを要件としていたのに対し、後者では、平面状配置という構成に着目し、三個以上の回路素子を平面状に配置し、これらにより融通性ある回路を形成しようようにするため、回路素子間を距離的に離間させることとしたのであり、いかえれば、平面状配置の前提として距離的離間を要件としたものである。本件発明にあっては、平面状配置された電子回路を構成する前提として、複数の回路素子を距離的に離間することが必要であるが、回路素子間の電氣的分離のために実施例のようにバルク抵抗を利用するか、あるいは、それ以外の方法を利用するか、は当業者の任意に任されているのである。

(二) 本件発明の「複数の回路素子」は三個以上の「回路素子」を意味するのであって、原発明のように、一個の受動回路素子と一個の能動回路素子では本件発明の平面状配置を達成することはできない。また、三個以上の受動回路素子、能動回路素子をもって原発明を実施した場合でも、回路素子を直線状に配置すれば本件発明の平面状配置とはならないのであって、本件発明の平面状配置は、原発明を実施したからといって当然にもたらされる構成ではない。

また、原告の解釈する本件発明の平面状配置の解釈は、本件発明の技術的範囲を実施例に限定したうえで、本件発明の要件eの意義を否定しなければおよそ採りえない解釈である。

特許請求の範囲に記載された要件を自らの都合の良いように無視して解釈し、これをもって本件発明と原発明とは実質上同一であるとするのは暴論という他はない。

3 本件発明は、原々出願の特許公報（特公昭四〇一三二一七号の訂正公報・甲第三号証の一）の特許請求の範囲に記載された発明（以下「発明A」という。）、原出願と同時にされた分割出願中の一件の明細書（特公昭四〇一四三八七号公報・甲第五号証）の特許請求の範囲に記載された発明（以下「発明B」という。）及び原出願の明細書の最終の特許請求の範囲に記載された発明（甲第四号証の判決三丁表一〇行から四丁表二行参照、以下「発明C」という。原告の反論中の「甲」）と対比すると、回路素子の距離的離間につき、格別の限定がない点、電子回路が、複数の回路素子及び不活性絶縁物質上の回路接続用導電物質によって本質的に平面状に配置されているという要件を備えている点などにおいて、発明A、B、Cとは明らかに異なっており、これらの発明とは明確に異なるものである。

また、技術的思想の観点からみても、本件発明、発明A、発明B及び発明Cは、次のとおり、それぞれ他と異なる別個の特徴を有しており、互いに異なる発明である。

即ち、①発明Aは、能動回路素子と受動回路素子との間の半導体基板中に、電氣的分離を設けるという構成を特徴とし、②発明Bは、回路素子が、P型N型領域を

有し、両領域にそれぞれ添着された電気接点が絶縁物質上に延びているという構成を特徴とし、③発明Cは、受動回路素子と能動回路素子との間に必要な絶縁を与え、シリコン酸化物よりなる絶縁物質上に密接して延びる電気導体で、両回路素子の領域を電氣的に接続するという構成を特徴としているのに対し、本件発明は、電子回路を構成するために、半導体薄板に離間して形成された複数の回路素子と、それらの回路素子中の選ばれた薄い領域を相互に接続する不活性絶縁物質上の回路接続用導電物質とを、本質的に平面状に（二次元的拡がりをもって）配置するという構成を特徴とするものである。

第三 証拠（省略）

理 由

（本理由中で引用する書証は全て成立について当事者間に争いがないもの、原本の存在及び成立について当事者間に争いがないものである。）

第一 請求の原因について

請求の原因1ないし3の各事実及び同4のうち原告に訴えの利益があるとの点は、当事者間に争いがない。

第二 被告の主張について

一 被告の主張1及び2の各事実は当事者間に争いがない。

二 甲第二号証（本件公報）によれば、本件発明は、その目的及び効果を次のとおりとするものであることが認められる。

1 回路素子が半導体薄板の一面上の不活性絶縁物質上に置かれた複数の導線により容易に相互接続し得るように、半導体薄板の一面上に、上記表面上で相互に距離的に離間された関係に形成された回路素子を有する一体化回路にして、これにより、右回路素子とそれらの相互接続とを単一の構造になし、コンパクトで機械的電氣的に安定な装置で、かつ高度の複雑さの回路の多様性を可能ならしめたものである（本件公報1欄一三行から二一行）。

2 本件発明に用いられる回路素子は、N型もしくはP型いずれか一つの型に導電型を示す単一半導体物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導体との間あるいは拡散領域自体間にP-N接合を形成することにより達成され、また、本件発明の原理により全電子回路の成分が半導体物質の本体に組み立てられる。電子回路の能動及び受動の成分あるいは回路素子は半導体薄板の一面あるいはその近くに形成される。その結果、得られる回路は、本質的に平面状に配置されることになり、処理工程中に半導体材料薄板の成形を行い、拡散により希望の各種回路素子を適当な関係で製造することが可能である（同1欄二二行から2欄一二行）。

3 本件発明の効果は、製造製作上満足なものであり、かつ、マスクング、エッチング及び拡散のような限定された両立性ある工程が一主面からなしうるので大量生産に適し、更に、能動及び受動回路素子の電氣的接続の態様が融通性に富み、したがって、回路が多種多様にできるという点にある（同2欄一三行から一九行）。

4 従来技術よりも少ない工程を含む新規な小型化電子回路を提供する（同2欄一九行から二一行）。

5 本質的に、電子回路の小型化に関するものである（同2欄二二行及び二三行）。

6 全部単一の物質、すなわち半導体から形成されうる故に、回路設計において、それら全部を、拡散P-N接合を含む単一結晶半導体薄板に適当な回路及び適正な成分値をもつ様に一体化して形作る事が可能である（同5欄一九行から二三行）。

7 複数の回路素子は、半導体薄板の一主面上に平板状に配置され、マスクング、エッチング及び拡散の様な両立性ある工程が一主面から成し得るので半導体装置の大量生産に適している。更に、複数の回路素子の接続が絶縁物質上で行なうことができるので回路に融通性、多様性があると共に大量生産に適している（同5欄二四行から三〇行）。

三 甲第一号証、甲第二号証、甲第三号証の一ないし三、甲第三号証の五の一、甲第四号証、甲第六号証の一、甲第六号証の二、甲第六号証の四ないし一二、乙第一号証ないし乙第三号証及び弁論の全趣旨によれば、被告は、昭和三五年二月六日、一九五九年（昭和三四年）二月六日及び同年二月一二日の各米国特許出願に基づく優先権を主張して、名称を「半導体装置」（当初は「小型化電気回路及びその製作方法」とする発明（以下「原々発明」という。）について特許出願（特願昭三五

一三七四五号)をしたが、その後、昭和三九年一月三〇日、右出願を原出願として、名称を「半導体装置」とする発明(以下「原発明」という。)につき、旧特許法九条一項の規定により、前記優先権を主張して分割出願(特願昭三九一四六八九号)をし、更に、昭和四六年一月二二日、右原発明にかかる分割出願を原出願とし、名称を「半導体装置」とする発明(以下「本件発明」という。)につき、旧特許法九条一項の規定により、前記優先権を主張して分割出願をして本件特許権を取得したものであること、その取得の経緯及び原々発明の出願手続、原発明の出願手続の経過の詳細は、次のとおりであることが認められる。

1 原々発明

- (一) 昭和三五年二月六日特許出願(一九五九年(昭和三四年)二月六日及び同年二月一二日の各米国特許出願に基づく優先権を主張)(甲第三号証の三)
- (二) 昭和四〇年六月二六日出願公告(特公昭四〇一三二一七)(甲第三号証の二)
- (三) 昭和五二年六月一三日登録(弁論の全趣旨)
- (四) 昭和五二年九月二八日特許異議申立による補正に基づく公報の訂正(甲第三号証の一)
- (五) 昭和五五年六月二六日存続期間満了(弁論の全趣旨)

2 原発明

- (一) 昭和三九年一月三〇日分割出願(前記各米国特許出願に基づく優先権を主張)(甲第三号証の五の一)
- (二) 昭和四二年六月二一日拒絶査定(甲第四号証)
- (三) 同年一〇月一七日抗告審判請求(昭和四二年審判第七五七一号)(甲第四号証)
- (四) 昭和四三年三月二九日「本件抗告審判の請求は成り立たない。」との審決(甲第四号証)
- (五) 昭和四三年九月四日審決取消訴訟の提起(昭和四三年(行ケ)第一一六号)(甲第四号証)
- (六) 昭和五一年二月五日前記審決を取消す旨の判決(その後確定)(甲第四号証)
- (七) 昭和五四年一〇月一一日「本件抗告審判の請求は成り立たない。」との再度の審決(甲第四号証)
- (八) 昭和五五年 審決取消訴訟の提起(昭和五五年(行ケ)第五四号)(甲第四号証)
- (九) 昭和五九年四月二六日原告(本件における被告)の請求を棄却する旨の判決(その後確定)(甲第四号証、弁論の全趣旨)

3 本件発明

- (一) 昭和四六年一月二二日分割出願(前記各米国特許出願に基づく優先権を主張。その後一九五九年二月一二日の米国特許出願に基づく優先権主張失効。)(甲第六号証の四、五)
- (二) 昭和四七年四月二六日上申書提出(甲第六号証の六)
- (三) 昭和五四年一〇月一五日付訂正書提出を命じる通知(甲第六号証の七)
- (四) 昭和五五年六月一二日訂正書提出(甲第六号証の八)
- (五) 昭和五七年三月三一日付拒絶理由通知(甲第六号証の九)
- (六) 昭和五七年八月二七日意見書及び訂正書提出(甲第六号証の一〇)
- (七) 昭和五八年八月一一日拒絶査定(甲第六号証の一)
- (八) 昭和五八年 抗告審判請求(昭和五八年審判第九五〇〇一号)(甲第二号証)
- (九) 昭和六〇年一月一一日回答書提出(甲第六号証の一)
- (一〇) 昭和六一年一月二七日出願公告(甲第二号証)
- (一一) 昭和六二年一月二六日本件原告特許異議申立(乙第一号証)
- (一二) 昭和六二年一月二七日訴外日本電気株式会社特許異議申立(乙第二号証)
- (一三) 平成元年六月三〇日右各特許異議申立につき「本件特許異議の申立は理由がないものとする。」との決定及び特許すべき旨の審決(甲第一号証、甲第一号証ないし乙第三号証)
- (一四) 平成元年一〇月三〇日登録(甲第一号証、乙第三号証)

四 本件特許権は、旧特許法(大正十年法律第九十六号)の施行中の昭和三五年二月六日に出願され、現行特許法の施行後も特許法施行法二〇条一項の規定により、

なお従前の例により審査、審判の手続きを経て特許されたものであるが、その権利の及ぶ範囲を確定し、イ号物件、ロ号物件が本件特許権を侵害するか否かの判断は、現行の特許法の下で、出願され、特許されたものと同様に判断すべきものである。

特許発明の技術的範囲は願書に添付した明細書の特許請求の範囲の記載に基づいて定めなければならない(特許法七〇条一項)ものである。特許請求の範囲の記載は、「特許を受けようとする発明の構成に欠くことのできない事項のみを記載した項に区分してあること」、「特許を受けようとする発明が発明の詳細な説明に記載したものであること」という条件に適合するものであることを要し(特許法三六条五項)、他方、発明の詳細な説明には、「その発明の属する技術の分野における通常の知識を有する者が容易にその実施をすることができる程度に、その発明の目的、構成及び効果を記載しなければならない。」(特許法三六条四項)ものとされているのであるから、特許発明の技術的範囲を定めるに当たっては、特許請求の範囲の記載を、発明の詳細な説明の記載及びそれを補完するものとして必要な場合に願書に添付される図面に照らして解釈して定めるべきものであり、右解釈に当たっては、明細書が前提としていた出願当時の技術水準を示す公知技術、出願人が出願過程で表明したその意図をも参酌することができるものと解するのが相当である。

(旧特許法施行規則三八条三項には、「特許請求ノ範囲ニハ発明ノ構成ニ欠クヘカラサル事項ノミヲ一項ニ記載スヘシ」と、同二項には、「発明ノ詳細ナル説明ニハ其ノ発明ノ属スル技術分野ニ於テ通常ノ技術的知識ヲ有スル者カ其ノ発明ヲ正確ニ理解シ且ツ容易ニ実施スルコトヲ得ヘキ程度ニ其ノ発明ノ構成作用、効果及実施ノ態様ヲ記載シ併セテ特許請求ノ範囲ノ記載事項ノ意義ヲ明確ニスルヲ要ス」と規定されていたのであるから、本件発明の技術的範囲を定めるに当たって前記のとおりの方法を採用しても支障のないことは明らかである。)

また、特許請求の範囲の記載を解釈するに当たって、実施例が発明の詳細な説明の記載や図面に開示されていることから、特許発明の技術的範囲を実施例として開示されたものに限定することが許されないことは当然であるが、前記のような方法で、特許請求の範囲を解釈した結果、特許発明の技術的範囲が実施例として開示されたものと同じとなることがあるのはいうまでもない。

更に、右のようにして定めた特許発明の技術的範囲に、右特許発明にかかる特許権を侵害するものとされる物件が属するか否かの判断に当たっては、問題となる特許発明の構成要件に対応する右物件の要素が特許発明の出願当時には開発されておらず、当該特許発明の出願後に現われた技術であっても、それが当該特許発明の構成要件を充足する限り、当該特許発明の技術的範囲に属するものと解すべきであり、出願当時に存在しなかった技術であるからという理由で、当該特許発明の技術的範囲に属しないとすべきものではない。

しかし、前記のような方法によって特許発明の技術的範囲を定めた結果、出願後に現われた技術を包含しないことになることがあり得ることは論をまたない。

五 イ号物件(一メガビットDRAM)、ロ号物件(三二キロビットPROM)は、それぞれ本件発明の構成要件A2を充足する「電子回路用の半導体装置」といえるか。

1 被告は、本件発明の技術的範囲に属する半導体装置であるためには、半導体装置が所定の要件を充たす電子回路を有していれば足り、同じ半導体装置が有する他の電子回路がどういうものであるかは問うところではなく、イ号物件の基板バイアス回路中の遅延電子回路が本件特許請求の範囲にいう電子回路の要件を充たしていれば、他の電子回路がどんなものであるかを問うまでもなく、ロ号物件の記憶回路部分の記憶回路、制御回路部分の出力バッファ回路が本件特許請求の範囲にいう電子回路の要件を充たしていれば、他の電子回路がどんなものであるかを問うまでもない旨主張し、原告は、本件発明の対象(保護対象)は、電子回路ではなく、電子回路用の半導体装置、すなわち、電子回路を化体し実現した全体として一個の有形の一体物であり、その保護対象も一物の全体であると解すべきであり、イ号物件は、複雑な電子回路を化体した一個の物としての一メガビットDRAM装置であり、本件発明と対比されるべきはこの一個の装置の構成であってその一部分ではなく、同様に、ロ号物件は、約七万個のダイオードやトランジスタ等を有する複雑な電子回路を化体した一個の物としての三二キロビットPROM装置であり、本件発明と対比されるべきはこの一個の装置の構成であってその一部分ではない旨主張している。

また、被告は、本件発明の構成要件A2の「複数の回路素子を含み」とは、本件

発明の「複数の回路素子」以外の回路素子を有してはならないことを意味するものではなく、半導体薄板上に「複数の回路素子」を介する本件発明の「電子回路」が形成されていれば、本件発明の技術的範囲に属すると解すべきである旨主張し、これに対し、原告は、本件発明の構成要件A2の「複数の回路素子」とは、半導体装置内の電子回路を構成する回路素子の全部の総称である旨主張している。

そこで、被告の指摘する基板バアイス回路中の遅延電子回路を有するイ号物件、被告の指摘する記憶回路部分の記憶回路及び制御回路部分の出力バッファ回路を有するロ号物件が、それぞれ本件発明の構成要件A2を充足する「電子回路用の半導体装置」いえるかどうかについて判断する。

2 まず、本件明細書の特許請求の範囲の記載について検討する。

(一) 本件明細書の特許請求の範囲の冒頭には、「複数の回路素子を含み主要な表面及び裏面を有する単一の半導体薄板と；上記回路素子のうち上記薄板の外部に接続が必要とされる回路素子に対し電氣的に接続された複数の引出線と；を有する電子回路用の半導体装置において」との記載があるところ、右記載によれば、「複数の回路素子を含み主要な表面及び裏面を有する単一の半導体薄板」と「上記回路素子のうち上記薄板の外部に接続が必要とされる回路素子に対し電氣的に接続された複数の引出線」と「を有する」という文言を受けている語句は、電子回路用の「半導体装置」であって、「電子回路」ではない。

「電子回路」が「単一の半導体薄板」や「複数の引出線」を有すると解することは明らかに不自然であり、「半導体装置」が「単一の半導体薄板」や「複数の引出線」を有すると解するのが自然かつ合理的である。

したがって、本件明細書の特許請求の範囲の文章的な構造は、「……単一の半導体薄板と、……複数の引出線とを有する（電子回路用の）半導体装置において、

（a）～（e）の）ことを特徴とする半導体装置」であり、本件発明の対象は半導体装置であることは自明である。

(二) また、本件明細書の特許請求の範囲には、「複数の回路素子を含み主要な表面及び裏面を有する単一の半導体薄板と；上記回路素子のうち上記薄板の外部に接続が必要とされる回路素子に対し電氣的に接続された複数の引出線と；を有する電子回路用の半導体装置において、（a）上記の複数の回路素子は、上記薄板の種々の区域に互に距離的に離間して形成されており、（b）上記の複数の回路素子は、上記薄板の上記主要な表面に終る接合により画定されている薄い領域をそれぞれ少なくともひとつ含み；」と記載されており、（a）及び（b）にいう「上記の複数の回路素子」とは、冒頭の「複数の回路素子を含み主要な表面及び裏面を有する単一の半導体薄板」にいう「複数の回路素子」の全てを指していると解するのが、通常解釈である。

そうすると、「主要な表面及び裏面を有する単一の半導体薄板」に存する「複数の回路素子」は、全て構成要件a、bを充足しているものと認められる。

(三) 次に、本件明細書の特許請求の範囲は、右（二）のとおり冒頭から、「複数の回路素子を含み……半導体薄板と、……複数の引出線と、を有する電子回路用の半導体装置において」との文言的構造を有しているものである。

ところで、一般に、「xの特徴を有する複数の回路素子を含む半導体薄板と、…引出線と、を有する電子回路用の半導体装置において」と表現される特許請求の範囲を想定すれば、文言としては、その半導体薄板には「xの特徴を有する複数の回路素子」の外に「xの特徴を有しない複数の回路素子」を含むものと解する余地がある。即ち、「xの特徴を有する複数の回路素子」の存在を前提とするからには、「xの特徴を有しない複数の回路素子」が存在することも前提となり、電子回路用の半導体装置を構成する半導体薄板である以上、発明の要件である「xの特徴を有する複数の回路素子」を含む外に、「xの特徴を有しない複数の回路素子」を含むことが、付加事項又は設計事項として許容され、あるいは、技術上自明の事項とされる余地がある（勿論「xの特徴を有しない複数の回路素子」を含むことが許されないものとされる余地もある）ものと解するのが文言として不自然でないからである。

これに対し、「複数の回路素子を含む半導体薄板と、……の引出線と、を有する電子回路用の半導体装置において」と表現される特許請求の範囲を想定すれば、文言としては、その「複数の回路素子」とは、そうでないことが明細書の他の部分や図面で明示されていない限り、当該半導体薄板に含まれている全ての回路素子を指示するものと解するのが自然な解釈である。

即ち、「複数の」という限定の性質上、ある「複数の回路素子」とは別の単数又

は複数の回路素子が存在すると仮定しても、特段の限定なく単に「複数の回路素子」と言えば、その別の単数又は複数の回路素子をも含めて「複数の回路素子」と表現していると解されるからである。

したがって、本件明細書の特許請求の範囲の冒頭の「複数の回路素子」も、そうでないことが明細書の他の部分や図面で開示されていない限り、本件発明の半導体装置を構成する半導体薄板に含まれる全ての回路素子を指すものと解するのが自然であるところ、特許請求の範囲中には、右「複数の回路素子」が半導体薄板に含まれる回路素子の一部を指すことを示す記載はない。

(四) 更に、本件明細書の特許請求の範囲の記載には「複数の回路素子を含み…単一の半導体薄板と、…複数の引出線と、を有する電子回路用の半導体装置において、(a) ……、(b) ……、(c) ……、(d) 上記互いに距離的に離間した複数の回路素子中の選ばれた薄い領域が、上記不活性絶縁物質上の複数の上記回路接続用導電物質によって電氣的に接続され、上記電子回路を達成する為に上記複数の回路素子の間に必要な電気回路接続がなされており、(e) 上記電子回路が、上記複数の回路素子及び上記不活性絶縁物質上の上記回路接続用導電物質によって本質的に平面状に配置されている、ことを特徴とする半導体装置。

」と記載されているところ、(d) 及び(e) 中の「上記電子回路」が、「電子回路用の半導体装置」の「電子回路」を指すこと、(d) 及び(e) 中の「上記複数の回路素子」が冒頭の「複数の回路素子」を指し、(d) 中の「上記互いに距離的に離間した複数の回路素子」が(a) の特徴を有した複数の回路素子、即ち冒頭の「複数の回路素子」を指すことは、いずれも明白である。

そして、(d) の特徴には、複数の回路素子中の選ばれた薄い領域が回路接続用導電物質によって電氣的に接続され、「上記複数の回路素子」の間に必要な電子回路接続がなされるのは、本件発明の半導体装置の「電子回路を達成する為」であることが示されているから、本件発明の半導体装置の電子回路は、「上記複数の回路素子」の間に必要な電氣的な接続がなされることによって達成されるもので、「上記複数の回路素子」以外の回路素子を含まないものと解するのが自然である。

次に(e) の特徴には、本件発明の半導体装置の電子回路が、上記複数の回路素子及び回路接続用導電物質によって本質的に平面状に配置されていることが示されており、本質的に平面状に配置されることを要件とする以上、電子回路に含まれる全ての回路素子が半導体薄板に配置されていることを要し、本件発明の半導体装置の電子回路は、「上記複数の回路素子」と回路接続用導電物質によって半導体薄板に配置されており、「上記複数の回路素子」以外の、半導体薄板に含まれる回路素子及び半導体薄板に含まれない回路素子を構成要素としないものと解するのが妥当である。

3 次に本件明細書の発明の詳細な説明の記載について検討する。

(一) 本件明細書の発明の詳細な説明には、「本発明は、主要な表面と裏面とを有する単一の半導体薄板に、本質的に平面状に配置された複数の回路素子と、この薄板の外部に接続が必要とされる回路素子に対し電氣的に接続された複数の引出線とを有する電子回路用の半導体装置に関するものである。」(本件公報1欄六行から一一行)との記載があることが認められる。

右記載は、本件発明が電子回路用の半導体装置を対象とするものであることを端的に説明しているものであり、前記2(一)認定の特許請求の範囲の記載及びその解釈に一致するものである。

(二) 本件明細書の発明の詳細な説明には、「本発明に用いられる回路素子はN型もしくはP型いずれか一つの型に導電型を示す単一半導体物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導体との間或は拡散領域自体間にP-N接合を形成することにより達成される。本発明の原理に依れば全電子回路の成分は以降に詳細に説明される技術の適用に依り特徴づけられる様に本体に組立てられる。回路の成分が半導体物質の本体の中に組合され且つその一部を形成している事は注意されるべき事である。」(同1欄二二行から2欄五行)との記載があることが認められる。

右記載によれば、本件発明において、「全電子回路の成分」は、「N型もしくはP型いずれか一つの型に導電型を示す単一半導体物質の本体」に組み立てられるというのであり、単一半導体物質の本体に存在するのは「全電子回路の成分」である。

「全電子回路の成分」との文言の意味は、必ずしも明確ではないが、少なくとも半導体装置に含まれる一部の電子回路のみを問題としているものではないことを窺

わせるものである。

また「全電子回路の成分」は、単一半導體物質の本体に組み立てられる、あるいは、回路の成分が半導體物質本体の中に組合わされ、その一部を形成しているのだから、単一半導體物質の外に存在するものではないことが示されていることは明らかである。

(三) また、本件明細書の発明の詳細な説明によれば、本件発明により、前記二1ないし7記載の目的を達成し、効果を奏するものとされている。

本件発明においては、右のような目的を達成し、効果を奏するため、とりわけ二7の「複数の回路素子は、半導體薄板の一主面上に平板状に配置され、マスキング、エッチング及び拡散の様な両立性ある工程が一主面から成し得るので半導體装置の大量生産に適しており、更に、複数の回路素子の接続が絶縁物質上で行うことができるので回路に融通性、多様性があると共に大量生産に適している」(二3も同じ)、二4の、「従来の技術よりも少ない工程を含む新規な小型化電子回路を提供する」、二5の「本質的に電子回路の小型化に関するものである」との目的を達成し、効果を奏するためには、半導體装置を構成する半導體薄板に含まれる複数の回路素子の全てが、特許請求の範囲に定められた本件発明の複数の回路素子が具備すべき特徴を備えていることを要するものであることは明らかである。

即ち、本件発明の特許請求の範囲に定められた各要件を具備することにより、右のような目的を達成し、効果を奏するのであるから、半導體装置を構成する半導體薄板に、本件発明の複数の回路素子が具備すべき特徴を備えない一個又は複数の回路素子が含まれているとすれば、右のような一体としての半導體装置の生産工程上、回路設計上の効果及び小型化する上での効果を奏することができないものと解されるからである。

更に、とりわけ、二1の「半導體薄板の一面上に、上記表面上で相互に離間された関係に形成された回路素子を有する一体化回路にして、これにより、右回路素子とそれらの相互接続とを単一の構造になし、コンパクトで機械的電氣的に安定な装置……を可能ならしめた」、二6の「全部単一の物質、すなわち半導體から形成されうる故に、回路設計において、それら全部を、拡散P-N接合を含む単一結晶半導體薄板に適当な回路及び適正な成分値をもつ様に一体化して形作る事が可能である」との目的を達成し、効果を奏するためには、本件発明の半導體装置の電子回路を構成する回路素子の全てが単一の半導體薄板に含まれており、右電子回路中には、半導體薄板に含まれない回路素子はないことを要するものであることが明らかである。

(四) 本件明細書の発明の詳細な説明中には、本件発明の「回路素子」について、①「本発明に用いられる回路素子はN型もしくはP型いずれか一つの型に導電型を示す単一半導體物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導體との間或は拡散領域自体間にP-N接合を形成することにより達成される。

」(同1欄二二行から2欄一行)、②「回路の成分が半導體物質の本体の中に組合され且つその一部を形成している事は注意されるべき事である。」(同2欄三行から五行)、③「本発明に依れば電子回路の能動及受動成分或いは回路素子は半導體の薄板の一面或いはその近くに形成される。」(同2欄六行から八行)、④「拡散により希望の各種回路素子を適当な関係で製造することが可能である。」(同2欄一一、一二行)、⑤「更に能動及受動回路素子の電氣的接続の態様が融通性に富み従って回路が多種多様になると云う点にある。」(同2欄一六行から一八行)、⑥「全回路素子は単一の拡散層に関して説明されたが、二重の拡散構成を用いる事も全く可能である。」(同3欄四三行から4欄一行)、⑦「また、複数の回路素子は前述した様に半導體薄板の一主面上に平板上に配置され、マスキング、エッチング及び拡散の様な両立性ある工程が一主面から成し得るので半導體装置の大量生産に適している。更に複数の回路素子の接続が絶縁物質上で行なうことができるので回路に融通性、多様性があると共に大量生産に適している。」(同5欄二四行から三〇行)等の記載があることが認められる。

右①では、「本発明に用いられる回路素子」は、単一半導體物質の本体に拡散技術によりP-N接合を形成することにより達成できるとし、②では、「回路の成分」は、単一半導體物質の本体の中に、その一部として形成されるとし、③では、「電子回路の能動及受動成分或いは回路素子」は、半導體の薄板の一面あるいはその近くに形成されるとし、④では、「各種回路素子」は、拡散によって希望のものを適当な関係で製造することが可能であるとし、⑤では、「能動及受動回路素子」

は、電氣的接続の態様が融通性に富み、したがって回路が多種多様にできるとし、⑥では、「全回路素子」は、二重の拡散構成を用いる事も全く可能であるとし、⑦では、「複数の回路素子」は、半導体薄板の一主面上に平板状に配置されているとしており、いずれも本件発明に用いられる「複数の回路素子」あるいは「回路の成分」が、単一半導体物質の本体に拡散技術によりP-N接合を形成することによって右本体の一部として形成されるものであることなどに言及しているが、発明の詳細な説明を精査しても本件発明の半導体装置中に右「複数の回路素子」とは別に、右「複数の回路素子」以外の回路素子が存在することは開示も示唆もされていない。

右「複数の回路素子」は、拡散技術によって製造されるのであり、本件発明の半導体装置はマスキング、エッチング、拡散の様な工程を経て製造されるのであるから、もし、半導体薄板中に右「複数の回路素子」以外の回路素子が存在しうるのであれば、その存在が本件発明の半導体装置の製造工程、回路設計、小型化の達成に影響を及ぼすことはさげられないはずであり、このような本件発明の達成に影響を及ぼすような「複数の回路素子」以外の回路素子について、発明の詳細な説明中で全く言及されていないことは極めて不自然であり、本件発明の半導体薄板には右「複数の回路素子」以外の回路素子が存在しないことを示唆するものである。

(五) 本件明細書の発明の詳細な説明及び本件発明の特許願に添付された図面に示された実施例としては、本件発明の構成要件a、bを充足する回路素子として、トランジスタT1、T2、抵抗蓄電器C1R8、C2R3のみが開示されており、これらの回路素子の全てが単一の半導体薄板にマスキング、エッチング及び拡散の工程によって形成され、一つの電子回路(マルチバイブレーター)を形成していることが認められる。

右実施例には、本件発明の構成要件a、bを充足する「複数の回路素子」の他に、本件発明の構成要件a、bを充足しない、右「複数の回路素子」以外の回路素子を包含するような電子回路についての開示も示唆もない。

(六) その他、発明の詳細な説明及び図面中には、特許請求の範囲の冒頭の「複数の回路素子」が、半導体薄板に含まれる回路素子の一部を指すことを示す記載はない。

4 右2、3に認定判断したところによれば、本件発明の対象は一個の物としての「半導体装置」であり、しかも本件発明における電子回路用の「半導体装置」とは、特許請求の範囲に記載された要件を全て充足するような、複数の回路素子、回路接続からなる電子回路のみを備えた半導体装置を意味し、単一の半導体薄板の一部に本件発明の構成要件を全て充足する電子回路があり、その余には本件発明の構成要件を充足していない電子回路があるといった半導体装置とか、単一の半導体薄板に含まれない回路素子や単一の半導体薄板に含まれてはいるが特許請求の範囲に記載された要件を充足しない回路素子とその一部を含む電子回路がある半導体装置を意味するものではないと認められる。

即ち、被告が主張するように半導体薄板内の一部に本件発明の構成要件を充足する一体化回路が組み込まれていればその余の部分の構成はどうでもよいというものではない。

したがって、本件発明の構成要件A2を充足する「電子回路用の半導体装置」とは、右に認定したような意味で、半導体薄板に含まれる、特許請求の範囲に記載された要件を全て充足する回路素子のみからなる電子回路のみを備えた半導体装置を意味するものというべきである。

5 (一) 被告は、本件発明は、単一の半導体薄板に、複数の回路素子及び回路接続用導電物質等からなる平面状配置された「電子回路」に関するものである旨主張するが、本件明細書の特許請求の範囲の記載によれば、本件発明が「電子回路の半導体装置」に関するものであることは明らかであり、被告の右主張は、失当である。

(二) また、特許請求の範囲の冒頭の「複数の回路素子を含み主要な表面及び裏面を有する単一の半導体薄板」との記載について、被告は、「含み」といえば、ある物を有することを意味し、少なくとも、それ以外のものを有してはならないことは意味しない旨主張するが、本件明細書の特許請求の範囲の右部分では、「複数の回路素子」の他に「『複数の回路素子』以外の回路素子」が存在することを明示も示唆もせず、端的に「複数の回路素子を含み」といつていること、そもそも特段の特定もなく「複数の回路素子」という語句を使用している場合に、「『複数の回路素子』以外の回路素子」なるものも存在しうるとするのは不自然なことからす

れば、右部分の「含み」は、「単一の半導体薄板」に「複数の回路素子」が含まれているということを示しているのみで、「その『複数の回路素子』以外の回路素子」が存在する余地を示していないものと認められる。

(三) 被告は、抵抗は一般には回路素子といわれるものであり、本件公報の第2図の回路図には本件発明の「回路素子」だけでなく、本件発明の「回路素子」ではない抵抗Rが示されていることから、本件発明の半導体薄板には、本件発明の「回路素子」でない回路素子をも含みうる旨主張している。

しかしながら、被告の右主張は次のとおり理由がない。

(1) 本件明細書の発明の詳細な説明には、「ここには本発明の好ましい実施例を添付図面と共に説明する。……本発明の原理を実施している一体化回路の特別な説明は第1図に示されているが」(本件公報3欄四行から一〇行)、「第2図は、いろいろな回路機能の配線図を、第1図の半導体薄板に占める関係において示している。」(同3欄一八行から二〇行)との記載があり、図面の簡単な説明には、「第1図は本発明による一体化回路を説明する図で、第2図は同じ関係で配置せられた第1図の一体化回路の配線図を示す図である。」(同1欄二行から四行)との記載がある。これらの記載によれば、本件公報の第2図は、本件発明の実施例の装置の斜視図である第1図上での位置関係と対応するように実施例の装置の回路配線図を示すものであることは明らかである。

(2) 第1図に示された実施例の装置の内、R1、R2、R4ないしR7の記号が付された部分は、半導体装置の本体を構成する半導体薄板がその物性に応じた抵抗(バルク抵抗)を有することを前提に、エッチングによりスロットを形成し、あるいは予め計算した形状に形成することにより、裏から言えば、半導体薄板の予め計算した位置にトランジスタや抵抗蓄電器を配置することにより、マルチバイブレーター回路として作動できるように、トランジスタや抵抗蓄電器の回路素子間を所定の抵抗値を有する抵抗接続をする機能を果たしている半導体薄板の区域を指しているものである。そして、これらの各区域が抵抗の機能を果たしていることから、電気技術の分野において抵抗を表わすRの記号が付されたものであることは、発明の詳細な説明中の第1図についての説明の箇所にも、「この薄板の諸区域は種々の区域において果されている回路素子の機能を示す記号を付せられている。」(同3欄一六行から一八行)と記載されていることから明らかである。

そして、第2図では、実施例の装置の回路の配線図として、右抵抗の機能を果たしている区域を、抵抗を表わす回路図の記号で表示したものと認められる。

(3) しかし、右抵抗の機能を果たしている区域は、半導体装置の本体を構成する半導体薄板そのものの一部であって、物として明確な区画を持って独立した回路素子としての抵抗素子とは趣を異にするものであることはまぎれのないことであり、発明の詳細な説明においても、実施例についての説明において、「特にこのエッチングは、R1とR2と回路の他の部分との間に分離を与えるための薄板を通してのスロットを形成し、又予め計算された形状に全部の抵抗の領域を形成する。」(同4欄九行から一三行)と「抵抗の領域」との用語で右抵抗の機能を果たしている区域を表現しているのであって、それ以外に発明の詳細な説明においても、特許請求の範囲においても、右区域を「回路素子」と表現している箇所はないから、本件発明においては、右区域を「回路素子」という一般的技術用語で表現するものではないとされているものと解するのが相当である。

(4) 更に、甲第六号証の六及び乙第五号証によれば、米国特許第二八一六二二八号(乙第五号証。以下「【E】特許」という。)明細書中には、実施例として、NPN又はPNP接合のトランジスタ14とこれに接続された移相回路網22あるいはトランジスタ14に接続された負荷抵抗部分50の記載があるところ、本件特許出願手続中で、出願人である被告は、昭和四七年四月二七日付上申書(甲第六号証の六)を提出し、その中において、【E】特許明細書に示されている発明と本件発明との相違点として、「【E】特許に於けるRC遅延線22は単一の分布回路素子を形成する様共に働き合った領域を具備するのである。……【E】特許に於けるRC遅延線22は本願に於ける抵抗・容量素子C1、R8或いはC2、R3に相当するものである。【E】特許における遅延線22はトランジスタ14に対し直接的な電気接続(接触)を有しているのであってトランジスタから離間しているのではない。ジョソン特許第3図にはトランジスタに接触しているコレクタ負荷抵抗50を示し、2つの素子間に電氣的に直接接続されているものをも示しているのである。これ又『離間せられた』構成ではなく、更に【E】特許の抵抗50は接合に依り分離せられた薄い領域を本質的特徴としていないものである。」(五頁二行か

ら六頁一四行)とし、「従って【E】特許は本願要旨の如き少く共4つの距離的に相互に離間した回路素子を含み、これら回路素子各々が半導体薄板の一主面に終る接合に依り分離せられた薄い領域を含む半導体装置を容易に想起せしめる基礎概念は全く示していないものである。」(六頁一五行から二〇行)と記載していることが認められる。

右記載によれば、被告は、【E】特許におけるバルク抵抗を利用した遅延線22及びコレクタ負荷抵抗50をもって、本件発明における抵抗R1、R2、R4ないしR7とは相異し、本件発明の回路素子に相当するものとしているのであり、したがって、被告は、本件発明において、回路素子と回路素子との間に電氣的接続を与える抵抗の機能を有する領域R1、R2、R4ないしR7を「回路素子」ではないと主張していたものである。

(5) 以上判断したところによれば、一般に抵抗が回路素子といわれることは当裁判所に顕著な事実であるが、被告は本件明細書においても、本件発明の出願過程においても、抵抗の機能を有する区域をもって回路素子とは別のものとしているのであり、本件公報の第2図にR1、R2、R4ないしR7がRの文字及び抵抗の記号で示されていることをもって、本件発明の半導体薄板に、本件発明の特徴を具備する「複数の回路素子」以外の「回路素子」を含むことを示す旨の被告の主張は失当である。

6 (一) 前記4のとおり、本件発明における構成要件A2を充足する「電子回路用の半導体装置」とは、半導体薄板に含まれる、特許請求の範囲に記載された要件を全て充足する回路素子のみからなる電子回路のみを備えた半導体装置を意味するものである。したがって、イ号物件(一メガビットDRAM)、ロ号物件(三二キロビットPROM)を本件発明と対比するに当たっては、イ号物件あるいはロ号物件に含まれる全ての電子回路について、その回路素子(ここでは検討の対象ではないが、回路素子間を接続する導電物質も)が本件発明の要件を具備することを主張、立証することを要するものである。

これに対し、被告は、イ号物件中の基板バイアス回路中の遅延電子回路のみ及びロ号物件中の記憶回路部分の記憶回路、制御回路部分の出力バッファ回路のみを本件発明の構成要件と対比し、それらの回路を含むイ号物件及びロ号物件は本件発明の技術的範囲に属する旨主張するものであり、その主張自体、被告の抗弁として不完全なものであり、失当という外はない。

もとより、イ号物件及びロ号物件に含まれる全ての電子回路について本件発明の構成要件と対比した結果、大部分の電子回路について本件発明の構成要件を充足し、極く一部分の電子回路についてのみ本件発明の構成要件を充足しないものであることが明らかになった場合を仮定すると、そのような場合でもイ号物件又はロ号物件は実質的に本件発明の技術的範囲に属するものと評価できる可能性は否定できないが、そのことと前記の判断は別の問題である。

(二) 前記4のとおり、本件発明における構成要件A2を充足する「電子回路用の半導体装置」とは、半導体薄板に含まれる、特許請求の範囲に記載された要件を全て充足する回路素子のみからなる電子回路のみを備えた半導体装置を意味するものであって、半導体薄板に含まれない回路素子とその一部を含む電子回路がある半導体装置を含むものではない。

イ号物件目録の三、四①並びに第5図ないし第7図の記載によれば、イ号物件のメモリアレイ部分(2)は、約一〇〇万単位のメモリセル(各メモリセル(8) aないしd)からなり、各メモリセル(8) aないしdは、それぞれ回路素子であるNチャネル型MOSFET(9) aないしd及びキャパシタ(10) aないしdから構成されており、キャパシタ(10) aないしdは、いずれも第1ポリシリコン層(26) aないしd(キャパシタの蓄積電極)と絶縁膜(27)と第2ポリシリコン層(28)(キャパシタの対向電極)を積層して構成されていることが認められる。

また、同目録の第5図ないし第7図によれば、右キャパシタ(10) aないしdの全構成要素である第1ポリシリコン層(26) aないしd、キャパシタの絶縁膜(27)、第2ポリシリコン層(28)は、全て、シリコン基板(1)の外部に存在していることが認められる。

そうすると、キャパシタ(10) aないしdは、シリコン基板(1)の外部に存在するものであり、これらキャパシタ(10) aないしdとNチャネル型MOSFET(9) aないしdから構成されるメモリセルからなるメモリアレイ部分(2)を含むイ号物件は、本件発明の構成要件A2を充足しないものであることは明らか

である。

したがって、イ号物件は、この点において本件発明の技術的範囲に属するものとは認められない。

六 イ号物件、ロ号物件は、本件発明の構成要件 a の「右各回路素子は……互いに距離的に離間して形成され」の要件を充足するか。

1 まず、本件明細書の特許請求の範囲の記載について検討する。

(一) 本件明細書の特許請求の範囲の、「(a) 上記の複数の回路素子は、上記薄板の種々の区域に互に距離的に離間して形成されており、」との記載中の「離間」の語の通常の意味は「仲たがいをさせる。仲をひきさく。」というものであるが、この意味では右記載を理解できないことは明らかである。そこで、語を構成する漢字について検討すると、「離」は、「はなす。とおざける。わける。」等の字義を有し、「間」は、「あいだ。物と物のへだたり。すきま。」等の字義を有することは当裁判所に顕著であるから、「離間」は「物と物とのあいだをはなす。」との意味に解することができる。ところが、「上記の複数の回路素子は、上記薄板の種々の区域に互に距離的に離間して形成され」の「距離的に」の語句は右の理解にそうものであるから、「距離的に離間」の文字上の意味は、複数の回路素子の間が距離的に、いいかえれば物理的に離れている状態を指すものと一応理解することができる。

(二) しかし、右特許請求の範囲には、「(c) 不活性絶縁物質とその上に被着された複数の回路接続用導電物質とが、上記薄い領域の形成されている上記主要な表面の上に形成されており；(d) 上記互に距離的に離間した複数の回路素子中の選ばれた薄い領域が、上記不活性絶縁物質上の複数の上記回路接続用導電物質によって電氣的に接続され、上記電子回路を達成する為に上記複数の回路素子の間に必要な電気回路接続がなされており；」との記載があり、右記載によれば、本件発明の複数の回路素子が形成されている単一の半導体薄板の主要な表面の上には不活性絶縁物質が形成され、その上には複数の回路接続用導電物質が被着されており、単一の半導体薄板に「互いに距離的に離間して形成され」た「複数の回路素子」中の選ばれた薄い領域が、不活性絶縁物質上の回路接続用導電物質によって電氣的に接続されて、複数の回路素子の間に必要な電気回路接続がされ、電子回路を達成しているというのである。

そうすると「互いに距離的に離間して形成され」た「複数の回路素子」、即ち、物理的に離れている状態にある複数の回路素子は、選ばれた薄い領域間の電氣的接続、あるいは回路素子間に電子回路を達成するために必要な電気回路接続がされていないときには、相互に電氣的に必要な分離がされていなければ目的の電子回路を達成できないものと認められる。

(三) 半導体とは、導体と絶縁体との中間の電気伝導率を有する物質をいうものであるから、その性質上当然の帰結として、半導体中の二点間の距離を小さくしていけばその間での半導体自体が有する抵抗値が低くなって、その極限の状態では短絡に近くなり、逆に、半導体中の二点間の距離を大きくしていけばその間での半導体自体が有する抵抗値が高くなって、その極限の状態では狭義の絶縁に近い状態になり、更に、二点間に介在する半導体の断面積を増減させることによってその間の半導体自体が有する抵抗値を変えることができることは、当裁判所に顕著な事実である。

したがって、単一の半導体薄板の中に、電子回路として作動するためには相互の必要以上の電氣的接続が行われてはならないような複数の回路素子が形成されている場合において、回路素子相互の物理的な離間の状態が接触しているのに近いものである時には、回路素子間が短絡に近い状態になるのであるから、相互の必要以上の電氣的影響を排除することができず、到底、電子回路として適正に作動する装置になりえないことは自明である。

そうすると、本件特許請求の範囲に記載されたような、単一の半導体薄板に複数の回路素子を形成し、それらの回路素子中の選ばれた薄い領域を不活性絶縁物質上の複数の回路接続用導電物質によって電氣的に接続し、複数の回路素子の間に必要な電氣的回路接続をして、電子回路を達成する半導体装置においては、半導体薄板に含まれる複数の回路素子の内、電子回路として適正に作動するためには相互に必要以上の電氣的接続が行われてはならないものの間の、半導体薄板を通じての電氣的導通の状態をどうするのか、即ち、電氣的絶縁をするのか別の措置をとるのかを明らかにしなくては、電子回路として完全なものではなく、電子回路用の半導体装置の発明としては不完全なものとなる。

本件明細書の特許請求の範囲中には、相互に必要以上の電氣的接続が行われてはならない単一半導體薄板中の複数の回路素子間の電氣的導通の状態をどうするのかについての構成、手段はそれと明示されていないが、他方、本件原々出願当時、単一半導體薄板中の複数の回路素子間の半導體薄板を通じての電氣的導通の状態をどうするのかについての構成、手段が、特許請求の範囲に記載することを省略できるほどに、当業者にとって自明の事項であったことを認めるに足る証拠はない。

したがって、特許請求の範囲には、その発明の構成に欠くことができない事項のみが記載されているはずであるから、本件発明においても、相互に必要以上の電氣的接続が行われてはならない複数の回路素子間の半導體薄板を通じての電氣的導通の状態をどうするのかについての構成、手段が記載されているものと解されるところ、前記のような半導體の自明の性質を念頭に置いて、特許請求の範囲の記載を読むとき、本件発明の構成要件 a の「互いに距離的に離間して形成され」との要件が複数の回路素子間の電氣的導通の状態をどうするのかの点についての構成、手段であると解することができる。

即ち、右構成要件 a の「互いに距離的に離間して形成され」ということは、電氣的な作用と無関係に、単に物理的に離れた状態に形成されるという意味ではなく、半導體薄板内において、「互いに距離的に離間して形成され」ることによって、半導體薄板自体の有する抵抗によって複数の回路素子が電氣的な意味でも分離あるいは導通が制限されている状態を達成するような距離、形態で複数の回路素子を配置することを意味するものと解することができる。

2 次に本件明細書の発明の詳細な説明及び本件発明の特許出願の経過について検討する。

(一) 本件明細書の発明の詳細な説明には、特許請求の範囲の (a) の「互いに距離的に離間して形成され」の意味を直接に説明する記載はなく、「本発明のある目的及び効果は、……回路素子が半導體薄板の一面上の不活性絶縁物質上に置かれた複数の導線により容易に相互接続し得るように、半導體薄板の一面上に、上記表面上で相互に距離的に離間された関係に形成された回路素子を有する一体化回路にして、これにより、上記回路素子とそれらの相互接続とを単一の構造になし、」

(本件公報 1 欄一二行から一九行) との記載がある。

右記載によれば、本件発明では、「回路素子」は、半導體薄板の一面上に「互いに距離的に離間して形成され」ており、同じ半導體薄板の一面上の不活性絶縁物質上に置かれた複数の導線により容易に相互接続し得るようにされて一体化回路とすることが、目的及び効果に含まれているというのである。

そうすると、前記 1 (三) 認定の事実と照せば、単一の半導體薄板に「互いに距離的に離間して形成され」た回路素子と回路素子は、複数の導線で接続されるべき回路素子又はその領域以外は、回路を構成するために必要な分離又は導通が制限された接続がされていることが示されているものと認められる。

(二) 本件明細書の発明の詳細な説明には、発明の構成自体についての説明部分は必ずしも多くなく、目的、効果についての記載部分が多いが、その中には、「処理工程中に半導體材料薄板の成形(「全形」とあるのは誤記と認める。)を行ない、拡散により希望の各種回路素子を適当な関係で製造することが可能である。」

(本件公報 2 欄一〇行から一二行)、「マスクング・エッチング及拡散の様な限定された両立性ある工程が一主面から成し得るので大量生産に適する事であり、更に能動及受動回路素子の電氣的接続の態様が融通性に富み従って回路が多種多様に来る」(同欄一四行から一八行)、「前述の様に本発明は適当に成形されそして拡散された p-n 接合を形成された半導體物質の本体の利用……を企図している。」

(同欄二三行から 3 欄二行)、「また、複数の回路素子は前述した様に半導體薄板の一主面上に平板状に配置され、マスクング、エッチング及び拡散の様な両立性ある工程が一主面から成し得るので半導體装置の大量生産に適している。」(同 5 欄二四行から三〇行)等半導體薄板、半導體物質の成形、エッチング工程についての言及が繰り返されているが、それが本件発明の構成とどのように関係するのかの発明一般についての説明は見られない。

(三) そこで開示された実施例についてみると、発明の詳細な説明の実施例についての説明及び本件発明の特許願に添付された図面によれば、実施例として示された装置は、五・〇八mm×二・〇三mmの半導體薄板内に、その半導體薄板の長手方向の両端に近い位置に抵抗蓄電器 C 1 R 8 と C 2 R 3 とがあり、その中間にメサ型トランジスタ T 1、T 2 が長手方向に並ぶような位置関係に間隔を置いて形成し、C 1 R 8 と C 2 R 3 との間で、T 1、T 2 と半導體薄板の幅方向の一方の端部

との間の薄板に、薄板の裏面まで通り長手方向に細長いスロットを形成し、半導体薄板の裏面からは、薄板の幅方向の延長方向へ片側三本、計六本の入力端子、出力端子等の引出線50を具備し、T1とT2のエミッタ間、C1R8の上部電極とT2のベース間、C2R3の上部電極とT1のベース間、C1R8の上部電極と入力端子1、C2R3の上部電極と入力端子2、T1のエミッタと接地線50がそれぞれ金の線70で接続されているマルチバイブレーターであることが認められる。このT1とT2のコレクタ、C1R8、C2R3の抵抗部分は半導体薄板そのもので、右四個の回路素子の間にある半導体薄板と一体のものであり、回路機能の配線図では、C1R8とT1との間には抵抗R7、C2R3とT2との間には抵抗R4、T1と負電源への引出線50との間には抵抗R6、T2と負電源への引出線50との間には抵抗R5、C1R8と正電源への引出線50との間には抵抗R1、C2R3と正電源への引出線50との間には抵抗R2があるものとして表現されているが、それらの抵抗R1、R2、R4ないしR7及び抵抗蓄電器C1R8、C2R3の抵抗部分は各該当部分の半導体薄板自体が有する抵抗（バルク抵抗）をそのまま利用しているものである。右マルチバイブレーター装置が適正に作動するためには、それらの抵抗の機能を果たす半導体薄板の部分の抵抗は、それぞれ所定の数値であることを要するところ、右抵抗値は当該半導体薄板の有する比抵抗と、半導体薄板内での各回路素子間の距離、各回路素子間の半導体薄板の断面積から計算上定まるから、右装置は、各抵抗値が、装置が適正に作動するための数値となるように、半導体薄板の比抵抗を前提に、形状や寸法、回路素子の位置を定めてあるもので、前記のスロットも、その部分の半導体を除去することによる絶縁と、残存部分の形状を適正な抵抗値が得られるように形成することとの両面を有するものと認められる。

実施例についての説明中の「特にこのエッチングは、R1とR2と回路の他の部分との間に分離を与えるための薄板を通してのスロットを形成し、又予め計算された形状に全部の抵抗の領域を形成する。」（本件公報4欄九行から一三行）との記載は、右認定の事実を端的に表現しているものと認められる。

右のように実施例においては、単一の半導体薄板の中に形成された複数の回路素子間の半導体薄板を通じての電氣的導通の状態をどのように処理するかという問題を、エッチング等の手段によって半導体薄板にスロットを設け又は予め計算された形状に成形することによって複数の回路素子間の半導体薄板の部分回路に必要な抵抗として利用するという方法により解決することが開示されている。

（四） 他方、本件明細書には、バルク抵抗による以外に、半導体薄板の中に形成された複数の回路素子間に前記のような物性を有する半導体薄板が存在することから生ずる電氣的導通の状態をどうするかという問題を解決するための構成ないし技術的手段は開示も示唆もされていない。

このことと、「本発明の好ましい実施例」（本件公報3欄七行から八行）として、唯一具体的に開示された右（三）認定の技術を参酌すれば、前記（二）認定のように発明の詳細な説明に繰り返し言及される「半導体物質の成形」、「エッチング工程」とは、「互いに距離的に離間」された複数の回路素子間の半導体薄板にスロットを設け又は予め計算された形状に成形することによって、バルク抵抗を利用して、右複数の回路素子間の半導体薄板自体を通じての電氣的導通を、回路を形成する上での必要に応じ、電氣的絶縁とし又は抵抗接続とすることを示唆しているものと解することができる。

（五） 甲第六号証の六、乙第五号証によれば、【E】特許明細書中の実施例として、NPN又はPNP接合のトランジスタ14とこれに接続された移相回路網22、右トランジスタ14に接続された負荷抵抗部分50の記載があるところ、出願人である被告は、本件特許出願手続中で、昭和四七年四月二七日付上申書（甲第六号証の六）において、【E】特許明細書に示されている発明と本件発明との相違点として、「【E】特許に於けるRC遅延線22は本願における抵抗・容量素子C1、R8或いはC2、R3に相当するものである。【E】特許における遅延線22はトランジスタ14に対し直接的な電氣接続（接触）を有しているのであってトランジスタから離間しているのではない。【E】特許第3図にはトランジスタに接触しているコレクタ負荷抵抗50を示し、2つの素子間に電氣的に直接接続されているものを示しているのである。これ又『離間せられた』構成ではなく、更に【E】特許の抵抗50は接合に依り分離せられた薄い領域を本質的特徴としていないものである。従って【E】特許は本願要旨の如き少く共4つの距離的に相互に離間した回路素子を含（む）……半導体装置を容易に想起せしめる基礎概念は全く示してい

ないのである。」(六頁一行から二〇行)と記載していることが認められる。

右上申書の記載によれば、被告は、【E】特許について、複数の回路素子が「直接的な電気接続(接触)を有している」、「2つの素子間に電氣的に直接接続されているものを示している」とし、これらの点において、本件発明のような距離的に互に離間した回路素子を含む半導体装置とは異なるとしているのであるから、本件発明の「互に距離的に離間」したとは、単に物理的に離れているというのではなく、電氣的な絶縁、抵抗接続の観点を含んだ意味で「離間せられた」と説明しているものと解される。

(六) また、甲第六号証の九及び一〇によれば、本件発明の特許出願手続において、審査官が昭和五七年三月三十一日付で拒絶理由通知(甲第六号証の九)をし、その備考欄において「特許請求の範囲には『距離的に離間されている回路素子』と記載されているが、離間された回路素子間はどうなっているのか詳細な説明には具体的な記載がない。」と指摘したのに対し、出願人である被告は、昭和五七年八月二七日付の意見書(甲第六号証の一〇)中で、「『距離的に離間されている回路素子』という表現は、複数の回路素子間の回路接続の前提条件として記載されたものであります。

本願発明に於ける距離的に離間されている複数の回路素子は本願の実施態様に於いてはトランジスタT1、T2、抵抗蓄電器(C1R8)及(C2R3)に対応いたします。そして、これら回路素子間には、半導体薄板の一部が存在し、実施の態様では少なくとも次に示すような抵抗素子が存在し得る例として記載されています。即ち、トランジスタT1とトランジスタT2との間には抵抗R5とR6、トランジスタT1と抵抗蓄電器(C2R3)との間には抵抗R6、R5、R4、トランジスタT2と抵抗蓄電器(C1R8)との間には抵抗R5、R6、R7があります。」

(七頁)と説明していることが認められる。

右意見書中の「複数の回路素子間の回路接続の前提条件として記載したものであります。」との記載の意味について考察するに、本件発明にいう電子回路用の半導体装置においては、単一の半導体薄板上に形成された複数の回路素子間の電氣的導通の状態をどのように処理するかという課題の解決が不可欠であるところ、被告は、「距離的な離間」が回路接続の前提条件であるとしているのであり、逆にいえば、回路素子間を適切に導電物質で接続すれば電子回路が完成するように回路素子間で電氣的に分離されているという構成であるとしているのである。

また、被告は、審査官の、特許請求の範囲中の「距離的に離間されている回路素子」との記載についての、離間された回路素子間はどうなっているのか具体的な説明がないとの本件発明一般にかかわる指摘に対して、「本願発明に於ける距離的に離間されている複数の回路素子は本願の実施態様に於てはトランジスタT1、T2、抵抗蓄電器(C1R8)及(C2R3)に対応いたします。」とし、「これら回路素子間には、半導体薄板の一部が存在」するとした上で「実施の態様では少なくとも次に示すような抵抗素子が存在し得る」として実施例の回路素子間のR4ないしR7を挙げているのみで、それ以上に他の実施態様を具体的に挙げるなど、

「距離的に離間されている」ことの一般的意味についての具体的説明をしていないのであるから、被告は、審査官の本件発明一般にかかわる指摘に対する答として、右「これら回路素子間には、半導体薄板の一部が存在し」との記載をもって、本件発明一般について、回路素子間に半導体薄板の一部が存在し、そのバルク抵抗が利用されているという趣旨の説明をしているものと理解する外はない。

3 右1のような特許請求の範囲の記載に、右2のような発明の詳細な説明及び本件発明の特許出願の過程において被告が公的に表明した見解を参酌すれば、特許請求の範囲中の「(a) 上記の複数の回路素子は……互いに距離的に離間して形成され」ということは、電氣的な作用と無関係に、単に物理的に接触していないという意味ではなく、複数の回路素子間に存在する半導体薄板の有するバルク抵抗を利用することによって、複数の回路素子を電子回路を達成するために必要な程度に電氣的に絶縁し、あるいは抵抗接続することを意味するもの、言いかえれば、単一の半導体薄板中の複数の回路素子間をバルク抵抗を利用して、電子回路を達成するために必要な程度に絶縁し、あるいは抵抗接続するために回路素子間に計算上必要な物理的な間隔を設けることを意味するものと認められる。

以上のとおりであるから、本件発明の構成要件aの「互いに距離的に離間して形成され」とは、被告が主張するような、物理的に接触していなければどのような態様であってもいいという意味にすぎないものとはいえない。

4 イ号物件について

(一) 被告が指摘するイ号物件の基板バイアス回路部分のリングオシレータ内の二段のCMOSインバータ(目録にいう遅延電子回路)についてみるに、イ号物件目録六①によれば、CMOSインバータ(20)a及び(20)bを構成するNチャネル型MOSFET(9)m及び(9)rは、P型シリコン基板(1)の上面側に、Pチャネル型MOSFET(21)E及び(21)Gは、右基板内に形成されたNウェル(16)の上面側に、約一五 μ mの間隔をとって配置され、右各MOSFETの間には、LOCOS酸化膜(19)、酸化シリコン膜(24)、P+型不純物領域(18)、N+型不純物領域(17)が介在していることが認められ、そうすると、Nチャネル型MOSFET(9)m及び(9)rと、Pチャネル型MOSFET(21)E及び(21)Gとは、LOCOS酸化膜(19)、酸化シリコン膜(24)、P+型不純物領域(18)、N+型不純物領域(17)を介在させることによって電氣的絶縁を達成しているものと認められるから、シリコン基板の有するバルク抵抗を利用して電氣的絶縁を達成しているものではなく、本件発明の構成要件aにいう「互いに距離的に離間して形成され」に当たらない。

(二) イ号物件目録四①によれば、イ号物件のメモリアレイ部分において、メモリセル(8)aを構成するNチャネル型MOSFET(9)aとメモリセル(8)bを構成するNチャネル型MOSFET(9)bとは、一つのN型不純物領域を、前者ではドレイン(13)aとして、後者ではドレイン(13)bとして使用していることが認められ、したがって、回路素子のNチャネル型MOSFET(9)aと(9)bとは、ドレインを共通にしているもので、両者は距離的に離間していないことが明らかである。

(三) そうすると、イ号物件は、右(一)においても右(二)の点においても、本件発明の構成要件aを充足しないから、その余の点について判断するまでもなく、イ号物件は、本件発明の技術的範囲に属さない。

5 ロ号物件について

(一) ロ号物件目録四、①によれば、ロ号物件の記憶回路部分のメモリセル(10)aないしdは、書込用ダイオード(11)aないしdとスイッチ用ダイオード(14)aないしdとからなっていること、隣り合うメモリセル(10)aないしdは、ワード線方向には四 μ mの間隔をもって配置され、右間隔には、酸化シリコン膜(26)下に、N+型埋込層(8)に達する断面逆正三角形の二酸化シリコン隔壁(24)が介在し、また、ビット線方向には六 μ mの間隔をもって配置され、右間隔には、酸化シリコン膜(26)下にP型シリコン基板(1)に達する断面逆正三角形の二酸化シリコン隔壁(25)が介在していることが認められる。

そうすると、ロ号物件のメモリセル(10)aないしdにおいては、二酸化シリコン隔壁(24)及び(25)によって電氣的な絶縁を達成していて、シリコン基板のバルク抵抗を利用して電氣的絶縁を達成しているものではないから、本件発明の構成要件aにいう「互いに距離的に離間して形成され」に当たらない。

(二) ロ号物件目録五1によれば、ロ号物件の出力バッファ回路部分のショットキー・クランプト・トランジスタ(17)AのNPNトランジスタ(17)aと、ショットキー・クランプト・トランジスタ(17)Bのショットキーダイオード(21)bとの間には約六 μ mの間隔が設けられ、右間隔には、P型シリコン基板(1)に達する断面がほぼ逆正三角形の二酸化シリコン隔壁(25)が介在していること、ショットキー・クランプト・トランジスタ(17)AのNPNトランジスタ(17)aとショットキーダイオード(21)eに設けられたガードリング(33)との間には約四 μ mの間隔が設けられ、右間隔には、N+型埋込層(8)に達する断面がほぼ逆正三角形の二酸化シリコン隔壁(24)が介在していることが認められる。

そうすると、ロ号物件の出力バッファ回路部分のショットキー・クランプト・トランジスタ(17)Aと(17)B、ショットキー・クランプト・トランジスタ(17)Aとショットキーダイオード(21)eにおいても、二酸化シリコン隔壁(24)及び(25)によって電氣的な絶縁を達成していて、シリコン基板のバルク抵抗を利用して電氣的な絶縁を達成しているものではないから、本件発明の構成要件aにいう「互いに距離的に離間して形成され」に当たらない。

(三) そうすると、ロ号物件は、右(一)の点においても右(二)の点においても、本件発明の構成要件aを充足しないから、その余の点について判断するまでもなく、ロ号物件は、本件発明の技術的範囲に属さない。

第三 以上のとおり、イ号物件、ロ号物件は、第二、五6の点からも、同六4、5の点からも、本件発明の技術的範囲に属するものではないから、イ号物件及びロ号

物件の製造及び販売は本件特許権を侵害するものではなく、原告の債務不存在確認請求は理由があるからこれを認容することとし、訴訟費用の負担について民事訴訟法八九条を適用して、主文のとおり判決する。

別紙 省略