

令和4年1月13日判決言渡

令和3年（ネ）第10031号 特許権侵害行為差止等請求控訴事件

（原審 東京地方裁判所 令和2年（ワ）第6675号）

口頭弁論終結日 令和3年10月6日

5

判 決

控 訴 人 合同会社IP Bridge1号
同代表者代表社員 株式会社IP Bridge

10

同訴訟代理人弁護士 酒 迎 明 洋
同訴訟代理人弁理士 石 橋 克 之

被 控 訴 人 マイクロンジャパン株式会社

15

同訴訟代理人弁護士 岩 瀬 ひ と み
同 紋 谷 崇 俊
同 草 深 充 彦

主 文

20

- 1 本件控訴を棄却する。
- 2 控訴費用は控訴人の負担とする。

事 実 及 び 理 由

第1 控訴の趣旨

25

- 1 原判決を取り消す。
- 2 被控訴人は、原判決別紙被告製品目録記載の各製品を輸入し、譲渡し、譲渡の申出をしてはならない。
- 3 被控訴人は、原判決別紙被告製品目録記載の各製品を廃棄せよ。

4 被控訴人は、控訴人に対し、1億円及びこれに対する令和2年3月20日から支払済みまで年5分の割合による金員を支払え。

第2 事案の概要

1 事案の要旨

5 控訴人は、発明の名称を「半導体集積回路装置及びその製造方法」とする特許（特許第3593079号）の特許権者であり、控訴人自身を受託者として同特許を自己信託（信託法3条3項）している（以下、同特許を「本件特許」、その特許権を「本件特許権」といい、本件特許の願書に添付された明細書を「本件明細書」といい、願書に添付された図面と併せて「本件明細書等」という。本件明細書等の内容は、別紙特許公報の該当箇所に記載のとおりである。）。
10

本件は、控訴人が、被控訴人が輸入、譲渡している原判決別紙被告製品目録記載の製品（以下、これらを「被控訴人製品」と総称する。）は本件特許の請求項1ないし3、請求項5ないし8記載の発明（以下、これらの発明を「本件発明」という。）の各技術的範囲に属するものであり、被控訴人は本件特許権を侵害している
15 と主張して、被控訴人に対し、特許法100条1項及び2項に基づき被控訴人製品の輸入、譲渡等の差止め及び廃棄を求めるとともに、主位的に民法709条に基づき損害賠償金（一部請求）1億円及びこれに対する本件訴状送達の日である令和2年3月20日から支払済みまで民法（平成29年法律第44号による改正前）所定の年5分の割合による遅延損害金の支払を求め、
20 予備的に民法703条に基づき不当利得金（一部請求）1億円及びこれに対する同日から支払済みまで同法所定の年5分の割合による遅延利息の支払を求める事案である。

原判決が控訴人の請求を全部棄却したため、これを不服とする控訴人が控訴した。

2 前提事実

25 前提事実は、次のとおり補正するほかは、原判決「事実及び理由」第2、2

(前提事実)(原判決2頁14行目から8頁25行目まで)に記載のとおりであるから、これを引用する。

原判決2頁25行目の後に改行の上、次のとおり付加する。

「本件特許は、松下電器産業株式会社が出願して設定登録を受け、その後同社の会社名の変更により、登録名義人の表示がパナソニック株式会社に変更され、
5 平成25年12月27日、控訴人に移転登録され、平成28年12月1日、控訴人自身を受託者として自己信託(信託法3条3項)され、その旨の登録がされた(甲1、弁論の全趣旨)。」

3 争点及び争点に関する当事者の主張

10 本件における争点及び争点に関する当事者の主張は、次のとおり補正ないし付加し、後記4のとおり当審における補充主張(当審における新たな主張を含む。)を付加するほかは、原判決「事実及び理由」第2、3(争点)及び4(争点に関する当事者の主張)(原判決9頁1行目から15頁20行目まで)に記載のとおりであるから、これを引用する。

15 (1) 原判決9頁9行目の後に改行の上、次のとおり付加する。

「(2) 本件特許が特許無効審判により無効にされるべきものか否か(争点2
〔当審における新たな主張〕)

ア 記載要件違反(争点2-1)

イ 補正要件違反(争点2-2)

20 ウ 新規性又は進歩性の欠如(争点2-3)」

(2) 原判決9頁10行目の「(2) 原告の損害・利得額(争点2)」を「(3) 控訴人の損害・利得額(争点3)」に改める。

(3) 原判決10頁21行目の「原告」を「出願人」と改める。

(4) 原判決15頁1行目の「原告の損害・利得額(争点2)」を「控訴人の損害・
25 利得額(争点3)」に改める。

4 当審における補充主張

(1) 争点 1-1 (被控訴人製品が, 本件発明における「半導体集積回路装置」(構成要件 1 A, 1 E, 5 B, 5 E 等), 「メモリ回路」(構成要件 1 B, 1 D)・「素子群」(構成要件 5 A) を充足するか否か) について
(控訴人の主張)

5 ア 「半導体集積回路装置」(構成要件 1 A, 1 E, 5 B, 5 E) について

(ア) 本件明細書の記載に基づく検討について

a 本件発明の請求項には「半導体集積回路装置」という文言が用いられている。「半導体集積回路装置」という用語は, トランジスタやダイオード, 抵抗, キャパシタ等の回路素子とそれらを結ぶ配線を一体のものとして一つの半導体基板の表面に作製するモノリシック集積回路を意味する(甲 1 1 ~ 1 3)。汎用 DRAM もシステム L S I も, 半導体集積回路装置である。

DRAM 内のメモリセルアレイは, より大きな物 (DRAM) の機能の一部を担う部分として DRAM に「搭載」されているといえる。

15 b また, 次のとおり, 本件明細書において, 「システム L S I」は, 本件発明の課題を認識する過程や解決原理を説明するため, 「半導体集積回路装置」の具体例として記載されており, かつ, 節々に「システム L S I」に限定するものではない概括的な記載がされている。

(a) 【発明の属する技術分野】の記載

20 本件明細書の段落【0001】には, 「システム L S I」は, 「特に」という文言に続いて, 主たる例として記載されており, 段落【0001】の記載により, 本件発明の技術的範囲がシステム L S I に限定されると理解されるものではない。

(b) 【従来技術】の記載

25 本件明細書の段落【0003】には, 「システム L S I」は, 「システム L S I をはじめとする」として, 主たる例として記載されて

5 いる。また、段落【0004】ないし【0007】においては、従来の技術として、システムLSIに特有のものではない半導体プロセス全般に関する問題についての記述がされている。なお、本件明細書の段落【0008】には、システムLSIの製造プロセスについて
10 の記載がされているが、これは、後に続く【発明が解決しようとする課題】の具体例を説明するための記載である。

(c) 【発明が解決しようとする課題】の記載

10 本件明細書の段落【0010】、【0011】及び【図8】には、システムLSIであるDRAM搭載品種及びDRAM非搭載品種について、レジストパターンをマスクとしてドライエッチングによりゲート電極を形成した場合におけるCDロスに対比した説明がされている。しかし、これらの前後の段落【0009】、【0012】及び【0013】をみれば、課題は、システムLSIにおける寸法ばらつきに限定されていないものと理解される。

15 (d) 【課題を解決するための手段】の記載

本件明細書の段落【0015】、【0019】、【0020】及び【図9】においては、課題の原因から解決手段を見出す経緯において、DRAM搭載品種に言及されているにとどまる。段落【0022】及び【0023】の記載において、課題解決手段は、システムLSI
20 に特有のものとは何ら限定されていない。

(e) 実施例の記載

25 第1の実施形態は、システムLSIに限定したり、汎用DRAMを除外する趣旨のものではなく、「半導体集積回路装置」の実施例として記載されているにすぎないのであるから、第1の実施形態のシステムLSIにかかる記載をもって、本件発明の技術的範囲から汎用DRAMを排除する趣旨にも、本件発明の技術的範囲をシステム

L S I に限定する趣旨にも解すべきではない。

(f) 【発明の効果】の記載

【発明の効果】には、「品種によりマスクパターンレイアウトが大きく異なる場合」として、「DRAM等の搭載率が用途又は仕様により異なるシステムL S I」が挙げられており、このような場合であつても、「ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできる」という効果が記載されているのであつて、品種によりマスクパターンレイアウトが異なれば、発明の効果を奏するとされており、システムL S I でなければ発明の効果を奏しないことが記載されているものではない。

(イ) 本件発明の課題解決原理に基づく検討について

本件発明の課題解決原理は、「ダミーパターン」の挿入により、「特定回路」の占有面積率が異なる品種間における単位面積当たりのゲート電極周縁長の差を小さくし、ドライエッチング工程におけるデポガス成分の枯渇状況を品種間で揃えることで、マスクパターンレイアウトの違いに起因した寸法ばらつきを防止するというものである。

DRAMの内部構造に関する技術常識に照らせば、DRAM内部において、メモリセルアレイは、それを構成するビットラインやワードラインがDRAM内の他の回路と比較して周縁長が密な回路パターンであるから、「その単位面積当たりのゲート電極周縁長が大きいため、チップ全体における単位面積当たりのゲート電極周縁長を大きく左右する」(本件明細書の段落【0036】及び【0060】)という性質を有する「特定回路」に該当する。そして、汎用DRAMの各品種間において、メモリセルアレイの占有面積は同一ではなく、同一のゲート電極プロセスを採用しても、品種間で寸法ばらつきが生じ得るから、DRAM内部のメモリセルアレイを構成する回路以外の回路に「ダミーパターン」を挿入し、

メモリセルアレイとの間で、単位面積当たりのゲート電極周縁長の差を小さくしている。このように、DRAM内部においても、本件発明の課題解決原理は用いられている。上記の趣旨は、甲11（Z作成の意見書）に記載されているところ、甲11は、本件発明が属する技術分野に深い
5 知見を有する者が当業者の観点から検討したものであり、信用性が高い。

したがって、本件発明の課題解決原理からしても、本件発明の請求項の「半導体集積回路装置」には汎用DRAMが含まれる。

(ウ) 審査経過に基づく検討について

本件特許の審査過程において、次のとおり、審査官は、審査時点の請求項の発明について、汎用DRAMを除外する発明とは理解しておらず、
10 むしろ汎用DRAMを含むものと理解していた。

a 1回目の拒絶理由通知

引用文献1（甲21）は、システムLSIに関するものではなく、またその段落【0027】には半導体メモリの発明が記載されており、
15 これをもって新規性喪失の拒絶理由としていることから、審査官は、本件特許の出願時の請求項4ないし6について、システムLSIの発明であるとは認識していなかった。また、これに対する出願人の意見書（乙2）においても、本願発明と引用文献に記載の発明において、本願発明はシステムLSIであるのに対し、引用発明はシステムLSI
20 Iではないという相違点の説明はされていなかった。

b 2回目の拒絶理由通知

審査官は、引用文献1（甲24）記載のDRAM又はSRAMの発明に、引用文献2（甲25）記載のエッチング技術を適用し、これをもって進歩性欠如の拒絶理由としているのであるから、審査官は、
25 本件特許の請求項1等について、システムLSIの発明であるとは認識していなかった。また、これに対する出願人の意見書（乙4）におい

ても、本願発明と引用文献に記載の発明において、本願発明はシステムLSIであるのに対し、引用発明はシステムLSIではないという相違点の説明はされていなかった。

イ 「メモリ回路」(構成要件1B, 1D), 「素子群」(構成要件5A) について

(ア) 「メモリ回路」(構成要件1B, 1D)

「メモリ回路」(構成要件1B, 1D)は、本件明細書にいう「特定回路」(段落【0036】)に該当するものであり、メモリセルが規則的に配列されてなるメモリセルアレイと解釈されるべきである。そして、「メモリ回路のライン状パターンであるメモリ用ライン状パターン」(構成要件1B)とは、メモリセルアレイを構成するビットラインやワードラインを意味する。

(イ) 「繰り返しパターンを有する素子群」(構成要件5A)

「繰り返しパターンを有する素子群」(構成要件5A)とは、繰り返しパターンにて配列された素子(例えばトランジスタ)の集合体と解される。DRAMにおいて、繰り返しパターンにて配列されたトランジスタの集合体からなる回路パターンとは、セルトランジスタを含むメモリセルが規則正しく配列されたメモリセルアレイである。DRAM全体は、メモリセルアレイ以外に、トランジスタが不規則に配列された回路も含むから、DRAM全体を「繰り返しパターンを有する素子群」と解釈すべきではない。

したがって、「繰り返しパターンを有する素子群の形成領域」(構成要件5A)は、DRAMの全領域ではなく、メモリセルアレイが配置されたメモリセルアレイ領域に限られ、このようなメモリセルアレイ領域に配置される「第1の回路パターン」はメモリセルアレイであり、「第1の回路パターン」の「第1のライン状パターン」とはメモリセルアレイを

構成するビットライン又はワードラインであると解釈される。

(被控訴人の主張)

ア 「半導体集積回路装置」(構成要件1A, 1E, 5B, 5E)について

(ア) 本件明細書の記載に基づく検討について

5 本件発明は、DRAM等の「メモリ回路」、「素子群」の搭載領域と、それ以外の領域から構成され、「搭載」概念を前提に、DRAM等の「搭載率」の違い(すなわち「DRAM搭載品種」、「DRAM非搭載品種」といった「品種の違いに伴うマスクパターンレイアウトの違い」、本件明細書の段落【0012】参照)に起因するばらつきを「技術的意義」とする
10 ものである。DRAMにDRAM自体を搭載することはなく、DRAMそれ自体に搭載率の違いを観念することはできないから、本件発明の「半導体集積回路装置」にはDRAM自体は含まれない。

(イ) 本件発明の課題解決原理に基づく検討について

15 控訴人は、本件発明の課題解決原理を、ダミーパターンの挿入により単位面積当たりの周縁長の差を小さくすることであると述べるが、そのようなことは本件特許出願時の周知技術にすぎず、特許発明の課題解決原理とはなり得ない。

(ウ) 審査経過に基づく検討について

20 特許発明の技術的範囲は、明細書及び図面を考慮して、特許請求の範囲に記載された用語の意義を解釈して定められるべきであり、控訴人の主張する審査経過は、本件発明の「半導体集積回路装置」にDRAMが含まれることの根拠とはならない。

イ 「メモリ回路」(構成要件1B, 1D)、「素子群」(構成要件5A)について

25 DRAM内には、メモリセルの他、センスアンプや行デコーダなど多数の回路パターンが存在し、これらはDRAMの内部構造であり、搭載・搭

載率を観念することはできず、搭載率の違いに起因するばらつきを解消するという本件発明の技術的意義を観念することはできない。したがって、DRAM内のメモリセルは、本件発明の「メモリ回路」、「素子群」に該当しない。

- 5 (2) 争点1-2（被控訴人製品が、同一のエッチング工程により形成されたことを前提とする「ライン状パターン」及び「回路パターン」（構成要件1Aないし1D、5Aないし5D）や「同一の異方性ドライエッチング工程によって形成されている」（構成要件2A、6A）を充足するか否か）について（控訴人の主張）

10 本件発明1及びそれに従属する発明については、メモリ用ライン状パターンと基板表面から同一の高さに存在するそれ以外のライン状パターンについて、その少なくとも一部が、マスクパターンレイアウトに依存した同一のエッチング工程で形成されていれば、同一のエッチング工程により形成されたといえる。同様に、本件発明5及びそれに従属する発明については、第1の
15 回路パターンと、基板表面から同一の高さに存在する第2の回路パターンについて、その少なくとも一部が、マスクパターンレイアウトに依存した同一のエッチング工程で形成されていれば、本件発明の作用効果を奏し、同一のエッチング工程により形成されたといえる。

被控訴人製品において、メモリセルアレイ領域とセンスアンプ領域の回路
20 パターンは、同一のエッチング工程により形成されたことが推認され、また、ビット線パターン（メモリセル部）及びゲート電極パターン（S/A部）は、SiN層/SiON層をハードマスクとして、同一の異方性ドライエッチング工程によりW層/TiN/W層/Poly-Si層をパターンニングして形成されたと推測される（甲34）。

25 したがって、被控訴人製品は、同一のエッチング工程により形成されたことを前提とする「ライン状パターン」及び「回路パターン」（構成要件1Aな

いし 1 D, 5 A ないし 5 D) や「同一の異方性ドライエッチング工程によって形成されている」(構成要件 2 A, 6 A) を充足する。

(被控訴人の主張)

5 本件発明に係る「半導体集積回路装置」(構成要件 1 A, 1 E, 5 B, 5 E) においては、そもそも「ライン状パターン」、「回路パターン」(構成要件 1 A ないし 1 D, 5 A ないし 5 D) は、全て、「同一のエッチング工程」によって形成されることを前提としているが、被控訴人製品に形成された「回路パターン」等は、同一のエッチング工程によって形成されたものでない。

(3) 争点 2-1 (記載要件違反) (当審における新たな主張)

10 (被控訴人の主張)

ア 本件特許の特許請求の範囲の記載は、それらの「メモリ回路」(構成要件 1 B, 1 D), 「素子群」(5 A, 5 B, 8 A), 「半導体集積回路装置」(構成要件 1 A, 1 E, 2 B, 3 B, 5 B, 5 E, 6 B, 7 B, 8 B) という文言が不明確であるから、明確性要件(特許法 36 条 6 項 2 号)を充足しない。また、それらの文言について、控訴人のような広いクレーム解釈をするのであれば、本件特許の特許請求の範囲の記載はサポート要件(特許法 36 条 6 項 1 号)を充足しないし、本件明細書の発明の詳細な説明の記載は、実施可能要件(特許法 36 条 4 項 1 号)を充足しない。

20 イ 本件特許の特許請求の範囲における「半導体集積回路装置」の「ライン状パターン」(構成要件 1 A, 1 B, 1 D, 2 A, 5 A, 5 B, 5 C, 5 D, 6 A), 「回路パターン」(構成要件 1 A, 1 B, 1 C, 1 D, 5 A, 5 B, 5 C, 5 D) という文言について、控訴人が主張するように、「同一のエッチング工程」によって形成されることを前提としない広いクレーム解釈をするのであれば、本件特許の特許請求の範囲の記載は、明確性要件(特許法 36 条 6 項 2 号), サポート要件(特許法 36 条 6 項 1 号)を充足しない。
25 また、そのような解釈をするのであれば、本件明細書の発明の詳細な説明

の記載は実施可能要件（特許法 36 条 4 項 1 号）を充足しない。

ウ 本件発明 1 及び本件発明 5 に係る特許は、「単位面積当たりの周縁長」（構成要件 1 D, 5 C, 5 D）というパラメータを用いて、「ダミーパターン」の挿入（構成要件 1 C, 5 D）によって「単位面積当たりの周縁長」を所定の範囲に設定すること（構成要件 1 D, 5 D）を特徴とする「パラメータ」特許であるところ、このような構成又はパラメータが、課題解決の手段である「特徴」（構成要件 1 E, 5 E）となり得ることは、特許請求の範囲及び本件明細書の記載からは何ら窺われない。そのため、本件特許の特許請求の範囲の記載は、明確性要件（特許法 36 条 6 項 2 号）、サポート要件（特許法 36 条 6 項 1 号）を充足しないし、本件明細書の発明の詳細な説明の記載は実施可能要件（特許法 36 条 4 項 1 号）を充足しない。

エ したがって、本件特許は特許無効審判により無効にされるべきものであるから、特許法 104 条の 3 第 1 項により、控訴人は本件特許権を行使することができない。

（控訴人の主張）

被控訴人の主張は争う。

(4) 争点 2 - 2（補正要件違反）（当審における新たな主張）

（被控訴人の主張）

本件発明に係る特許は、「単位面積当たりの周縁長」というパラメータを「特徴」とするパラメータ特許であり、具体的には、ダミーパターンを挿入することにより、単位面積当たりのゲート電極周縁長を、DRAM等の最も大きい単位面積当たりの「周縁長に近づけ」（本件明細書の段落【0056】）、「同程度」（乙 2, 乙 4）の「範囲に設定」することを課題解決の手段とするものであるから、「CDロスを一定の範囲に保つことが可能となる」よう「各品種の『単位面積当たりの周縁長』を一定の範囲に収め」（甲 1 1）、「上限値及び下限値の具体的数値」の範囲内に上記パラメータを設定すること（本件明細

書の段落【0057】～【0060】)が不可欠となる。したがって、本件発明における「同程度以下」という記載は、かかるパラメータに関して、「同程度」と同じ意味、すなわち「同じ値に近い範囲の、下限値と上限値を有する所定の数値範囲」という意味で用いられていることが明らかである。

5 ところで、出願人は、本件発明に関する平成16年6月9日付けの補正(以下「本件補正」という。)において、請求項1及び5について、「単位面積当たりの周縁長と同程度以下」という記載を「単位面積当たりの周縁長以下」という記載に補正している(甲10)。しかし、これは、補正前の上記技術的思想に基づく、「同程度」と同じ意味、すなわち「同じ値に近い範囲の、下限
10 値と上限値を有する所定の数値範囲」という意味から、これとは異なる、「100%以下、という下限値を有さない範囲」に拡張するものと解されるから、本件補正は、新たな技術的事項を導入するものである。したがって、本件補正は、願書に最初に添付した明細書、特許請求の範囲又は図面に開示されていない技術的事項を追加する補正であって、特許法17条の2第3項に規定
15 する補正要件を満たさず、本件特許は同法123条1項1号により無効とされるべきものであるから、同法104条の3第1項により、控訴人は本件特許権を行使することができない。

(控訴人の主張)

20 「同程度以下」という文言を「同程度」と同じであると解釈することはできないから、被控訴人の主張は理由がなく、本件補正は補正要件を満たしている。

(5) 争点2-3(新規性又は進歩性の欠如)(当審における新たな主張)

(被控訴人の主張)

25 DRAMにダミーパターンを挿入してパターン密度を補正することは、本件特許出願前の周知技術にすぎず、乙12(特開平9-311432号公開特許公報、平成9年12月2日公開)記載の発明もその一つであるから、本

件発明の特許請求の範囲について控訴人の主張のような広いクレーム解釈をするならば、本件発明は、本件特許出願前の周知技術又は乙12記載の発明と同一又はこれらに基づいて容易に想到することができたものであり、新規性又は進歩性を欠く。

5 したがって、本件特許は特許無効審判により無効とされるべきものであり、特許法104条の3第1項により、控訴人は本件特許権を行使することができない。

(控訴人の主張)

被控訴人の主張は争う。

10 第3 当裁判所の判断

1 本件発明の技術的意義について

(1) 本件明細書等の記載

本件明細書等の記載については、次のとおり付加するほか、原判決15頁25行目から24頁2行目までに記載のとおりであるから、これを引用する。

15 ア 原判決16頁20行目の後に改行の上、次のとおり付加する。

『その一例としては、フォトリソグラフィ工程におけるレジストパターン形成時に生じるパターン近接効果がある。これは、同じ設計形状及び設計寸法を有するパターンであっても、該パターンと、それに隣接する他のパターンとがどの程度接近しているか、又は隣接する他のパターンがどのような形状をしているか等によって、該パターンの加工形状又は加工寸法が異なってくる現象である。』【0005】

『また、他の例としては、ドライエッチング工程におけるローディング効果又はマイクロローディング効果があげられる。ローディング効果は、半導体チップ上における全被エッチング面積の大小に依存してエッチングレートが変化する現象であり、それによってパターン寸法の変動に若干の影響が生じることもある。マイクロローディング効果は、同一の半導体

チップの内部にレイアウトされたパターンにおいて場所によって配列に粗密がある場合に、その粗密に依存して局所的にエッチングレートが異なる現象である。すなわち、全く同一のパターンであっても、それが疎に配列された箇所と密に配列された箇所とではエッチングレートが異なり、これによってもパターン寸法の変動に間接的な影響が生じる。』(【0006】)

イ 原判決20頁16行目の後に改行の上、次のとおり付加する。

『本発明に係る第2の半導体集積回路装置は、ライン状パターンを有する回路パターンを備えた半導体集積回路装置を前提とし、回路パターンの配置領域にダミーパターンが、ライン状パターンとダミーパターンとの合計の単位面積当たりの周縁長が所定の範囲に設定されるように挿入されている。』(【0026】)

『第2の半導体集積回路装置によると、ダミーパターンの挿入によって、ライン状パターンとダミーパターンとの合計の単位面積当たりの周縁長が所定の範囲に設定されているため、半導体集積回路装置の品種によりマスクパターンレイアウトが大きく異なる場合にも、マスクパターンレイアウトの違いに起因してライン状パターンに寸法ばらつきが生じることを防止できる。従って、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできるので、動作マージンのバラツキが解消された半導体集積回路装置を実現できる。』(【0027】)

『本発明に係る第3の半導体集積回路装置は、繰り返しパターンを有する素子群の形成領域に配置されており且つ第1のライン状パターンを有する第1の回路パターンと、素子群以外の他の部分の形成領域に配置されており且つ第2のライン状パターンを有する第2の回路パターンとを備えた半導体集積回路装置を前提とし、第2の回路パターンの配置領域にダ

ミーパターンが、第1のライン状パターンと第2のライン状パターンとダミーパターンとの合計の単位面積当たりの周縁長が、第1のライン状パターンの単位面積当たりの周縁長と同程度以下になるように挿入されている。』(【0030】)

5 『第3の半導体集積回路装置によると、素子群以外の他の部分と対応する第2の回路パターンの配置領域にダミーパターンが挿入されており、それによって、素子群と対応する第1の回路パターンの第1のライン状パターンと、第2の回路パターンの第2のライン状パターンと、ダミーパターンとの合計の単位面積当たりの周縁長が、第1のライン状パターンの単位面積当たりの周縁長、つまり最も大きい単位面積当たりの周縁長と同程度以下に設定されている。具体的には、前記の合計の単位面積当たりの周縁長が、第1のライン状パターンの単位面積当たりの周縁長の70～100%に設定されていることが好ましい。すなわち、前記の合計の単位面積当たりの周縁長が所定の範囲に設定されているため、半導体集積回路装置の品種によりマスクパターンレイアウトが大きく異なる場合にも、マスクパターンレイアウトの違いに起因してライン状パターンに寸法ばらつきが生じることを防止できる。従って、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできるので、動作マージンのバラツキが解消された半導体集積回路装置を実現できる。』

15 (【0031】)

『第3の半導体集積回路装置において、素子群はメモリであることが好ましい。』(【0032】)

『また、第3の半導体集積回路装置において、ダミーパターンの単位面積当たりの周縁長は、第1のライン状パターンの単位面積当たりの周縁長の70%以上であることが好ましい。』(【0033】)

『このようにすると、ダミーパターンの挿入によって、前記の合計の単位面積当たりの周縁長が確実に所定の範囲、具体的には、第1のライン状パターンの単位面積当たりの周縁長の70～100%に設定される。』
（【0034】）」

5 ウ 原判決20頁17行目の後に改行の上、次のとおり付加する。

『(第1の実施形態)

以下、本発明の第1の実施形態に係る半導体集積回路装置及びその製造方法について図面を参照しながら説明する。尚、第1の実施形態に係る半導体集積回路装置の製造方法は、ライン状パターンを有する回路パターンを備えており、製造工程の少なくとも一部が共通する複数の半導体集積回路装置を製造するための半導体集積回路装置の製造方法を前提とする。』

10 （【0052】）」

(2) 本件発明の技術的意義

原判決24頁3行目から11行目までを次のとおり改める。

15 「(2) 前記(1)の本件明細書等の記載によれば、本件発明の技術的意義は次のとおりと認められる。

ア 本件発明は、半導体集積回路装置及びその製造方法に関し、特に、DRAM等の微細な繰り返しパターンを有する素子群の混載が可能なシステムLSIにおける、MOS型トランジスタのゲート電極・配線又はメタル配線等のライン状パターンを形成するための技術に関する
20 （段落【0001】）。

近年、例えばDRAMが混載された半導体集積回路装置として、搭載DRAM容量が20メガビットを超えるようなシステムLSIが量産化されつつあり、DRAM等のメモリー回路の1個の半導体チップへの搭載率（チップ全体の面積に対するメモリー回路の面積の比率：占有面積率）が用途又は仕様により異なるシステムLSIをはじめと
25

する半導体集積回路装置の製造工程においては、ユニット回路が単に繰り返り配列されているだけではなく様々なレイアウトが施されたマスクパターンの加工が求められている（段落【0002】及び【0003】）。

5 従来から、マスクパターンを用いて被加工膜に対してエッチングを行なうことにより得られるパターン（加工パターン）の形状又は寸法が、マスクパターンレイアウトつまり素子パターンの配置の仕方によって変化する現象が知られているが、近接効果又はローディング効果によってパターン寸法がマスクパターンレイアウトに依存して著しく
10 変動すると考えられるようなマスク箇所でのみ、パターン寸法の変動を補正するような設計ルールが加えられていた（段落【0004】及び【0007】）。

しかしながら、LSIの微細化の進展に伴って、より高精度な寸法制御が求められるようになってきたため、マスクパターンレイアウト
15 の違いに起因して生じる寸法ばらつきが無視できなくなりつつある。

図8は、24メガビットのDRAMが搭載された半導体集積回路装置

（DRAM搭載品種）、及びDRAMが搭載されていない半導体集積回路装置（DRAM非搭載品種）のそれぞれの製造において、レジストパターンをマスクとしてドライエッチングによりゲート電極を形成した
20 場合における、エッチング前のレジストパターンの寸法と完成したゲート電極の寸法との差であるCDロスの頻度分布を示すが、同一のゲート電極加工プロセスを採用したとしても、品種の違いに伴うマスクパターンレイアウトの違いによって、ゲート電極寸法のばらつき、言い換えると、ゲート電極寸法の品種依存性が発生している。その結果、
25 特定のマスクを用いて製造される半導体集積回路装置の特定の品種において、MOS型トランジスタの特性が設計仕様からずれてしま

い、動作マージンが狭くなってしまいうという問題が生じ、このような問題は設計ルールが $0.18\mu\text{m}$ 以下になると特に無視できなくなる（段落【0009】～【0012】、【図8】）。

上記に鑑み、本件発明は、MOS型トランジスタのゲート電極・配線又はメタル配線等のライン状パターンを形成するとき、マスクパターンレイアウトの違いに起因して寸法ばらつきが生じることを防止することを目的とする（段落【0013】）。

イ 本件の発明者らは、マスクパターンレイアウトの違いによって寸法ばらつきが生じる原因について検討した結果、CMOSからなるロジック回路が搭載されており、且つゲート電極及び配線が密に配列されてなるDRAM等のメモリー回路が搭載された半導体集積回路装置においては、メモリー回路の占有面積率によってパターン寸法が変動することを見いだした。また、マスクパターンレイアウトの違いによって寸法ばらつきが生じる現象は、被エッチング面積の大小つまりパターン面積の大小に依存して生じるローディング効果とは性質が異なることを見いだした。さらに、この現象は、チップ内部の局所的なパターンの粗密等に依存して生じるマイクロローディング効果とも異なり、チップ全体にわたってパターン寸法が変動するという新規な性質の現象であるということを見いだした（段落【0014】～【0016】）。

ところで、前述のように、ゲート電極寸法等の加工寸法における品種依存性はCDロスに起因して発生しているが、現在のドライエッチング工程では、サイドエッチングを防止して異方性ドライエッチングを達成するために、側壁保護効果を有するエッチングガス（デポガス）を用いるか、又は側壁保護効果を有するエッチング反応生成物を形成している。そして、マスクパターンレイアウトと無関係に同一のゲート電極加工プロセスを用いる場合において被エッチング膜の加工形状

を側壁保護効果により制御しようとする、保護対象となる被エッチング膜の側壁の面積が増大するに従って単位面積当たりの側壁保護効果が減少し、それによりCDロスが増大してしまうことを本件の発明者らは見いだした（段落【0017】及び【0018】）。

5 図9は、DRAM非搭載品種を含む様々なDRAM占有面積率を有する品種における、単位面積当たりのゲート電極周縁長（ゲート電極の周縁部の長さ）とDRAM占有面積率との関係を示しており、DRAM占有面積率が増加するに従って、単位面積当たりのゲート電極周縁長が増大する。また、図10は、様々な品種における、単位面積当
10 当たりのゲート電極周縁長とCDロスとの関係を示しており、単位面積当たりのゲート電極周縁長が大きくなるとゲート電極寸法が細る（CDロスが正になる）一方、単位面積当たりのゲート電極周縁長が小さくなるとゲート電極寸法が太る（CDロスが負になる）。これは、単位面積当たりのゲート電極周縁長が大きくなるに従って、保護対象となる側壁の面積が増大し、それにより単位面積当たりの側壁保護効果が
15 減少してしまうことが原因である（段落【0019】～【0022】、【図9】及び【図10】）。

以上のことから、本件の発明者らは、単位面積当たりのゲート電極周縁長が大きくなるに従ってCDロスが負の値から正の値に単調に変化していくこと（図10参照）に着目して、品種によらず単位面積当
20 当たりのゲート電極周縁長を所定の範囲に設定することによって、マスクパターンレイアウトの違いに起因して寸法ばらつきが生じる事態を防止できることを見いだした（段落【0023】）。

ウ 本件発明に係る半導体集積回路装置は、ライン状パターンを有する回路パターンを備えた半導体集積回路装置を前提とし、回路パターンの配置領域に、ダミーパターンが、ライン状パターンとダミーパター

ンとの合計の単位面積当たりの周縁長が所定の範囲に設定されるように挿入されていることにより、半導体集積回路装置の品種によりマスクパターンレイアウトが大きく異なる場合にも、マスクパターンレイアウトの違いに起因してライン状パターンに寸法ばらつきが生じることを防止できる。したがって、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできるので、動作マージンのバラツキが解消された半導体集積回路装置を実現できる（段落【0026】及び【0027】）。

また、本件発明に係る別の半導体集積回路装置は、繰り返しパターンを有する素子群の形成領域に配置されており且つ第1のライン状パターンを有する第1の回路パターンと、素子群以外の他の部分の形成領域に配置されており且つ第2のライン状パターンを有する第2の回路パターンとを備えた半導体集積回路装置を前提とし、第2の回路パターンの配置領域にダミーパターンが、第1のライン状パターンと第2のライン状パターンとダミーパターンとの合計の単位面積当たりの周縁長が、第1のライン状パターンの単位面積当たりの周縁長と同程度以下の所定の範囲、望ましくは、70から100%に設定されているため、半導体集積回路装置の品種によりマスクパターンレイアウトが大きく異なる場合にも、マスクパターンレイアウトの違いに起因してライン状パターンに寸法ばらつきが生じることを防止できる。したがって、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできるので、動作マージンのバラツキが解消された半導体集積回路装置を実現できる（段落【0030】及び【0031】）。

具体的には、単位面積当たりのゲート電極（ライン状パターン）周縁長の品種毎の違いに起因してゲート電極エッチングで生じるCDロスのばらつきを、寸法測定又はレチクル製造等に伴う誤差範囲である0から0.003 μ mに抑制するには、単位面積当たりのゲート電極周縁長の品種毎の違いを500mm/mm²程度の範囲に抑える必要があるため、単位面積当たりのゲート電極周縁長が最大となるDRAM（2500mm/mm²程度）を基準として規格範囲（DRAM占有面積率が80%である場合に相当する2000mm/mm²を単位面積当たりのゲート電極周縁長の規格範囲の上限とし、1600～2000mm/mm²を単位面積当たりのゲート電極周縁長の規格範囲とする。）を設定し、単位面積当たりのゲート電極周縁長が不足している回路パターンの配置領域には、かかる規格範囲となるように、ゲート電極ダミーパターンを挿入した（段落【0053】～【0059】）。

エ 本件発明によると、半導体集積回路装置の品種によりマスクパターンレイアウトが大きく異なる場合にも、マスクパターンレイアウトの違いに起因してライン状パターンに寸法ばらつきが生じることを防止できる。したがって、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできるので、動作マージンのバラツキが解消された半導体集積回路装置を実現できる（段落【0132】）。

2 争点1-1（被控訴人製品が、本件発明における「半導体集積回路装置」（構成要件1A、1E、5B、5E等）、「メモリ回路」（構成要件1B、1D）・「素子群」（構成要件5A）を充足するか否か）について

(1) 争点1-1に対する判断は、次のとおり補正し、後記(2)のとおり当審における補充主張に対する判断を付加するほかは、原判決「事実及び理由」第3、

2 (争点1-1について) (原判決24頁15行目～28頁10行目)に記載のとおりであるから、これを引用する。

原判決27頁21行目及び28頁5行目の「被告」をいずれも「控訴人」と改める。

5 (2) 本件発明における「半導体集積回路装置」(構成要件1A, 1E, 5B, 5E等)について検討する。

この点に関して控訴人は、本件明細書の記載、本件発明の課題解決原理、審査経過との関係を理由として挙げ、本件発明の「半導体集積回路装置」は、システムLSIに限定されるものではなく、DRAMを含むものである旨主張するが、その主張は採用することができない。その理由は次のとおりである。

10 ア 控訴人の主張ア(ア) (本件明細書の記載に基づく検討について) につき

「半導体集積回路装置」という語の一般的意味として、DRAMが含まれる余地があるとしても、本件明細書の記載においては、次のとおり、「半導体集積回路装置」という文言は、システムLSIを意味するものとして用いられており、DRAMのようなメモリ自体を「半導体集積回路装置」として課題解決手段を用いることを示唆する記載はないから、本件明細書の「半導体集積回路装置」には、DRAMは含まれず、本件発明はシステムLSIに係るものであると認められる。

20 (ア) 【発明の属する技術分野】の記載

本件明細書の段落【0001】には、【発明の属する技術分野】に関して、「本発明は、半導体集積回路装置及びその製造方法に関し、特に、DRAM (D y n a m i c R a n d o m A c c e s s M e m o r y) 等の微細な繰り返しパターンを有する素子群の混載が可能なシステムLSIにおける、・・・技術に関する。」と記載されている。

上記記載の文言によれば、本件発明は、半導体集積回路装置及びその

製造方法のうちでも、特にシステムLSIにおける技術に関するものであることが認められ、本件発明が、システムLSIではない半導体集積回路装置であるDRAMの技術に関するものであることは認められない。

(イ) 【従来の技術】の記載

5 本件明細書の段落【0003】には、「また、DRAM、SRAM (S
t a t i c R a n d o m A c c e s s M e m o r y) 又はROM
(R e a d O n l y M e m o r y) 等のメモリー回路の1個の半導体
チップへの搭載率 (チップ全体の面積に対するメモリー回路の面積の比
率: 以下、占有面積率と称することもある) が用途又は仕様により異なる
10 システムLSIをはじめとする半導体集積回路装置の製造工程におい
ては、」と記載されている。上記記載の文言によれば、DRAM、SRA
M又はROM等のメモリー回路の1個の半導体チップへの搭載率が異なる
半導体集積回路装置の製造工程が取り上げられているものと認められ、
ここでいう半導体集積回路装置は、DRAM等のメモリー回路が搭載され
15 たシステムLSI等を指すものと認められ、DRAM等のメモリー回
路それ自体であるとは認められない。

本件明細書の段落【0004】ないし【0007】においては、従来の
技術として、マスクパターンを用いて被加工膜に対してエッチングを
行うことにより得られるパターン (加工パターン) の形状又は寸法が、
20 マスクパターンレイアウトによって変化するという、必ずしもシステム
LSIに特有とは言い切れない半導体プロセス全般に関する問題につい
ての記述がされている。しかし、上記記載の前の段落【0003】には、
「システムLSIをはじめとする半導体集積回路装置の製造工程におい
ては、ユニット回路が単に繰り返し配列されているだけではなく様々な
25 レイアウトが施されたマスクパターンの加工が求められている。」と記載
されており、段落【0004】ないし【0007】は、この記載を受け

たものであり、前記(ア)のとおり、本件発明がシステムLSIにおける技術であることも考慮すると、段落【0004】ないし【0007】は、DRAM等のメモリー回路それ自体とは異なるシステムLSIの問題点として、マスクパターンに関する問題点を記載したものであると認められる。

さらに、段落【0008】には、システムLSIの製造における加工について記載されている。

(ウ) 【発明が解決しようとする課題】の記載

段落【0009】には、「しかしながら、LSIの微細化の進展に伴って、具体的には、集積回路パターン寸法が $0.25\mu\text{m}$ 以下、特に $0.15\mu\text{m}$ 以下という微細化の進展に伴って、より高精度な寸法制御が求められるようになってきたため、マスクパターンレイアウトの違いに起因して生じる寸法ばらつきが無視できなくなりつつある。」と記載されており、LSIの微細化に伴う集積回路パターンの微細化により課題が生じることが記載されている。

段落【0010】、【0011】及び【図8】には、システムLSIであるDRAM搭載品種及びDRAM非搭載品種について、レジストパターンをマスクとしてドライエッチングによりゲート電極を形成した場合におけるCDロスを対比した説明がされている。

段落【0009】ないし【0011】は、システムLSIについて記載されており、段落【0012】は、「すなわち、従来の半導体集積回路装置の製造方法においては、同一のゲート電極加工プロセスを採用したとしても、品種の違いに伴うマスクパターンレイアウトの違いによって、ゲート電極寸法がばらついてしまう。言い換えると、ゲート電極寸法に品種依存性が発生してしまう。その結果、特定のマスクを用いて製造される半導体集積回路装置の特定の品種において、MOS型トランジスタ

の特性が設計仕様からずれてしまい、動作マージンが狭くなってしまいう
という問題が生じる。このような問題は設計ルールが $0.18\mu\text{m}$ 以下
になると特に無視できなくなる。」であり、段落【0009】ないし【0
011】を受けて、「すなわち」と述べていることから、システムLSI
5 の課題を述べたものと認められ、段落【0012】の「半導体集積回路
装置」はシステムLSIを指すものと認められる。また、段落【001
3】は「前記に鑑み、本発明は、MOS型トランジスタのゲート電極・
配線又はメタル配線等のライン状パターンを形成するとき、マスクパ
ターンレイアウトの違いに起因して寸法ばらつきが生じることを防止す
10 ることを目的とする。」であり、「前記に鑑み」として、段落【0012】
までの記載を受けて本件発明の目的を記載したものであるから、システ
ムLSIについて、ゲート電極・配線又はメタル配線等のライン状パ
ターンの寸法ばらつきを防止することを目的とする旨を記載したものと認
められる。

15 (エ) 【課題を解決するための手段】の記載

前記(ウ)のとおり、【発明が解決しようとする課題】においては、本件
発明の課題及び目的がシステムLSIにおけるものであることが示され
ており、【課題を解決するための手段】の記載は、このような本件発明の
課題を前提として記載されたものであるから、システムLSIにおける
20 課題を解決する手段を記載したものであると認められる。

本件明細書の段落【0015】、【0019】、【0020】及び【図9】
には、DRAM等のメモリー回路が搭載された半導体集積回路装置を示
す記載、又はその存在を前提とする記載がされている。

25 控訴人は、段落【0022】及び【0023】の記載において、課題
解決手段は、システムLSIに特有のものとは何ら限定されていないと
主張する。しかし、段落【0010】には、「DRAMが搭載された半導

体集積回路装置（以下，DRAM搭載品種と称する），及びDRAMが搭載されていない半導体集積回路装置（以下，DRAM非搭載品種と称する）」と記載されており，本件明細書において，「品種」とは，DRAMが異なる搭載率で搭載されており又は搭載されていないシステムLSIの種類をいうものと認められ，これは，【課題を解決するための手段】の項の段落【0019】に「図9は，DRAM非搭載品種を含む様々なDRAM占有面積率を有する品種における，単位面積当たりのゲート電極周縁長（ゲート電極の周縁部の長さ）とDRAM占有面積率との関係を示している。」と記載されていることから裏付けられる。そして，段落【0020】には，「図9に示すように，DRAM占有面積率が増加するに従って，単位面積当たりのゲート電極周縁長が増大する。」と記載され，段落【0021】には，「また，図10は，様々な品種における，単位面積当たりのゲート電極周縁長とCDロスとの関係を示している。」と記載されており，段落【0022】は，「図10に示すように」という文言から始まり，図10に基づく説明をするものであるから，システムLSIについて述べるものと認められ，システムLSIとは別の，システムLSIに搭載されたDRAM自体について述べるものとは認められない。また，段落【0023】は，「そして，本願発明者らは，単位面積当たりのゲート電極周縁長が大きくなるに従ってCDロスが負の値から正の値に単調に変化していくこと（図10参照）に着目して，品種によらず単位面積当たりのゲート電極周縁長を所定の範囲に設定するか，又は，単位面積当たりのゲート電極周縁長の品種毎の違いに応じてプロセス条件を調整することによって，マスクパターンレイアウトの違いに起因して寸法ばらつきが生じる事態を防止できることを見いだした。」であり，段落【0022】までの記載に続けて，図10を参照し，品種の存在を前提とし，課題を解決するための手段として，品種によらず単位面積当た

りのゲート電極周縁長を設定すること、又は同周縁長の品種毎の違いに応じてプロセス条件を調整することを示すものであるから、システムLSIについて課題の解決手段を示すものと認められる。

したがって、控訴人の上記主張は採用することができない。

5 (オ) 実施例の記載

本件発明の第1、第2の実施形態は、単位面積当たりのゲート電極周縁長の品種毎の違いに起因してゲート電極エッチングで生じるCDロス
のばらつきを、寸法測定又はレチクル製造等に伴う誤差範囲である0～
0.003 μ mに抑制するために、単位面積当たりのゲート電極周縁長
10 の品種毎の違いを500mm/mm²程度の範囲に抑える必要があると
ころ、具体的には、単位面積当たりのゲート電極周縁長が最大となるD
RAM(2500mm/mm²程度)を基準として規格範囲(DRAM占
有面積率が80%である場合に相当する2000mm/mm²を単位面
積当たりのゲート電極周縁長の規格範囲の上限とし、1600～200
15 0mm/mm²を単位面積当たりのゲート電極周縁長の範囲)を設定する
ものである(段落【0057】～【0059】、【0070】)。

DRAMについては、単位面積当たりのゲート電極周縁長が、上記規
格範囲の上限値以上となっているから、CDロスのばらつきを抑制する
ためのダミーゲートを挿入する必要性はない。また、上記の2500m
20 m/mm²程度という単位面積当たりのゲート電極周縁長の値が、DRA
Mにおいて、周辺回路等を除いたメモリセルアレイ領域のみで算出され
た値であると解すべき根拠もない。

したがって、第1、第2の実施形態は、システムLSIについてのもの
であり、本件発明がシステムLSIに係るものであることに合致する。
25 そして、本件明細書には、DRAMのようなメモリ自体を「半導体集積
回路装置」とする実施形態の記載はない。

(カ) 【発明の効果】の記載

段落【0132】には、発明の効果について「本発明によると、半導体集積回路装置の品種によりマスクパターンレイアウトが大きく異なる場合にも、マスクパターンレイアウトの違いに起因してライン状パターンに寸法ばらつきが生じることを防止できる。従って、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできるので、動作マージンのバラツキが解消された半導体集積回路装置を実現できる。」と記載されている。前記(エ)のとおり、本件明細書において、「品種」とは、DRAMが異なる搭載率で搭載されており又は搭載されていないシステムLSIの種類をいうものと認められ、段落【0132】には、DRAM等の搭載率が用途又は仕様により異なるシステムLSIについての効果が記載されているものと認められる。

イ 控訴人の主張ア(イ) (本件発明の課題解決原理に基づく検討について) につき

本件発明の技術的意義 (前記1(2)) に鑑みれば、本件明細書に開示された発明は、半導体チップ上の領域ごとのゲート電極周縁長の合計が異なる半導体集積回路装置 (具体的にはシステムLSI) において、このような領域ごとのゲート電極周縁長の合計のばらつきが、従来知られていたマイクロローディング効果による局所的なパターン寸法の変動などとは異なり、半導体チップ全体にわたるCDロスに許容できないほどの変動をもたらすという、本件特許の出願時においては新規な課題を見出し、これを、ダミーパターンを挿入してゲート電極周縁長のばらつきを抑えることにより解決したものである。したがって、本件発明の課題とその解決原理に照らすと、本件発明の「半導体集積回路装置」は、システムLSIを意味するものと解される。

本件特許の出願時に既に慣用されていたDRAMにおいて、メモリセルアレイを構成するビットラインやワードラインが、DRAMにおける他の回路と比較して周縁長が密な回路パターンであり、メモリセルアレイ領域とそれ以外の回路領域とではゲート電極周縁長の合計がばらつくという技術常識があったとしても、それが、DRAMを構成する半導体チップ全体にわたるCDロスに許容できないほどの変動をもたらすものであることは、本件明細書に何ら言及されておらず、また、上記の新規な課題が、システムLSI中の一部の領域にすぎないDRAM単体においても同様に生じるものであると認めるに足りる証拠はない。

そうすると、本件発明の課題とその解決原理に照らして、本件発明の「半導体集積回路装置」は、システムLSIを意味するものと解され、DRAMを含むと解することはできない。

ウ 控訴人の主張ア(ウ)（審査経過に基づく検討について）につき

控訴人は、審査経過に関し、第1回目及び第2回目の拒絶理由通知について、審査官は、本件特許の発明がシステムLSIの発明であるとは認識しておらず、また、出願人の意見書においても、本願発明と引用発明の相違点について、本願発明はシステムLSIであるのに対して引用発明はシステムLSIではないという説明はしていないと主張する。

しかし、そもそも特許発明の技術的範囲の画定は、特許請求の範囲の記載に基づいて定められるが、特許請求の範囲に記載された用語の意義の解釈は明細書及び図面を考慮して行われるのであって（特許法70条1項及び2項参照）、特許出願の審査過程において、審査官がその特許発明をどのように理解していたかということは、裁判所の特許発明の技術的範囲の画定の判断を拘束するものではない。

また、出願人は、第1回目の拒絶理由通知に対する意見書（平成15年11月28日提出、乙2）において、特許法29条1項3号及び同条2項

の規定に該当しない理由として、「言い換えると、ダミーパターンを挿入することによって、異なるマスクパターンレイアウト間でパターンの粗密の程度を小さくします。このため、ライン状パターンに品種に依存した寸法変動が生じることを防止できるので、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできます。従って、請求項4の発明によると、動作マージンのバラツキが解消された半導体集積回路装置を実現できるという格別の効果が得られます。」(乙2〔2～3頁])と記載し、第2回目の拒絶理由通知に対する意見書(平成16年3月25日提出、乙4)において、特許法29条2項の規定に該当しない理由として、「言い換えると、ダミーパターンを挿入することによって、異なるマスクパターンレイアウト間でパターンの粗密の程度を小さくします。このため、本願明細書の段落番号[0132]に記載されておりますように、『半導体集積回路装置の品種によりマスクパターンレイアウトが大きく異なる場合にも、マスクパターンレイアウトの違いに起因してライン状パターンに寸法ばらつきが生じることを防止できる。従って、DRAM等の搭載率が用途又は仕様により異なるシステムLSIにおいても、ゲート電極又はメタル配線等の加工寸法をマスクパターンレイアウトと無関係に一定にできるので、動作マージンのバラツキが解消された半導体集積回路装置を実現できる』という格別の効果・・・が得られます。」(乙4〔4頁])と記載し、いずれの意見書においても、本願発明がシステムLSIに用いられて効果を生ずることを明確に述べており、このような段階を踏まえて本件特許が登録されたものである。

したがって、仮に、審査官が、拒絶理由通知を発出する際に、特許請求の範囲に記載された発明の要旨認定において、「半導体集積回路装置」を、その一般的な字義どおりに、DRAMを含む半導体集積回路装置全般と解

積しており、また、出願人の意見書において、本願発明と引用発明の相違点として、本願発明はシステムLSIであるのに対して引用発明はシステムLSIではないことが明示されていなかったとしても、それに基づいて、本件発明の「半導体集積回路装置」にシステムLSIではないDRAM自体が含まれるということとはできない。

(3) そうすると、本件発明における「半導体集積回路装置」(構成要件1A, 1E, 5B, 5E等)という語は、システムLSIを意味するものとして用いられており、DRAMはこれに含まれないというべきであり、DRAMであることに争いのない被控訴人製品(前記第2, 2による引用のうちの原判決「事実及び理由」第2, 2(10)(原判決8頁20～23行目))は、本件発明1の構成要件1A, 1E, 本件発明5の構成要件5B, 5Eをいずれも充足せず、本件発明1及び本件発明5の技術的範囲のいずれにも属さないものと認められる。

控訴人は種々主張するが、その主張は、いずれも採用することができない。

3 本件特許権侵害の成否

以上によれば、被控訴人製品は、本件発明1及び本件発明5の技術的範囲のいずれにも属さず、また、被控訴人製品は、本件発明1の構成を含む本件発明2及び本件発明3、並びに本件発明5の構成を含む本件発明6、本件発明7及び本件発明8の技術的範囲のいずれにも属さないものと認められる。

したがって、被控訴人による本件特許権の侵害は認められず、その余の点について判断するまでもなく、控訴人の請求は理由がない。

4 結論

よって、控訴人の請求をいずれも棄却した原判決は相当であり、本件控訴は理由がないから棄却することとし、主文のとおり判決する。

知的財産高等裁判所第3部

裁判長裁判官

東 海 林 保

5

裁判官

上 田 卓 哉

10

裁判官

中 平 健

15

(別紙省略)